



**Rui Manuel Coimbra
Rodrigues**

**Fonte de referência baseada em condensador
comutado**

Switch capacitor based source reference



**Rui Manuel Coimbra
Rodrigues**

**Fonte de referência baseada em condensador
comutado**

Switch capacitor based source reference

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Eletrónica e Telecomunicações, realizada sob a orientação científica do Doutor Luís Filipe Mesquita Nero Moreira Alves (orientador), Professor auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro, e do Engenheiro Hugo Rodrigues Gonçalves (coorientador), Engenheiro de desenho de circuitos analógicos e sinal misto na Synopsys.

Dedico este trabalho à minha rola, pela companhia e lindo cantar de todas as manhãs.

O júri

Presidente

Prof. Doutor Rui Manuel Escadas Ramos Martins
Professor Auxiliar da Universidade de Aveiro

Vogais

Prof. Doutor Vítor Manuel Grade Tavares
Professor Auxiliar da Universidade do Porto (arguente)

Prof. Doutor Luís Filipe Mesquita Nero Moreira Alves
Professor Auxiliar da Universidade de Aveiro (orientador)

agradecimentos

Agradeço aos meus pais por me darem a oportunidade de estudar e investir na minha carreira. Aos meus amigos por me acompanharem e ajudarem no meu percurso académico. À minha psicóloga Vânia Amaral por me ajudar a encontrar soluções e a seguir em frente nos momentos mais difíceis.

Gostaria também de agradecer aos meus orientadores, ao prof. Luís Nero da Universidade de Aveiro e aos Eng. Hugo Gonçalves e Ricardo Almeida da Synopsys, que me ajudaram a seguir o melhor caminho para chegar à solução. Ao pessoal da assistência técnica da Synopsys que me ajudou no solucionamento de alguns bugs do software que permitiu a continuação do meu trabalho. E por último, às formações dadas pela Synopsys que permitiram enriquecer o meu conhecimento.

palavras-chave

CMOS, PVT, tensão de referência, corrente de referência, circuito de referência, PTAT, CTAT, condensadores comutados.

resumo

A utilização de tecnologias nanométricas em CMOS beneficia de uma maior integração, pois apresenta uma complexidade superior, e, portanto, a procura de um sistema que tenha custos cada vez mais baixos impulsiona para circuitos mais autónomos sem a utilização de circuitos com componentes externos ou calibrações externas.

Nesta dissertação efetuou-se um estudo da literatura, por circuitos de referência de tensão ou corrente, que utilizem condensadores comutados e que sejam insensíveis ao Processo, Tensão e Temperatura (PVT), sem a utilização de componentes externos, tirando partido da integração à escala nanométrica e da tecnologia CMOS.

Simulou-se, na tecnologia CMOS 28nm, circuitos de referência convencionais e circuitos com condensadores comutados, com posterior comparação dos resultados.

A utilização de condensadores comutados ao invés de resistências é uma mais-valia, uma vez que são mais estáveis e menos sensíveis ao processo e temperatura, para além que ocupam uma menor área de silício.

keywords

CMOS, PVT, voltage reference, current reference, reference circuit, PTAT, CTAT, switched capacitor.

abstract

The use of nanometer technologies in CMOS benefits from a greater integration, because it presents a higher complexity, and therefore the search for a system that has lower costs drives towards more autonomous circuits without the use of circuits with external components or external calibrations.

In this dissertation a literature review was performed for voltage or current reference circuits that use switched capacitors and are insensitive to Process, Voltage and Temperature (PVT) without the use of external components, taking advantage of nano-scale integration and CMOS technology.

Conventional reference circuits and circuits with switched capacitors were simulated on CMOS 28nm technology, with subsequent comparison of the results.

The use of switched capacitors instead of resistors is a plus, since they are more stable and less sensitive to process and temperature, besides occupying a smaller silicon area.

Índice

1. Introdução.....	1
1.1 Contextualização	1
1.2 Motivação e objetivos.....	1
1.3 Organização da dissertação	2
2. Fontes de referência estabilizada.....	3
2.1 Conceito.....	3
2.2 Tensão Base-Emissor	4
2.3 Ponto ZTC	6
2.4 Implementações convencionais	7
2.4.1 Tensão de referência.....	7
2.4.1.1 Circuito de baixa tensão de referência de band-gap.....	7
2.4.1.2 Baixa tensão de referência PTAT abaixo do ponto ZTC.....	8
2.4.1.3 Referência de band-gap só com MOSFETs em sub-limiar	9
2.4.2 Corrente de referência	10
2.4.2.1 Geração de corrente de referência insensível ao PVT	10
2.5 Implementações com condensadores comutados	12
2.5.1 Condensadores comutados	12
2.5.2 Tensão de referência.....	13
2.5.2.1 Band-gap com condensadores comutados operando abaixo de 1V	13
2.5.2.2 Condensador comutado em CMOS.....	15
2.5.3 Corrente de referência	16
2.5.3.1 Conversor tensão band-gap para corrente	16
2.6 Estudo comparativo	18

3. Simulações	21
3.1 Referência de Band-gap só com MOSFETs em sub-limiar (A)	21
3.2 Baixa tensão de referência PTAT abaixo do ponto ZTC (B).....	25
3.3 Bandgap com condensadores comutados operando abaixo de 1V (C)	31
3.4 Discussão de resultados	53
4. Conclusões	55
4.1 Trabalho futuro.....	55
5. Referências	57

Lista de figuras

Figura 1 - Corrente ou tensão de referência ideal	3
Figura 2 - Princípio de funcionamento de um circuito de referência de band-gap [1].	4
Figura 3 - Cancelamento CTAT com PTAT [2].....	4
Figura 4 - Ponto ZTC para um transistor NMOS [4].....	6
Figura 5 - Circuito de baixa tensão de referência de band-gap [5] [6].	8
Figura 6 - Referência de tensão abaixo de 1 V. [7]	9
Figura 7 - Circuito referência de band-gap só com MOSFETs em sub-limiar [8].....	9
Figura 8 - Corrente de referência insensível ao PVT [9].....	11
Figura 9 - a) Resistência, b) Condensador comutado.	12
Figura 10 - Circuito de referência band-gap com condensadores comutados operando abaixo de 1 V [10]...	14
Figura 11 - Circuito de tensão de referência com condensador comutado em CMOS [11].....	15
Figura 12 – Fases Φ_1 , Φ_2 e Φ_2'	16
Figura 13 - Conversor tensão band-gap para corrente [6].	17
Figura 14 - Esquemático do circuito referência de band-gap só com MOSFETs em sub-limiar.	21
Figura 15 - Cancelamento PTAT - CTAT.....	22
Figura 16 – V_{ref} em função da temperatura.	23
Figura 17 - Monte Carlo da tensão de referência do circuito (A).....	24
Figura 18 – PSRR para diferentes V_{dd}	24
Figura 19 - Variação de V_{ref} com o processo do circuito (A).....	25
Figura 20 - Esquemático do circuito para obter o ponto ZTC de um transistor NMOS.	26
Figura 21 - Ponto ZTC de um transistor NMOS.	26
Figura 22 – Esquemático do circuito de baixa tensão de referência PTAT abaixo do ponto ZTC.	27
Figura 23 - Correntes I_B , I_7 e I_8	28
Figura 24 - Tensões V_1 e V_2	28
Figura 25 – V_{ref} em função da temperatura.	29
Figura 26 - Monte Carlo da tensão de referência do circuito (B).	30
Figura 27 – PSRR do circuito (B).	30
Figura 28 – Variação de V_{ref} com o processo do circuito (B).....	31
Figura 29 – Circuito para obter a curva característica do BJT.	32
Figura 30 - Curva característica do BJT.....	32
Figura 31 - Esquemático do circuito com componentes ideais.....	33
Figura 32 – Fases Φ_1 e Φ_2 para o circuito com componentes ideais.....	34
Figura 33 - Fases Φ_1 e Φ_2 sem sobreposição.	34
Figura 34 - Tensão de referência no tempo e para várias temperaturas.....	35
Figura 35 - Tensão de diodo e de referência em diferentes fases.	35

Figura 36 - Tensão de referência em função da temperatura.....	36
Figura 37 – Esquemático do espelho de corrente.....	37
Figura 38 Esquemático do amplificador operacional de dois andares.....	38
Figura 39 - Resposta do amplificador operacional de dois andares.....	39
Figura 40 - Esquemático do Switch.....	40
Figura 41 – a) Ron b) Roff do switch.....	41
Figura 42 - Esquemático do AT-Switch.....	42
Figura 43 – a) Ron b) Roff do AT-switch.....	43
Figura 44 - Esquemático do circuito com componentes reais.....	44
Figura 45 – Fases para o circuito com componentes reais.....	45
Figura 46 - Fases sem sobreposição.....	46
Figura 47 - Fases complementares.....	46
Figura 48 - Vref em função do tempo para várias temperaturas.....	47
Figura 49 - Drift da tensão de referência na fase 2.....	47
Figura 50 - Tensão de diodo e de referência em diferentes fases.....	48
Figura 51 - Tensão de referência em função da temperatura (fase 2).....	48
Figura 52 - Monte Carlo da tensão de referência do circuito (C).....	49
Figura 53 - Vref em função da alimentação.....	49
Figura 54 – a) PSRR a 3.44mHz b) PSRR a 952Hz.....	50
Figura 55 - Corrente no diodo em função de V_{dd}	51
Figura 56 - PSRR da tensão no diodo.....	51

Lista de tabelas

Tabela 1 - Resumo dos resultados simulados dos circuitos da bibliografia apresentada.....	19
Tabela 2 - Tamanho dos transístores utilizados na simulação do circuito (A).....	22
Tabela 3 - Tamanho dos transístores utilizados na simulação do circuito (B).....	27
Tabela 4 - Tamanho das resistências utilizadas na simulação do circuito (B).....	27
Tabela 5 - Tamanho dos transístores utilizados na simulação do espelho de corrente.....	37
Tabela 6 - Tamanho da resistência utilizada na simulação do espelho de corrente.....	37
Tabela 7 - Tamanho dos transístores utilizados na simulação do opamp de dois andares.....	39
Tabela 8 - Tamanho do condensador utilizado na simulação do opamp de dois andares.....	39
Tabela 9 - Tamanho das resistências utilizadas na simulação do opamp de dois andares.....	39
Tabela 10 - Tamanho dos transístores utilizados na simulação do switch.....	40
Tabela 11 - Tamanho dos transístores utilizados na simulação do AT-switch.....	42
Tabela 12 - Tamanho dos transístores utilizados na simulação para a produção das correntes I_1 e I_2	44
Tabela 13 - Tamanho dos condensadores da rede de condensadores comutados utilizados na simulação.....	44
Tabela 14 - Variação de V_{ref} com o processo (Resistência a variar).....	52
Tabela 15 - Variação de V_{ref} com o processo (Mosfet a variar).....	52
Tabela 16 - Variação de V_{ref} com o processo (Condensador a variar).....	52
Tabela 17 - Variação de V_{ref} com o processo (BJT a variar).....	52
Tabela 18 - Variação de V_{ref} com o processo (valor típico e piores casos).....	52
Tabela 19 - Resumo dos resultados das simulações dos circuitos.....	53

Abreviações e símbolos

AT-switch	-	Analog T-switch
BGR	-	Bandgap Voltage Reference
BJT	-	Bipolar Junction Transistor
CMOS	-	Complementary Metal–Oxide–Semiconductor
CTAT	-	Complementary To Absolute Temperature
DRAM	-	Dynamic Random Access Memory
G_{BW}	-	Gain–Bandwidth Product
L	-	Channel Length
MOS	-	Metal Oxide Semiconductor
MOSFET	-	Metal Oxide Semiconductor Field Effect Transistor
NF	-	Nº of Fingers
NMOS	-	N-channel Metal Oxide Semiconductor
OTA	-	Operational Transconductance Amplifier
PLL	-	Phase Locked Loop
PMOS	-	P-channel Metal Oxide Semiconductor
PSRR	-	Power Supply Rejection Ratio
PTAT	-	Proportional to Absolute Temperature
PVT	-	Process Voltage Temperature
SW	-	Switch
W	-	Channel Width
ZTC	-	Zero Temperature Coefficient

1. Introdução

1.1 Contextualização

Hoje em dia, as tecnologias nanométricas beneficiam de uma maior integração, permitindo uma complexidade superior, e, portanto, a procura de um sistema que tenha custos cada vez mais baixos impulsiona para circuitos mais autónomos sem a utilização de circuitos com componentes externos ou calibrações externas. Felizmente, hoje em dia o processo CMOS (Complementary Metal–Oxide–Semiconductor) à escala nanométrica permite uma maior integração, permitindo a utilização de técnicas mais complexas de processamento de sinais, a um custo reduzido.

Praticamente, todos os circuitos elétricos necessitam de uma referência de tensão ou corrente. Uma referência num circuito produz um ponto estável para que sejam gerados resultados previsíveis e repetíveis, não devendo mudar significativamente sob várias condições de funcionamento. A temperatura é um parâmetro importante que afeta o desempenho das referências e, portanto, deve-se ter em conta a sua influência no momento do seu dimensionamento. Por exemplo, na indústria automóvel, os circuitos eletrónicos são utilizados para produzir sistemas maiores com mais funcionalidades, mas no ambiente automóvel as variações de temperatura podem rondar os -40°C e os 125°C .

Os circuitos de referência são usados, como uma parte essencial ao funcionamento correto, em circuitos analógicos e digitais, tais como fontes de alimentação precisas, reguladores de tensão, conversores analógico-digital (A/D) e digital-analógico (D/A), memórias DRAM (Dynamic Random Access Memory) e flash, e outros dispositivos de comunicação, filtros, osciladores e phase locked loop (PLL).

1.2 Motivação e objetivos

Nesta dissertação pretende-se tirar partido da integração à escala nanométrica e da tecnologia CMOS para criar um circuito de referência de tensão ou corrente que utilize condensadores comutados e que seja insensível ao Processo, Tensão e Temperatura (PVT), sem a utilização de

componentes externos. Será necessária a utilização de circuitos analógicos como fontes de corrente, comparadores e amplificadores de alto ganho, utilizando técnicas avançadas de comutação para alcançar a especificação requerida.

Será realizado um estudo das diferentes topologias/técnicas com a respectiva avaliação das suas vantagens e desvantagens. Com base nestas, será selecionada uma arquitetura do circuito com a devida validação de vários parâmetros de desempenho como: potência, precisão, estabilidade e área. Sempre que possível serão utilizadas técnicas de análise como comportamento analógico ou digital, Monte Carlo e Corners.

1.3 Organização da dissertação

Este documento está organizado da seguinte forma: No capítulo 2. serão apresentadas as várias topologias existentes para a geração de referências de tensão ou corrente que vão ao encontro dos objetivos pretendidos. O capítulo será organizado classificando os circuitos de referência em dois tipos, os convencionais e os com condensadores comutados. Dentro de cada tipo de circuito, serão ainda classificados quanto à referência que produz, tensão ou corrente. Posteriormente, será feito um estudo comparativo entre as várias topologias apresentadas, analisando as suas vantagens e desvantagens com auxílio dos resultados apresentados na bibliografia.

Depois do estudo comparativo concluído e da escolha dos circuitos a simular, apresenta-se no capítulo 3. , as simulações efetuadas para a tecnologia CMOS 28nm no software Custom Compiler da Synopsys. Após as simulações, será feita uma análise dos resultados obtidos comparando os resultados dos dois tipos de circuitos simulados, os convencionais e com condensadores comutados, bem como comparados esses resultados com os apresentados na bibliografia.

E, por fim, no capítulo 4. as conclusões e trabalho futuro.

2. Fontes de referência estabilizada

Existem muitos circuitos que necessitam de uma tensão ou corrente de referência e idealmente que esta seja invariante com a temperatura, alimentação e processo. Numa tensão ou corrente de referência, o seu valor não varia ao longo do tempo (Figura 1).

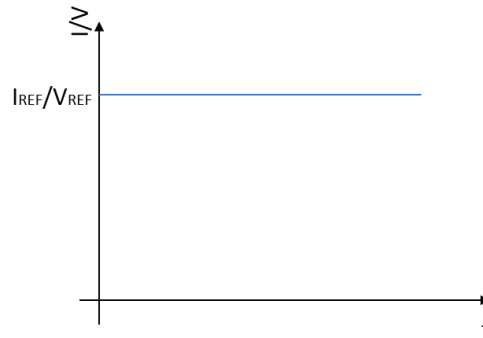


Figura 1 - Corrente ou tensão de referência ideal.

Uma fonte de referência não deve ser confundida com um regulador de tensão ou corrente. Apesar de estes poderem ser parecidos, diferem na precisão, pois as fontes de referência são bastante precisas no seu sinal de saída, têm baixo ruído e estabilidade ao longo do tempo, para além que não são usadas para alimentar cargas resistivas (no caso das fontes de referência de tensão). [1]

2.1 Conceito

Os circuitos de referência descritos na literatura na secção 4.5 de [2] não conseguem produzir pequenos valores de independência do coeficiente de temperatura da alimentação. Por isso, é necessário a procura de circuitos de referência estáveis com a temperatura, para a tecnologia bipolar e CMOS que anulem o coeficiente de temperatura positivo (tensão térmica V_T de um transístor PNP) com o coeficiente de temperatura negativo (tensão de um díodo ou BJT (Bipolar Junction Transistor) (V_{BE})). A técnica é chamada de referência de band-gap.

Na Figura 2 observa-se o princípio de funcionamento de um circuito de referência de band-gap, onde a tensão PTAT (Proportional to Absolute Temperature) é obtida através da amplificação da diferença na tensão das duas junções base-emissor (V_T), e da junção PN que gera uma tensão complementar à temperatura absoluta (CTAT). A tensão térmica (PTAT) é amplificada por uma constante K e adicionada à tensão V_{BE} (CTAT) [1].

$$V_{ref} = V_{BE} + kV_T \quad (1)$$

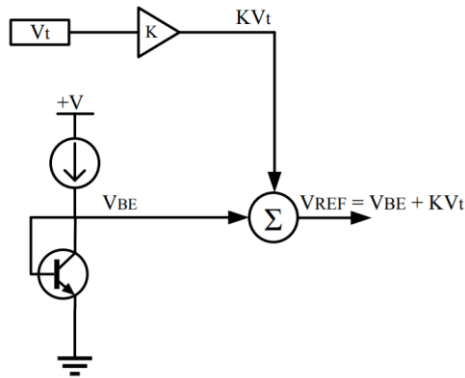


Figura 2 - Princípio de funcionamento de um circuito de referência de band-gap [1].

A tensão térmica é descrita como a multiplicação da constante de Boltzmann, dada por $k=1,38 \cdot 10^{-23} \text{J/K}$ que é multiplicada por uma temperatura absoluta (T) e dividida pela carga do eletrão $q=1,6 \cdot 10^{-19} \text{C}$.

$$V_T = \frac{kT}{q} \quad (2)$$

Na Figura 3 e pela equação (3), verifica-se que a função do funcionamento do sistema é a compensação da tensão V_{PTAT} e da tensão V_{CTAT} para produzir um V_{ref} com coeficiente de temperatura $TC=0$.

$$V_{ref}(T) = V_{PTAT}(T) + KV_{CTAT}(T) \quad (3)$$

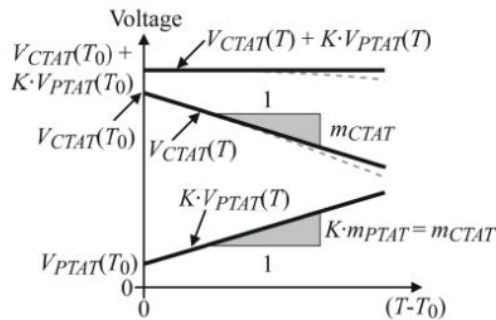


Figura 3 - Cancelamento CTAT com PTAT [2].

2.2 Tensão Base-Emissor

Como apresentado na secção anterior, a tensão V_{BE} de um transístor bipolar é usada para produzir uma tensão CTAT, no entanto este princípio de funcionamento também pode ser implementado na tecnologia CMOS, sendo o interesse desta dissertação. Para os transístores NPN (semelhante para os transístores PNP, com algumas modificações óbvias), a corrente de polarização

para o funcionamento na região ativa é dada pela equação (4) onde é visível a dependência com a temperatura.

$$I_C(T) = I_S(T) * e^{\left(\frac{V_{BE}}{V_T}\right)} \quad (4)$$

A corrente de coletor que depende da temperatura $I_C(T)$ é equivalente à corrente de polarização, $I_S(T)$ é a temperatura dependente da corrente de saturação e, portanto, podem ser escritas como:

$$I_S(T) = J_S(T) * A_E \quad (5)$$

$$I_C(T) = J_C(T) * A_E \quad (6)$$

em que o A_E é a área da junção base-emissor, $J_S(T)$ é a densidade da corrente de saturação e $J_C(T)$ é a densidade de corrente do coletor. Posto isto, se se substituir as equações (5) e (6) na equação (4) obtém-se

$$J_C(T) * A_E = J_S(T) * A_E * e^{\left(\frac{V_{BE}}{V_T}\right)} \quad (7)$$

E resolvendo tudo em ordem a V_{BE} , fica

$$V_{BE}(T) = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \frac{T}{T_0} - \rho \frac{kT}{q} \ln\left(\frac{T}{T_0}\right) + \frac{kT}{q} \ln\left(\frac{J_C(T)}{J_C(T_0)}\right) \quad (8)$$

onde V_{G0} é a tensão da banda de silício a 0K que é o mesmo que a tensão extrapolada da energia de band-gap ($E_g=1.206V$), ρ é uma constante de temperatura dependente do processo, T_0 é a temperatura de referência.

A tensão $V_{BE}(T)$ pode ser simplificada assumindo que a corrente de coletor é uma dependência da temperatura (equação (9)), no qual a é uma constante e θ é a ordem da dependência da temperatura e, portanto, se $\theta=0$ implica que a corrente do coletor é independente da temperatura, porém se $\theta=1$, a corrente do coletor varia linearmente com a temperatura.

$$I_C(T) = a * T^\theta \quad (9)$$

A densidade da corrente do coletor à temperatura T em relação à densidade da corrente de coletor à temperatura de referência T_0 pode-se escrever como:

$$\frac{J_C(T)}{J_C(T_0)} = \left(\frac{T}{T_0}\right)^\theta \quad (10)$$

Reescrevendo novamente $V_{BE}(T)$, mostra-se que a tensão base-emissor não está relacionada linearmente com a temperatura (CTAT), e que devido a $V_{BE}(T_0)$, o $V_{BE}(T)$ varia com a condição de polarização, dependendo da corrente do colator, bem como do tamanho do transístor.

$$V_{BE}(T) = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \frac{T}{T_0} - (\rho - \theta) \frac{kT}{q} \ln\left(\frac{T}{T_0}\right) \quad (11)$$

2.3 Ponto ZTC

Para o caso dos transístores MOS (Metal Oxide Semiconductor) é possível cancelar a dependência com a temperatura através do ponto de Coeficiente de Temperatura Zero (ZTC), em que para um certo nível de tensão aplicado na porta do dispositivo MOS anula internamente a variação de temperatura. Pois, a tensão limite (V_{th}) e a mobilidade de portadores (μ) de um MOSFET (Metal Oxide Semiconductor Field Effect Transistor) são dependentes da temperatura. Para transístores MOS cuidadosamente dimensionados com concentração de doping do canal nas proximidades de 10^{15} , a corrente de saída torna-se independente da temperatura no ponto ZTC [3].

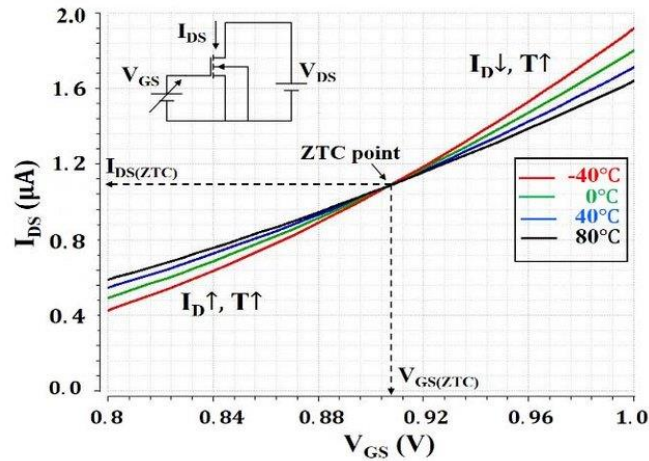


Figura 4 - Ponto ZTC para um transístor NMOS [4].

Este tipo de compensação opera de forma análoga ao cancelamento PTAT com CTAT, uma vez que, para um determinado tamanho preciso, as dependências de temperatura interna anulam-se reciprocamente. Como se pode ver na Figura 4, abaixo do ponto ZTC, a corrente de dreno (I_D) sobe com o aumento da temperatura (coeficiente de temperatura positivo) e acima do ponto ZTC a corrente de dreno diminui com o aumento da temperatura (coeficiente de temperatura negativo).

A corrente de um MOSFET pode ser descrita como

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{th})^2 \quad (12)$$

em que, a mobilidade de portadores (μ) e a tensão limite (V_{th}) são os principais parâmetros dependentes da temperatura, porém, estas duas quantidades diminuem à medida que a temperatura sobe. Apesar disso, estas têm um efeito oposto na corrente de dreno, pois à medida que a mobilidade

diminui, a corrente também. Contudo, à medida que a tensão de limiar desce, a corrente de dreno sobe devido à diferença $V_{GS}-V_{th}$.

O ponto de polarização ZTC ocorre para um determinado nível de tensão em que as mudanças na mobilidade dos elétrons e na tensão limite compensam-se mutuamente. Por isso, um transistor polarizado neste ponto possuirá uma variação mínima na sua corrente de saturação sobre a temperatura.

2.4 Implementações convencionais

Neste subcapítulo vão ser apresentados circuitos fontes de referência convencionais que produzam uma tensão ou corrente de referência insensível à temperatura, alimentação e ou processo.

2.4.1 Tensão de referência

2.4.1.1 Circuito de baixa tensão de referência de band-gap

Um método de gerar uma tensão de referência é através do circuito de band-gap. As tensões de referência de band-gap têm como principal característica fornecer uma tensão constante, independentemente da variação do processo, temperatura, alimentação e carga colocada à saída do circuito. O circuito da Figura 5 consegue gerar uma tensão de referência abaixo de 1.2 V baseado no princípio de band-gap.

O conceito de band-gap consiste em ter uma tensão que é proporcional à temperatura absoluta (PTAT) e outra que é complementar à temperatura absoluta (CTAT), onde têm um comportamento diferente com variações de temperatura. A tensão de referência típica (PTAT) é a diferença entre o V_{BE} de dois BJTs, cada um com correntes diferentes no coletor. E para gerar a tensão CTAT, utiliza-se o V_{BE} de um BJT ou V_{GS} de um MOS a operar na região de sub-limiar. Para criar uma tensão de referência com coeficiente de temperatura zero, somam-se as duas tensões, PTAT e CTAT, por forma a que os seus coeficientes de temperatura se cancelem.

A expressão da tensão de referência do circuito é dada pela tensão de band-gap:

$$V_{bg} = I * R_3 = \frac{R_3}{R} V_{beQ2} + \frac{R_3}{R_1} V_T \ln(m) \quad (13)$$

Da equação (13), verifica-se que a tensão de saída depende da relação entre as resistências R , R_1 e R_3 e que estas podem ser ajustadas por forma a que o circuito funcione em baixa tensão. O m é a relação entre os transístores M_1 e M_3 [5] [6].

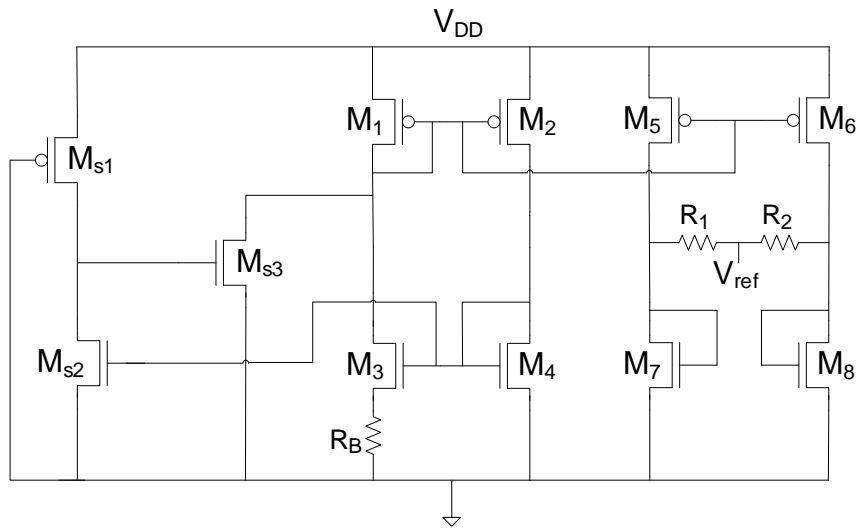


Figura 6 - Referência de tensão abaixo de 1 V. [7]

2.4.1.3 Referência de band-gap só com MOSFETs em sub-limiar

Uma outra forma, de usar circuitos band-gap é a substituição dos transístores BJT e resistências por MOSFETs. O conceito consiste em ter uma tensão que é proporcional à temperatura absoluta (PTAT) e outra que é complementar à temperatura absoluta (CTAT), onde têm um comportamento complementar com variações de temperatura. De certo modo, estas duas tensões também são usadas em circuitos BGR (Bandgap Voltage Reference) em que a tensão de referência típica (PTAT) é a diferença entre o V_{BE} de dois BJTs, cada um com correntes diferentes no coletor. E para gerar a tensão CTAT, utiliza-se o V_{BE} de um BJT ou V_{GS} de um MOS a operar na região de sub-limiar. Para criar uma tensão de referência com coeficiente de temperatura zero, somam-se as duas tensões, PTAT e CTAT, por forma a que os seus coeficientes de temperatura se cancelem [8].

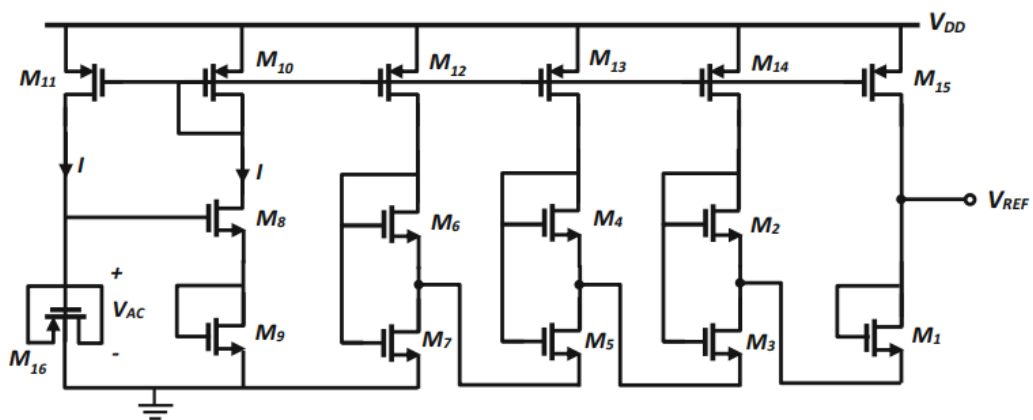


Figura 7 - Circuito referência de band-gap só com MOSFETs em sub-limiar [8].

O circuito da Figura 7 é constituído pelos transístores M_1 a M_{16} , em que M_8 a M_{11} e M_{16} criam a fonte de corrente, sendo que o transístor M_{16} é utilizado como um díodo. Para formar o ânodo de um díodo normal, a porta, o dreno e a fonte de um transístor são ligados entre si, e o substrato forma o cátodo. A tensão do ânodo-cátodo (V_{AC}) do díodo é a mesma entre o V_{GS} dos transístores M_8 e M_9 , sendo a tensão V_{GS} de cada um, metade da tensão V_{AC} , uma vez que, as dimensões de M_8 e M_9 são iguais. Os transístores M_8 e M_9 estão a operar na região de sub-limiar. O tamanho dos transístores M_{10} e M_{11} são iguais, para que, o fluxo de corrente em M_{16} seja o mesmo que em M_8 e M_9 .

A restante parte do circuito que forma o núcleo, é constituída pelos transístores M_1 a M_7 . O transístor M_1 , gera a tensão CTAT, estando a operar na região de sublimiar. Os transístores M_2 a M_7 geram a tensão PTAT, estando dispostos em cascata. Para gerar a tensão PTAT, utiliza-se a diferença entre duas tensões que têm valores diferentes de coeficiente de temperatura negativa, estando assim, dois transístores MOS polarizados na região de sub-limiar, em que partilham o mesmo poço tipo p que está ligado à fonte de M_7 ou a qualquer potencial mais negativo. Para assegurar um melhor desempenho do circuito, que apresenta maior tensão entre a fonte do M_6 e o dreno de M_7 , coloca-se o tamanho do transístor M_6 maior do que o M_7 . O valor obtido para a tensão entre a fonte do M_6 e o dreno de M_7 que é uma tensão PTAT é menor em comparação com o V_{GS} que é uma tensão CTAT. Assim, para obter uma tensão PTAT capaz de compensar o coeficiente de temperatura negativo, adicionam-se células extra do gerador PTAT ao circuito para aumentar a tensão de saída da parte PTAT, daí a cascata de PTATs.

Os transístores M_{11} a M_{14} , que alimentam a cascata de PTAT, têm as mesmas dimensões e a largura de M_{15} , que alimenta o CTAT, é três vezes maior do que a dos transístores M_{11} a M_{14} , para que, $I_{DM15} = 3I$, $I_{DM3} = 4I$, $I_{DM5} = 5I$ e $I_{DM7} = 6I$.

A tensão de referência (V_{ref}) é dada pela soma de

$$V_{ref} = V_{gs1} + V_{Ds3} + V_{Ds5} + V_{Ds7} \quad (15)$$

em que o primeiro termo representa a tensão CTAT e os três termos seguintes a tensão PTAT. O objetivo é que os coeficientes de temperatura opostos se cancelem e, assim, se tenha uma tensão com coeficiente de temperatura zero, portanto, invariante com a temperatura.

2.4.2 Corrente de referência

2.4.2.1 Geração de corrente de referência insensível ao PVT

O circuito da Figura 8 tem como princípio básico a geração de duas correntes PTAT e CTAT insensíveis à alimentação e ao processo que são adicionadas posteriormente e, por sua vez, se

cancelam gerando assim uma corrente de referência insensível à temperatura, alimentação e ao processo [9].

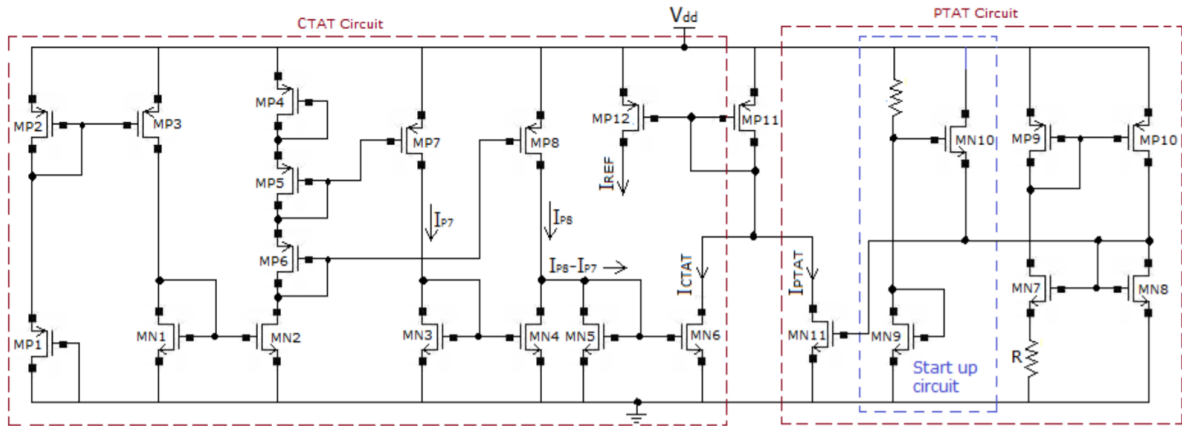


Figura 8 - Corrente de referência insensível ao PVT [9].

O circuito gerador da corrente PTAT é insensível à alimentação e ao processo, em que os transistores M_{P9} e M_{P10} estão a operar na zona de inversão forte, enquanto, o M_{N7} e o M_{N8} estão a operar na zona de inversão fraca. O bloco PTAT é constituído por um circuito de start up, composto por M_{N9} , M_{N10} e R_1 , que eleva o circuito para o segundo ponto de funcionamento estável, onde $I_{M_{N7}}$ é igual a $I_{M_{N8}}$. No primeiro ponto de funcionamento estável não flui corrente em nenhum ramo do circuito e a tensão PTAT é zero.

A corrente PTAT é dada pela seguinte equação:

$$I_{PTAT} = \frac{\eta kT}{R} \ln \left(\frac{S_{N7} S_{P10}}{S_{N8} S_{P9}} \right), S_{N,P} = \frac{W}{L} \quad (16)$$

O declive ou coeficiente de temperatura da corrente PTAT pode ser ajustado através dos parâmetros S_{N7} , S_{N8} , S_{P10} , S_{P9} e R .

A parte CTAT, tal como a PTAT, também é insensível à alimentação e ao processo sendo baseada na subtração de duas correntes ($I_{M_{P7}}$ e $I_{M_{P8}}$). A subtração da corrente é tal que a sua diferença não é zero, mas o seu coeficiente do processo é o mesmo. Daí que a sua variação com o processo seja cancelada. Embora, teoricamente, o coeficiente do processo seja zero, a variação em relação à temperatura deixa de o ser. Por isso, o coeficiente de temperatura da corrente é negativo, dando origem à corrente CTAT.

O coeficiente de temperatura negativo da corrente CTAT pode ser ajustado para coincidir com o coeficiente de temperatura positivo da corrente PTAT para, assim, anular a variação de temperatura.

2.5 Implementações com condensadores comutados

Neste subcapítulo vão ser apresentados circuitos fontes de referência com condensadores comutados que produzam uma tensão ou corrente de referência insensível à temperatura, alimentação e processo.

2.5.1 Condensadores comutados

Antes de passar à apresentação de circuitos de referência com condensadores comutados, importa introduzir o conceito de condensadores comutados. Sabe-se que as resistências, para além de serem pouco precisas, ocupam num circuito integrado grande parte da sua área, relativamente a outros componentes. Por isso, surgiram os condensadores comutados que simulam uma resistência através do controlo da carga e descarga de um condensador e, assim, a substituem.

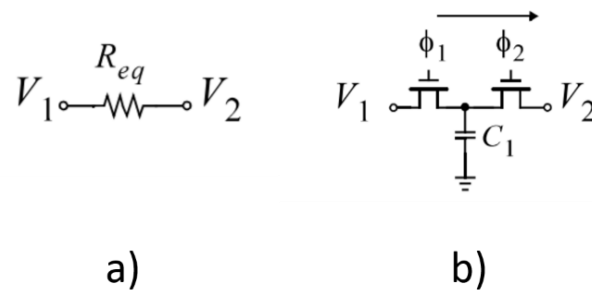


Figura 9 - a) Resistência, b) Condensador comutado.

Na Figura 9-a) tem-se o esquema de uma resistência, em que a sua resistência se pode definir pela seguinte equação:

$$R_{eq} = \frac{V_1 - V_2}{I} \quad (17)$$

Para se obter a R_{eq} do condensador comutado da Figura 9-b), tem-se que

$$\Delta Q = C(V_1 - V_2) \quad (18)$$

$$I_{eq} = \frac{\Delta Q}{\Delta t} = f_{clk} C(V_1 - V_2) \quad (19)$$

$$I_{eq} = \frac{V_1 - V_2}{R_{eq}} \quad (20)$$

Substituindo a equação (20) na equação (19), obtêm-se a R_{eq} para o condensador comutado:

$$R_{eq} = \frac{1}{C_1 * f_{clk}} \quad (21)$$

O valor equivalente da resistência do condensador comutado da Figura 9-b) é dado pelo inverso da capacidade e da frequência de comutação do condensador comutado.

Da equação (21), verifica-se que para alterar o valor da resistência, basta alterar o valor do condensador, ou a frequência de comutação, o que é o mesmo que alterar os sinais $\Phi 1$ e $\Phi 2$. Embora, esta seja uma solução viável para níveis mais elevados de integração, também traz alguns parâmetros a ter em conta durante o seu dimensionamento, tais como o relógio feed through e a injeção de carga, para além de ser necessário um sinal externo para controlar a comutação dos condensadores [3].

A implementação de switches é feita com MOSFETs, pois são considerados bons comutadores devido à resistência off (R_{off}) rondar a gama dos $G\Omega$, dependendo da tecnologia, e da resistência on (R_{on}) andar na gama dos 100Ω a $5k\Omega$, dependendo do tamanho do transístor. Valores estes que fazem com que as correntes de fuga sejam menores.

Para garantir que a comutação (ou seja, a carga e descarga do condensador) seja feita como se pretende é necessário que as fases $\Phi 1$ e $\Phi 2$ não estejam sobrepostas.

2.5.2 Tensão de referência

2.5.2.1 Band-gap com condensadores comutados operando abaixo de 1V

Recordando o circuito de band-gap da secção 2.4.1.1, o circuito da Figura 10 usa a técnica de comutação para gerar a tensão V_{BE} de dois transístores BJT conectados em forma de díodo, tendo apenas um transístor BJT. Em duas fases distintas são aplicadas ao díodo D_1 , duas correntes com valores diferentes, o que simula o ΔV_{BE} de dois díodos baseados em BJT com tamanhos de emissores diferentes, tal como acontece num band-gap convencional [10].

O circuito é constituído por duas fontes de corrente (I_1 e I_2), um opamp, um díodo de junção p-n (D_1), e uma rede de condensadores comutados constituída pelos switches S_1 a S_4 e os condensadores C_1 a C_3 . No seu funcionamento estão envolvidas duas fases, que são a fase de pré-carga/reset ($\Phi 1$) e a fase que coloca a tensão de referência na saída ($\Phi 2$).

Na fase $\Phi 1$, os switches S_1 , S_4 estão fechados e S_2 , S_3 estão abertos. Apenas a corrente I_1 é injetada em D_1 , e pela ação de feedback negativo do opamp é colocada a tensão V_{D1} na saída e que, por sua vez, carrega os condensadores C_1 e C_3 que estão em paralelo, onde V_{D1} é dado por

$$V_{D1} = n V_T \ln \left(\frac{I_1}{I_S} \right) \quad (22)$$

em que V_T é a tensão térmica e n é o coeficiente de emissão do díodo.

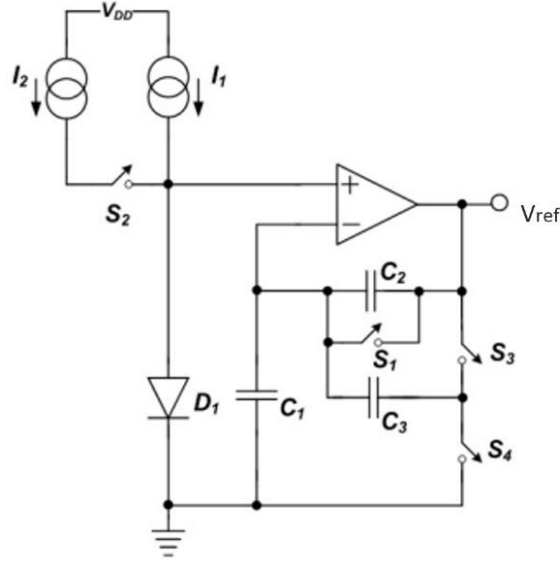


Figura 10 - Circuito de referência band-gap com condensadores comutados operando abaixo de 1 V [10].

Na fase $\Phi 2$, os switches S_1 , S_4 estão abertos e S_2 , S_3 estão fechados. Agora a soma das correntes I_1 e I_2 é injetada no diodo D_1 . Portanto a tensão V_{D2} é dada por

$$V_{D2} = n V_T \ln \left(\frac{I_1 + I_2}{I_S} \right) \quad (23)$$

A carga armazenada na combinação de condensadores C_1 e C_3 é conservada e redistribuída entre C_1 , C_2 , e C_3 , na passagem da fase 1 para a fase 2. Assim, através da conservação de carga, entre a fase 1 e 2 pode-se chegar à expressão da tensão de referência na fase $\Phi 2$

$$q_{total\Phi 1} = q_{total\Phi 2} \quad (24)$$

$$\Leftrightarrow C_1 V_{D1} + C_3 V_{D1} = C_1 V_{D2} + C_2 (-V_{ref} + V_{D2}) + C_3 (-V_{ref} + V_{D2}) \quad (25)$$

$$\Leftrightarrow V_{ref} = \frac{C_2}{C_2 + C_3} \left[\frac{C_1 + C_3}{C_2} n V_T \ln \left(\frac{I_1 + I_2}{I_S} \right) + V_{D2} \right] \quad (26)$$

A expressão entre parênteses retos tem o mesmo fator em comum, $C_2/(C_2+C_3)$, que por sua vez reduz o impacto da temperatura de drift do opamp.

As duas tensões V_{D1} e V_{D2} são complementares à temperatura absoluta (CTAT), e no momento, da redistribuição de cargas da fase 1 para a fase 2 (operação de comutação) é gerada uma tensão proporcional à temperatura absoluta (PTAT). Portanto, na fase $\Phi 2$ vai-se ter uma tensão de referência invariante com a temperatura, uma vez que vai haver um cancelamento CTAT com PTAT na rede de condensadores comutados.

Pela equação (26) mostra-se que V_{ref} só depende dos fatores de escala, nomeadamente do rácio de condensadores, comportando-se assim como um band-gap convencional, sendo também invariante à alimentação e processo.

2.5.2.2 Condensador comutado em CMOS

Como apresentado na secção 2.5.1 as resistências são substituídas por condensadores comutados, uma vez que ocupam grande área de silício e são menos estáveis. Similarmente, os transístores bipolares também ocupam grande área de silício. Para resolver esse problema, é apresentado na Figura 11 um circuito de referência de tensão que utiliza condensadores comutados e transístores CMOS para minimizar a área de silício e o coeficiente de temperatura. Para além disso, a utilização da tecnologia CMOS permite a utilização de correntes de alimentação na ordem dos nanoamperes, o que permite que se tenha tensões de alimentação abaixo de 1 V, reduzindo assim, o consumo do circuito [11].

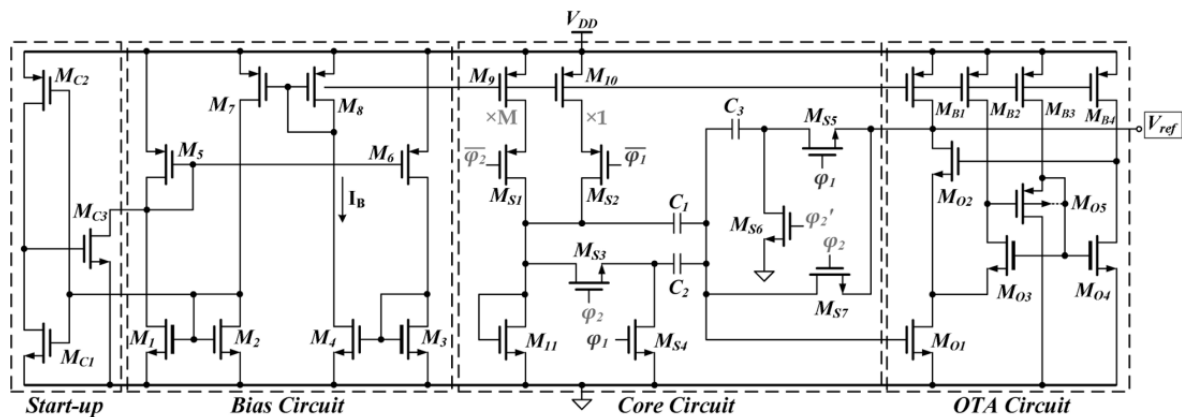


Figura 11 - Circuito de tensão de referência com condensador comutado em CMOS [11].

Na Figura 11 pode-se identificar 4 blocos principais do circuito de referência de tensão. Os dois primeiros blocos são o circuito de polarização de baixa potência que inclui circuito de start-up, no terceiro tem-se o núcleo de referência de tensão onde estão presentes os condensadores comutados, e por último um amplificador operacional de transcondutância (OTA) que utiliza a técnica de auto-zeroing para se tornar insensível à tensão de offset.

O transístor M_{11} conectado em forma de díodo, tem a mesma função que o BJT conectado em forma de díodo do circuito da secção 2.5.2.1, que produz duas tensões de díodo diferentes nas duas fases (Φ_1 e Φ_2). Na primeira fase, quando $\Phi_1=0$ e $\Phi_2=1$, a corrente que flui no transístor M_{11} é $M \cdot I_B$ e a tensão V_{GS2} gerada no transístor M_{11} é armazenada nos condensadores C_1 e C_2 . Na segunda fase, quando $\Phi_1=1$ e $\Phi_2=0$, a corrente que flui no transístor M_{11} é I_B , e a tensão V_{GS1} gerada no transístor M_{11} é armazenada em C_1 e redistribuída por C_2 e C_3 que agora estão dispostos de forma

diferente, C_2 está a ground e C_3 está no feedback negativo do amplificador. Para os transístores PMOS (P-channel Metal Oxide Semiconductor) é necessário ter uma fase complementar de Φ_1 e Φ_2 . Os sinais Φ_1 , Φ_2 e Φ_2' não têm sobreposição entre si para que as correntes de fuga sejam diminuídas e, assim, se alcance uma maior precisão da tensão de referência. No caso de Φ_2 e Φ_2' , quando $\Phi_2=0$, $\Phi_2'=0$ e quando $\Phi_2=1$, $\Phi_2'=1$, apenas diferindo no facto de não estarem sobrepostos (Figura 12).

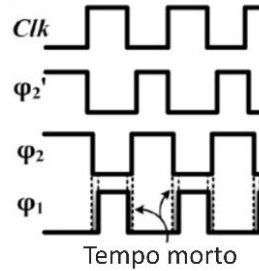


Figura 12 - Fases Φ_1 , Φ_2 e Φ_2' .

Através da conservação de cargas, a tensão V_{ref} pode ser escrita como:

$$V_{ref} = \frac{C_1}{C_3} \left(\left(1 + \frac{C_2}{C_1} \right) V_{GS2} - V_{GS1} \right) \quad (27)$$

A tensão de referência é colocada na saída na fase Φ_2 , através de um circuito de amostragem e de retenção. Para cancelar o coeficiente de temperatura é necessário um ajuste nos condensadores C_1 a C_3 . O coeficiente de temperatura da tensão de limiar (V_{th}) é negativo, o que implica que a corrente de polarização tem de ser proporcional ao quadrado da temperatura absoluta ($PTAT^2$) e cancelar a temperatura característica da mobilidade dos eletrões μ_n .

2.5.3 Corrente de referência

2.5.3.1 Conversor tensão band-gap para corrente

Partindo, do circuito apresentado na secção 2.4.1.1 que gera uma tensão de referência de band-gap, pode-se converter esta tensão de referência em uma corrente de referência com um conversor que utiliza condensadores comutados (Figura 13) [6].

Do lado esquerdo do circuito está o bloco da tensão de referência de band-gap invariante ao PVT. Na parte direita tem-se o conversor tensão-corrente que inclui o condensador comutado. O condensador comutado é controlado pelos sinais CLK1 e CLK2 utilizados para ajustar o valor da resistência simulada e a corrente de saída (ver equação (28)). Esta corrente de referência aproveita as correntes PTAT e CTAT dos transístores bipolares, gerando assim, uma tensão insensível tanto à temperatura como à tensão de alimentação. Os switches são formados pelos transístores M_7 , M_8 , M_9

e M_{10} , e que controlam a carga e descarga de C_a e C_b . Quando CLK1 apresenta o valor high e CLK2 o valor low, o condensador C_a é carregado até ao valor da tensão V_{bg} e o condensador C_b é descarregado para ground. Do mesmo modo, quando CLK1 apresenta o valor low e CLK2 o valor high, C_a é descarregado para ground e C_b é carregado até ao valor da tensão V_{bg} . Com isto, é gerada em M_5 uma corrente de comutação cujo valor médio é dado por:

$$I_{REF} = 2C_a V_{bg} f_{ref} \quad (28)$$

Na corrente de saída, o V_{bg} representa a tensão de band-gap, o $2C_a$ o valor dos condensadores (se C_a e C_b tiverem o mesmo valor) e f_{ref} a frequência de comutação.

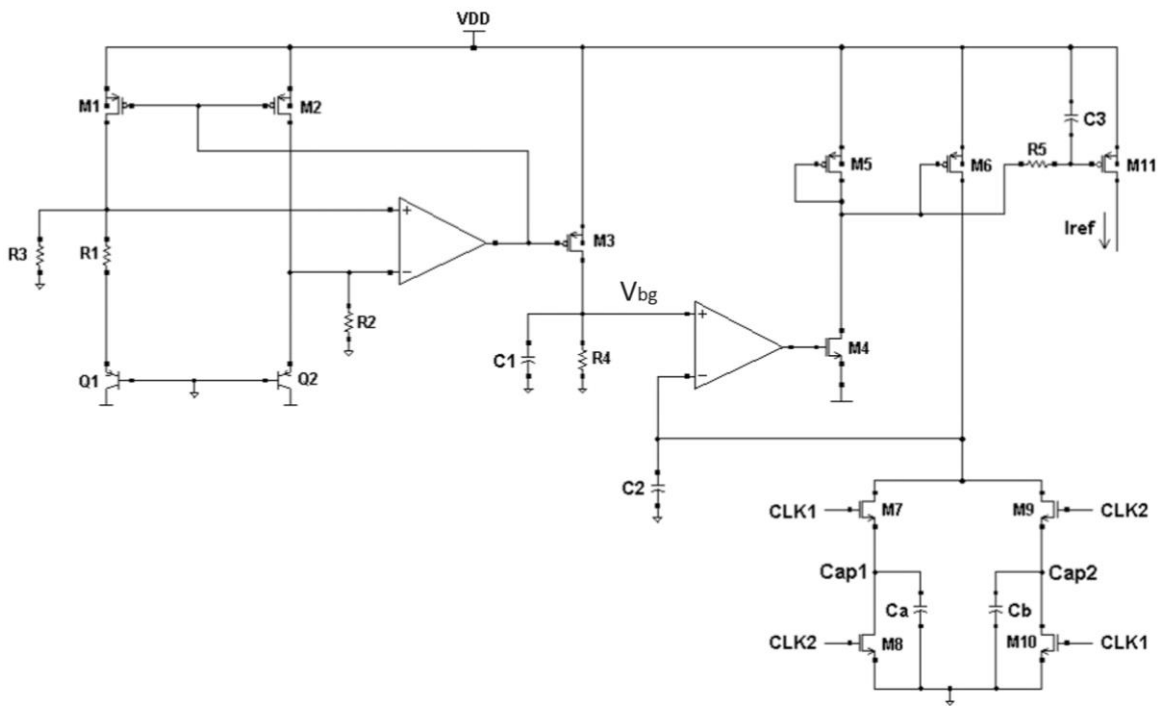


Figura 13 - Conversor tensão band-gap para corrente [6].

Para aproveitar toda a excursão da corrente utilizam-se dois condensadores comutados em paralelo, controlados com os dois ciclos de relógio CLK1 e CLK2. Porém, é gerado na corrente de referência um ripple que é o dobro da frequência f_{ref} e, portanto, necessita de ser filtrado através de um filtro passa baixo colocado entre os transístores M_5 , M_6 e M_{11} , constituído por R_5 e C_3 .

Através da equação (28), verifica-se que o I_{ref} depende da capacidade C_a e f_{ref} , o que o torna variante com o processo, apesar das capacidades variarem menos do que as resistências. A f_{ref} para ser invariante ao processo teria de se garantir que a frequência do relógio era invariante.

2.6 Estudo comparativo

Os resultados simulados, dos circuitos apresentados no capítulo anterior, que são apresentados na bibliografia, estão resumidos na Tabela 1 para uma análise mais simplificada. É de notar que nem todos os artigos correspondentes de cada circuito apresentam os resultados para os parâmetros em análise neste subcapítulo.

No circuito da secção 2.5.3.1 [6] o resultado apresentado para a insensibilidade à temperatura vai ao encontro ao apresentado na parte teórica, porém apesar de o artigo dizer que o circuito é invariante ao processo, alimentação e temperatura (PVT), não apresenta resultados que comprovem o processo e alimentação (PV). Além disso, como a parte do circuito de geração da tensão de band-gap é feita com resistências e não com condensadores comutados, como no conversor tensão-corrente, poderá tornar o circuito variante com o processo. Porém, a equação (13) mostra que a tensão de band-gap (V_{bg}) é insensível a R, o que significa que a tensão só depende do rácio das resistências.

Para o circuito da secção 2.4.1.2 [7], os resultados apresentados vão ao encontro da teoria, sendo só invariante à temperatura. O mesmo acontece para o circuito da secção 2.4.1.3 [8], sendo invariante à temperatura e, nos resultados ainda se mostra que o circuito também é invariante à alimentação.

Apesar de no artigo do circuito da secção 2.4.2.1 [9], ser apresentado o resultado global da invariância ao PVT como $\pm 10\%$, não são apresentadas as contribuições individuais, ou seja, o coeficiente de temperatura, PSRR (Power Supply Rejection Ratio) e processo, o que justificaria melhor a teoria apresentada.

No circuito da secção 2.5.2.1 [10] é confirmada a invariância com a temperatura, alimentação e processo, pois pela equação (26) mostra-se que V_{ref} só depende dos fatores de escala, nomeadamente do rácio de condensadores, comportando-se assim como um band-gap convencional. Para além disso, o facto de se ter um circuito no domínio discreto (com condensadores comutados), relativamente ao mesmo tipo de circuito no domínio contínuo (sem condensadores comutados), apresenta uma melhor imunidade à variação com a alimentação e processo. De forma geral, as resistências variam 20 - 30%, enquanto as capacidades variam aproximadamente 10%, por isso, a variação com capacidades comutadas será menor se a frequência do relógio não variar.

Os resultados apresentados para o circuito da secção 2.5.2.2 [11], confirmam a insensibilidade à temperatura e alimentação, apesar de na parte teórica não ser explicado como é conseguida a invariância com a alimentação. É ainda dito que se for usada a técnica de trimming, o circuito poderá se tornar também imune ao processo.

	[6] [3]	[7]	[8]	[9]	[10]	[11]
<i>Tecnologia</i>	CMOS 0.13 μ m	CMOS 0.18 μ m	CMOS 0.18 μ m	Intel 22nm	CMOS 0.13 μ m	CMOS 0.35 μ m
<i>Condensadores Comutados</i>	SIM	NÃO	NÃO	NÃO	SIM	SIM
<i>Invariante a</i>	VT	T	VT	PVT	PVT	PVT
<i>Tensão de alimentação (V)</i>	1.5		0.8 – 1.8	1	1.2	1 – 4
<i>Corrente de alimentação</i>			18 nA @ $V_{dd}=0.9V$			0.25 – 0.56 μ A
<i>Tensão de referência</i>		600 mV	625 mV		552 mV	190.1 mV @ $V_{dd}=1V$
<i>Corrente de Referência</i>	15 μ A			82 μ A		
<i>Coeficiente de temperatura</i>	1.1 nV/ $^{\circ}$ C [-40 a 120] $^{\circ}$ C	4 ppm/ $^{\circ}$ C [-50 a 150] $^{\circ}$ C	13 ppm/ $^{\circ}$ C 8 μ V/ $^{\circ}$ C [-25 a 110] $^{\circ}$ C		1 μ V/ $^{\circ}$ C [-55 a 125] $^{\circ}$ C	16.9 ppm/ $^{\circ}$ C [-40 a 80] $^{\circ}$ C
<i>Sensibilidade da tensão de alimentação</i>			0.59 %/V			0.76 %/V
<i>PSRR</i>			-42 dB			-41dB @ 100Hz
<i>Potência</i>			16.2 nW			0.25 μ W

Tabela 1 - Resumo dos resultados simulados dos circuitos da bibliografia apresentada.

Depois, de ter sido efetuada uma análise individual para cada circuito, irá ser agora feita uma análise quanto às vantagens e desvantagens de usar circuitos com condensadores comutados.

Como já dito na secção 2.5.1, a utilização de condensadores comutados ao invés de resistências traz as vantagens de ocupar menor área de silício, menor dependência com a temperatura e processo, devido à sua maior estabilidade do que as resistências. O que vai ao encontro do pretendido, para as escalas de integração nanométricas em CMOS, e que por sua vez reduz o custo de produção de um circuito.

Uma desvantagem de usar circuitos com condensadores comutados é o facto de se ter de usar um sinal externo de relógio para o controlo dos switches. Isto, para os circuitos onde vai ser usado o circuito de referência, não possuem nenhum sinal de relógio, podendo nesse caso, ser vantajoso usar circuitos de referência convencionais só com MOSFETs como o [9]. Este tipo de circuitos só com MOSFETs podem mesmo ser tão bons a nível de insensibilidade PVT como os circuitos com condensadores comutados. Para além que, também obedecem ao objetivo de ter menores dimensões e baixos consumos.

No caso do circuito de referência ter fácil acesso a um sinal de relógio estável, aí sim será vantajoso usar circuitos com condensadores comutados.

3. Simulações

Neste capítulo pretende-se simular dois tipos de circuitos fontes de referência, os convencionais e os com condensadores comutados, que posteriormente irá ser comparada a sua variação de tensão ou corrente de referência quanto à temperatura, alimentação e processo. Estas simulações vão ser feitas no software Custom Compiler da Synopsys na tecnologia CMOS 28nm. Esta tecnologia admite uma tensão de alimentação máxima de 1V.

3.1 Referência de Band-gap só com MOSFETs em sub-limiar (A)

O circuito foi dimensionado para uma tensão de alimentação de 0.9 V e uma gama de temperaturas de -40°C a 125°C , em que como ponto de partida utilizou-se os tamanhos dos transístores (W - Width e L - Length) sugeridos no artigo [8] para a tecnologia CMOS 180nm que foram escalados para a tecnologia CMOS 28nm. Verificou-se que era necessário ajustar alguns tamanhos dos transístores por forma a que se verificasse o cancelamento PTAT com CTAT (Figura 15).

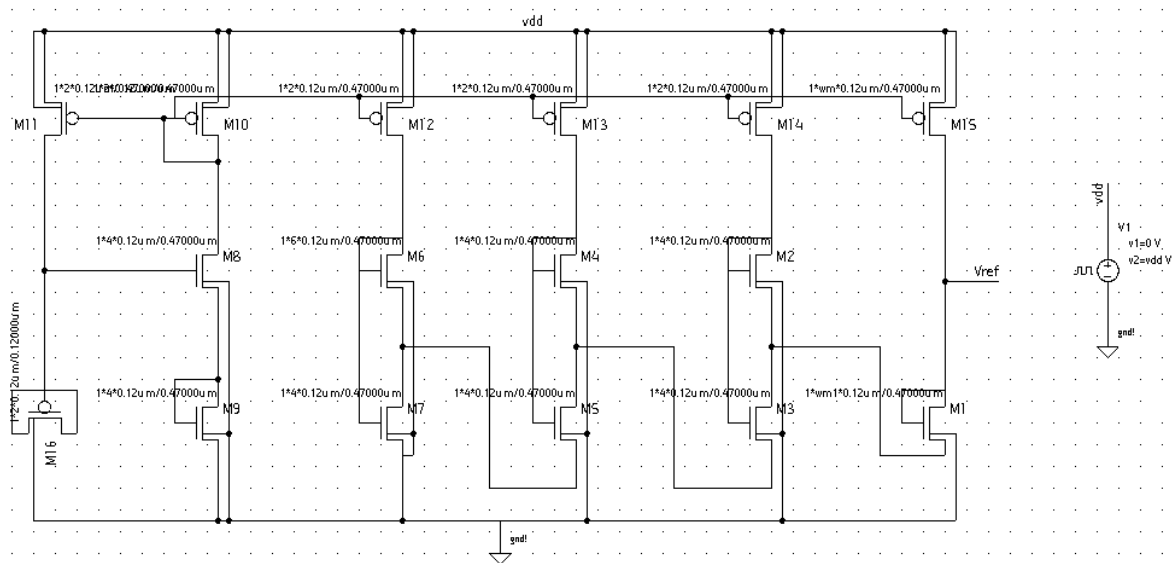


Figura 14 - Esquemático do circuito referência de band-gap só com MOSFETs em sub-limiar.

	W (μm)	NF (n° de fingers)	L (μm)
M_1	0.12	80	0.47
M_2	0.12	4	0.47
M_3	0.12	4	0.47
M_4	0.12	4	0.47
M_5	0.12	4	0.47
M_6	0.12	6	0.47
M_7	0.12	4	0.47
M_8	0.12	4	0.47
M_9	0.12	4	0.47
M_{10}	0.12	2	0.47
M_{11}	0.12	2	0.47
M_{12}	0.12	2	0.47
M_{13}	0.12	2	0.47
M_{14}	0.12	2	0.47
M_{15}	0.12	4	0.47
M_{16}	0.12	2	0.12

Tabela 2 - Tamanho dos transístores utilizados na simulação do circuito (A).

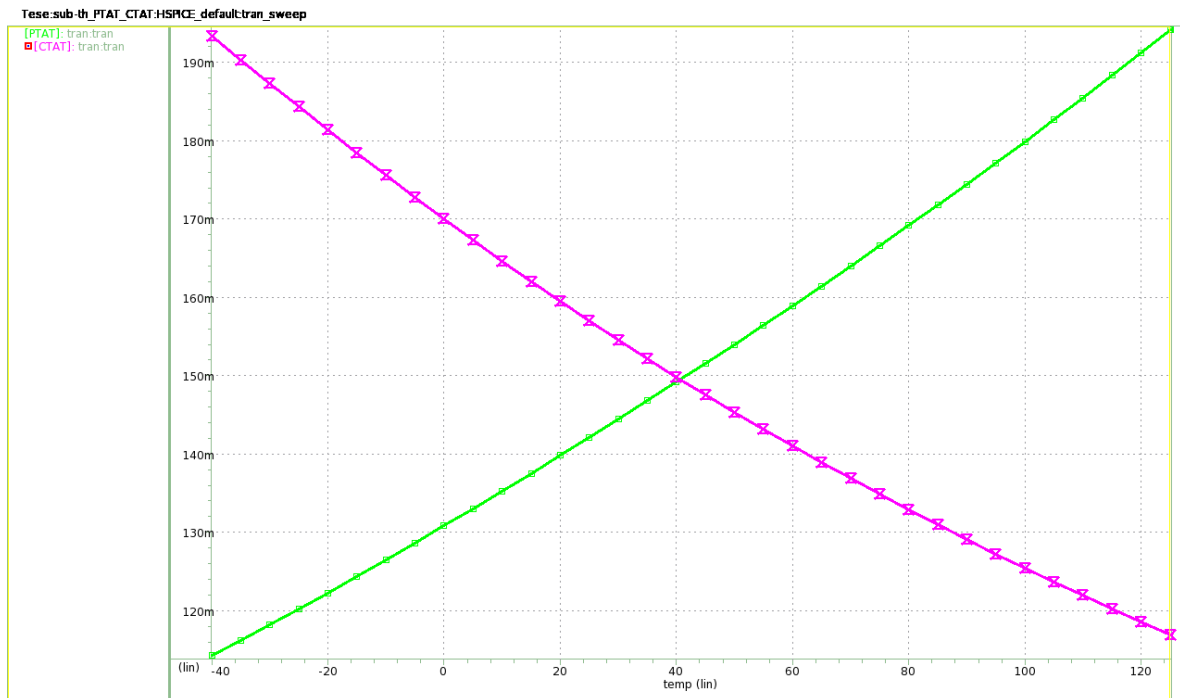


Figura 15 - Cancelamento PTAT - CTAT.

Após efetuado o cancelamento PTAT com CTAT, por forma a ter uma tensão de referência independente com a temperatura, calculou-se o coeficiente de temperatura da tensão de referência (Figura 16), $138 \mu\text{V}/^\circ\text{C}$.

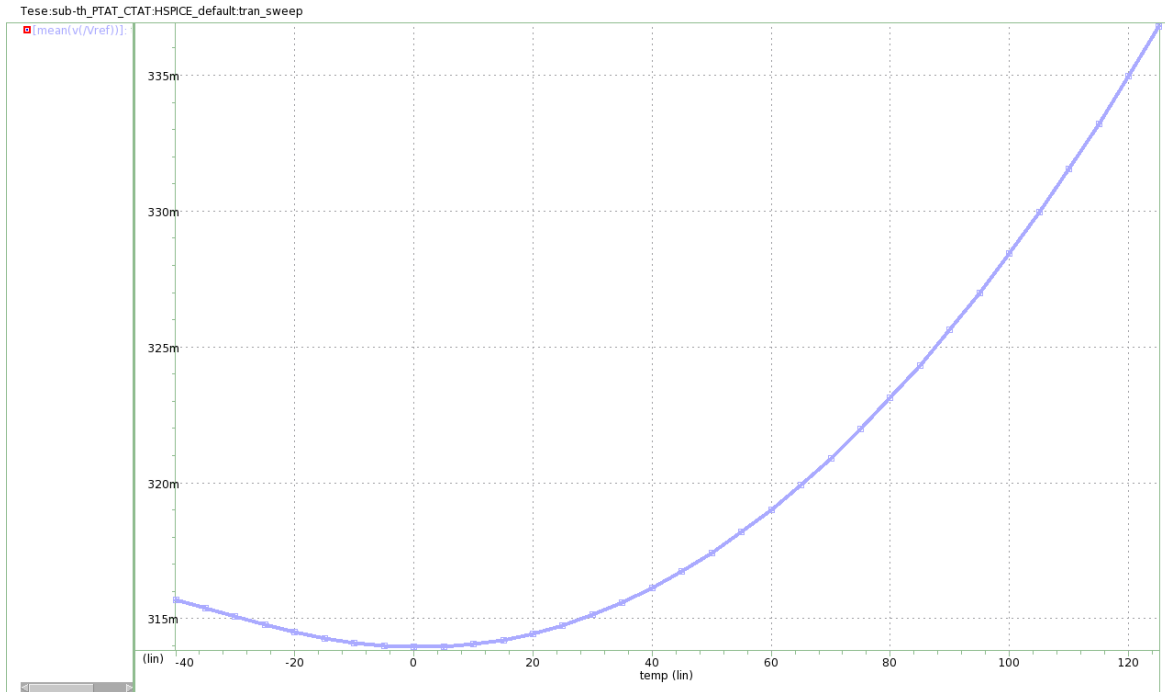


Figura 16 - V_{ref} em função da temperatura.

Correu-se uma simulação Monte Carlo com 1000 interações para uma tensão de alimentação de 0.9V e uma temperatura ambiente de 25°C , por forma, a obter o valor de tensão de referência deste circuito, o qual deu um $V_{ref}=316\text{mV}$, com um desvio padrão (σ) de 17.4mV (Figura 17).

Com a análise do parâmetro temperatura terminado, passou-se à análise da influência da alimentação na tensão de referência, ou seja, o PSRR. Simulou-se para diferentes alimentações (V_{dd}). Para alimentações entre 0.75V e 0.8V, o circuito apresenta melhor PSRR de -34.4dB @ 1kHz. Para a alimentação de 0.9V o circuito exibe um PSRR de -33.9dB @ 1kHz (Figura 18).

Por fim, foi feita uma análise da variação da tensão de referência quanto ao processo (Figura 19). Os piores casos, relativamente ao valor típico, ocorrem para o corner com temperatura de -40°C e processo SS (slow-slow) e para o corner com temperatura de 125°C e processo FF (fast-fast).

O cálculo da variação da tensão de referência com o processo é efetuado tendo em conta o valor da tensão de referência máxima ou mínima e a tensão de referência típica:

$$\frac{\Delta V_{ref}}{V_{ref_típico}} * 100 = \frac{V_{ref_máx/min} - V_{ref_típico}}{V_{ref_típico}} * 100 \quad (29)$$

Portanto, para os piores casos, a tensão de referência varia como o processo +19%, -7% relativamente ao valor típico.

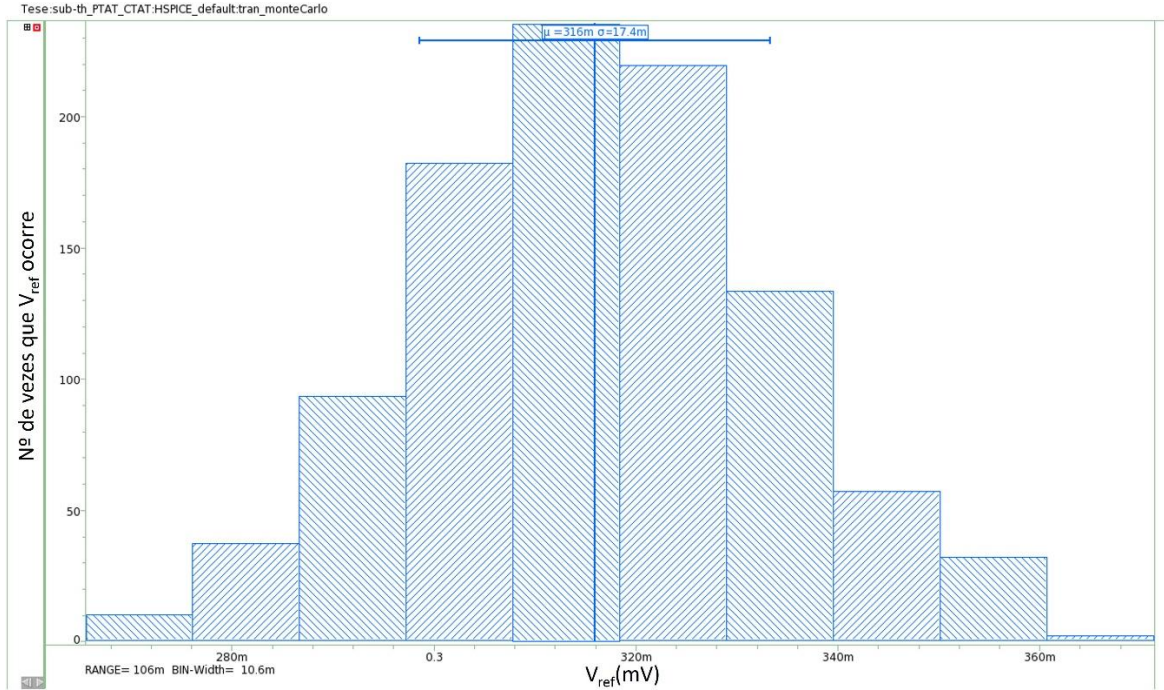


Figura 17 - Monte Carlo da tensão de referência do circuito (A).

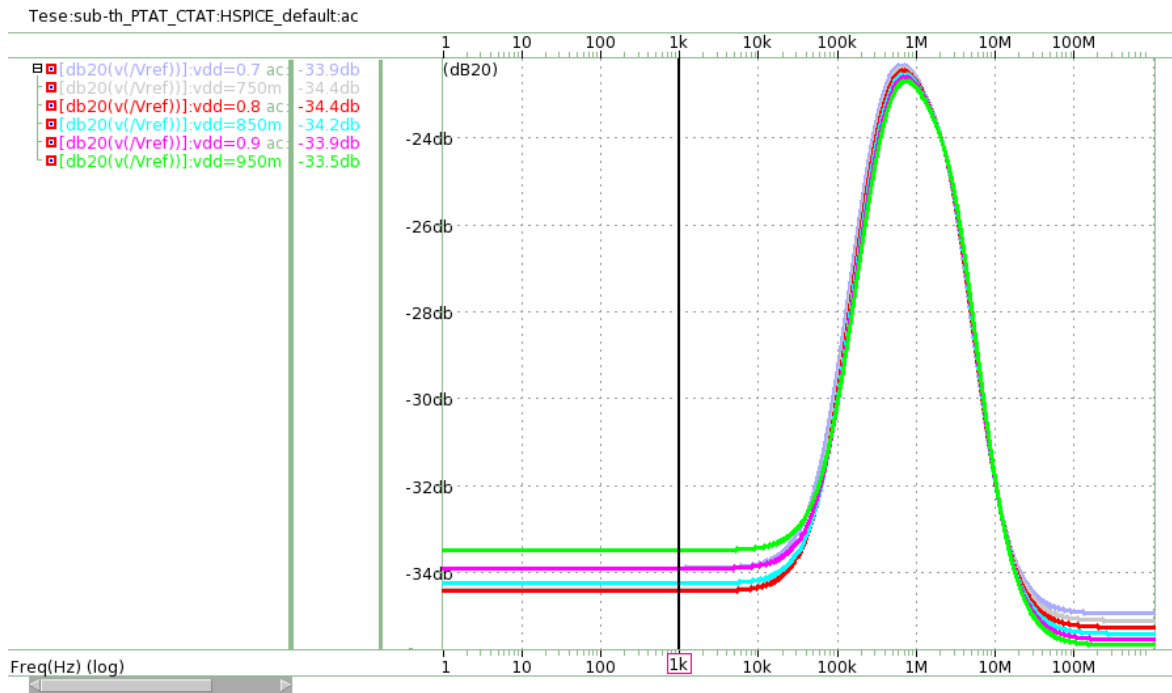


Figura 18 - PSRR para diferentes V_{dd} .

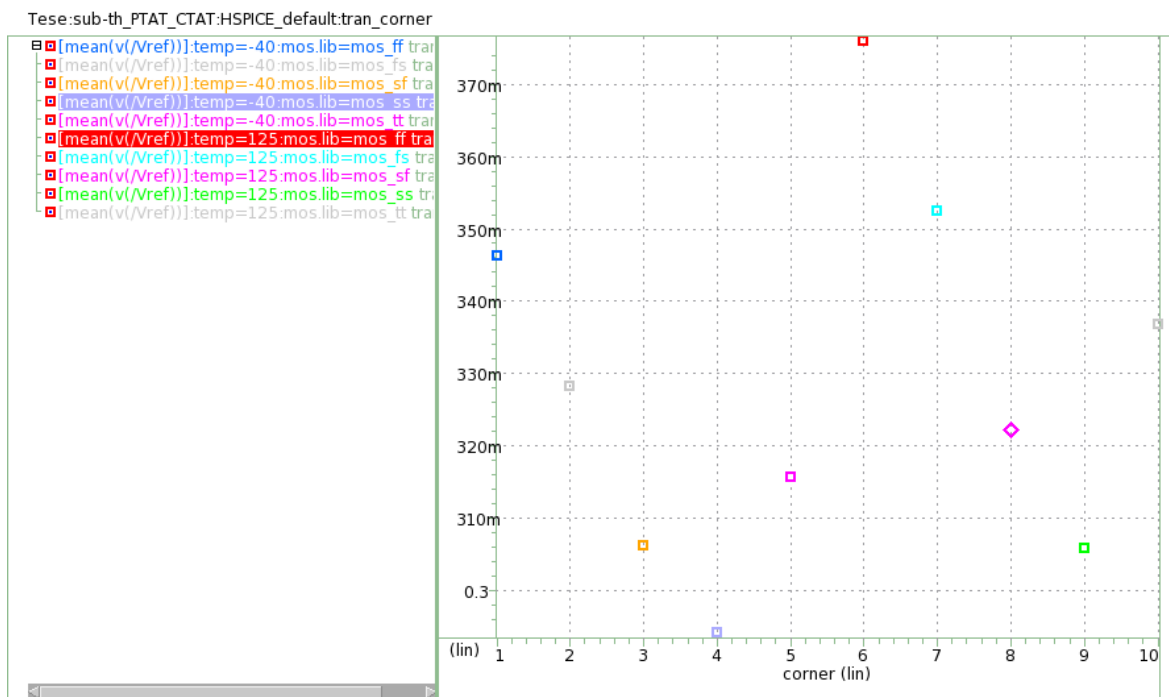


Figura 19 - Variação de V_{ref} com o processo do circuito (A).

3.2 Baixa tensão de referência PTAT abaixo do ponto ZTC (B)

O circuito (Figura 22) foi dimensionado para uma tensão de alimentação de 0.99V e uma gama de temperaturas de -40°C a 125°C . Como as tensões V_1 e V_2 têm coeficientes de temperatura opostos, ou seja, V_1 tem coeficiente de temperatura negativo e V_2 tem coeficiente de temperatura positivo, por forma a que haja cancelamento, e assim, a tensão de referência não varie com a temperatura (ver secção 2.4.1.2). Uma vez que os transístores em forma de díodo M_7 e M_8 têm o mesmo tamanho, a maneira de controlar o coeficiente de temperatura (ou seja, o V_{gs} do M_7 e M_8) é através da corrente fornecida pelos transístores M_5 e M_6 . Para saber a relação entre a corrente e a tensão V_{gs} de um transístor NMOS (N-channel Metal Oxide Semiconductor) conectado em forma de díodo é necessário fazer uma simulação extra, por forma, a encontrar o ponto ZTC (Figura 20 e Figura 21).

Como se pode ver no gráfico da Figura 21 para uma determinada corrente de dreno pode-se ter o V_{gs} a diminuir com a temperatura, e para outra determinada corrente pode-se ter o V_{gs} a aumentar com a temperatura. Como ponto de partida, para obter o tamanho dos transístores M_5 e M_6 , usa-se um outro simulador, o TUNEMOS, que permite, obter o tamanho de um transístor dados certos parâmetros. Por exemplo, fornecendo o L , o I_{ds} , o V_{gs} , e eventualmente o número de fingers que se quer usar, o simulador devolve o parâmetro W .

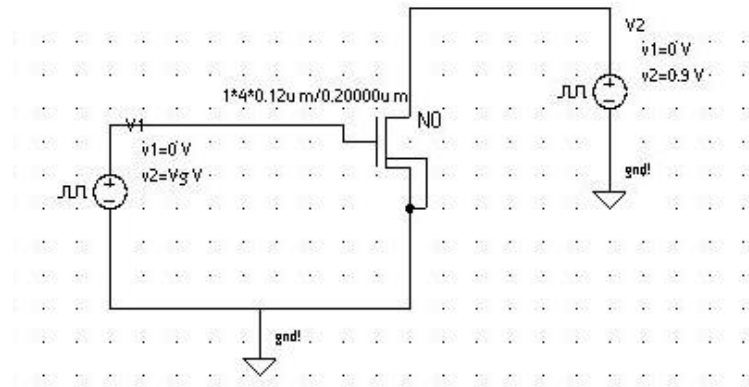


Figura 20 - Esquemático do circuito para obter o ponto ZTC de um transistor NMOS.

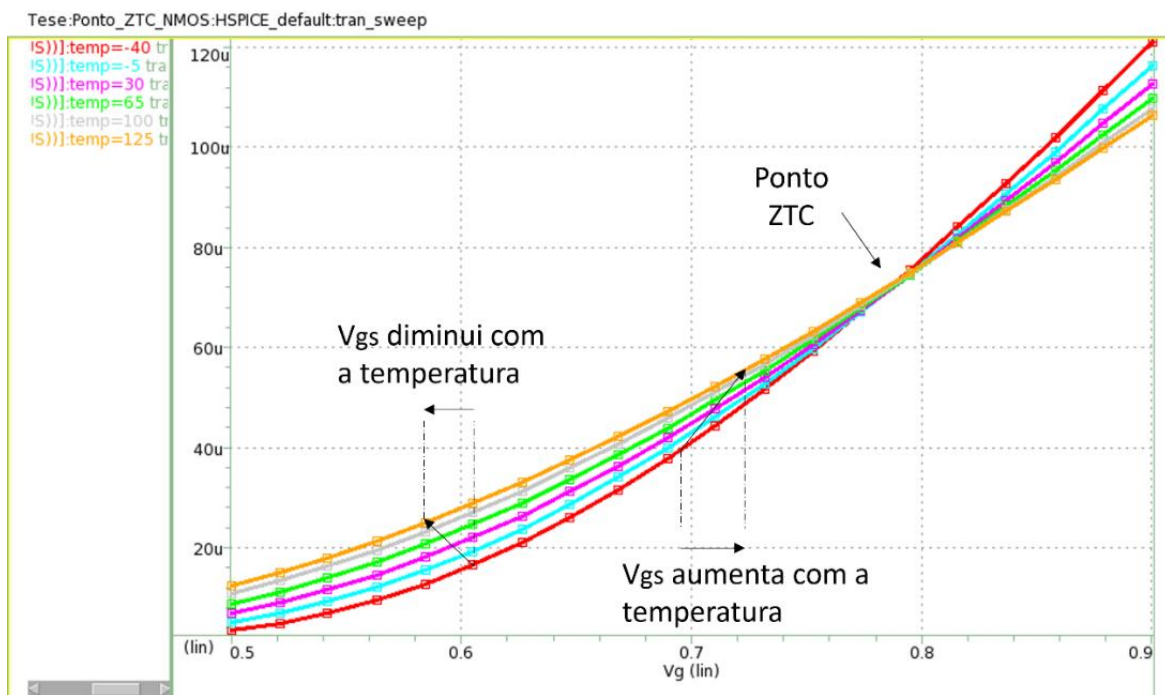


Figura 21 - Ponto ZTC de um transistor NMOS.

Posto isto, têm-se uma ideia dos tamanhos iniciais a usar para simular o circuito, que posteriormente para obter um melhor cancelamento irão ser ajustados através de simulações paramétricas em que se varia o valor de W ou L de cada um dos transistores, até obter o melhor cancelamento possível.

Os tamanhos dos transistores do espelho de corrente (M_1 , M_2 , M_3 , M_4 e R_B) que fornece a corrente PTAT para o núcleo da tensão de referência são dimensionados através de simulações paramétricas para cada transistor, de forma a obter a corrente PTAT no I_B . No entanto, estes transistores têm influência no resultado da tensão de referência, bem como na sua variação ao longo da temperatura (Figura 23).

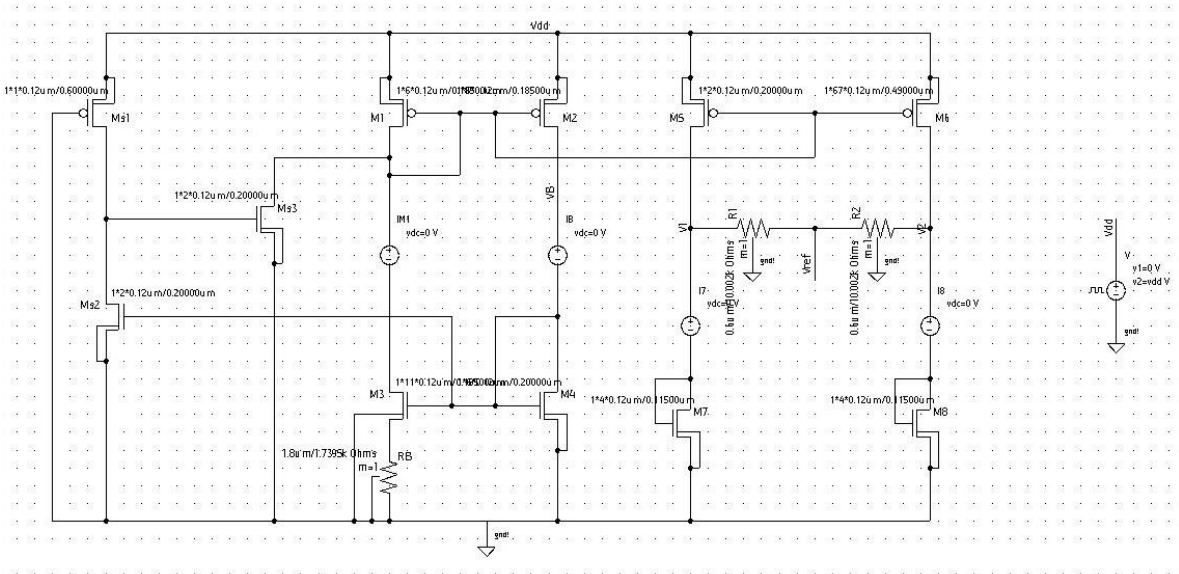


Figura 22 - Esquemático do circuito de baixa tensão de referência PTAT abaixo do ponto ZTC.

	W (μm)	NF (n° de fingers)	L (μm)
M_1	0.12	6	0.185
M_2	0.12	6	0.185
M_3	0.12	11	0.185
M_4	0.12	6	0.2
M_5	0.12	2	0.2
M_6	0.12	67	0.49
M_7	0.12	4	0.115
M_8	0.12	4	0.115
M_{s1}	0.12	1	0.6
M_{s2}	0.12	2	0.2
M_{s3}	0.12	2	0.2

Tabela 3 - Tamanho dos transístores utilizados na simulação do circuito (B).

	R (Ω)	W (μm)	L (μm)
R_B	1740	1.8	4.815
R_1	10k	0.6	9.295
R_2	10k	0.6	9.295

Tabela 4 - Tamanho das resistências utilizadas na simulação do circuito (B).

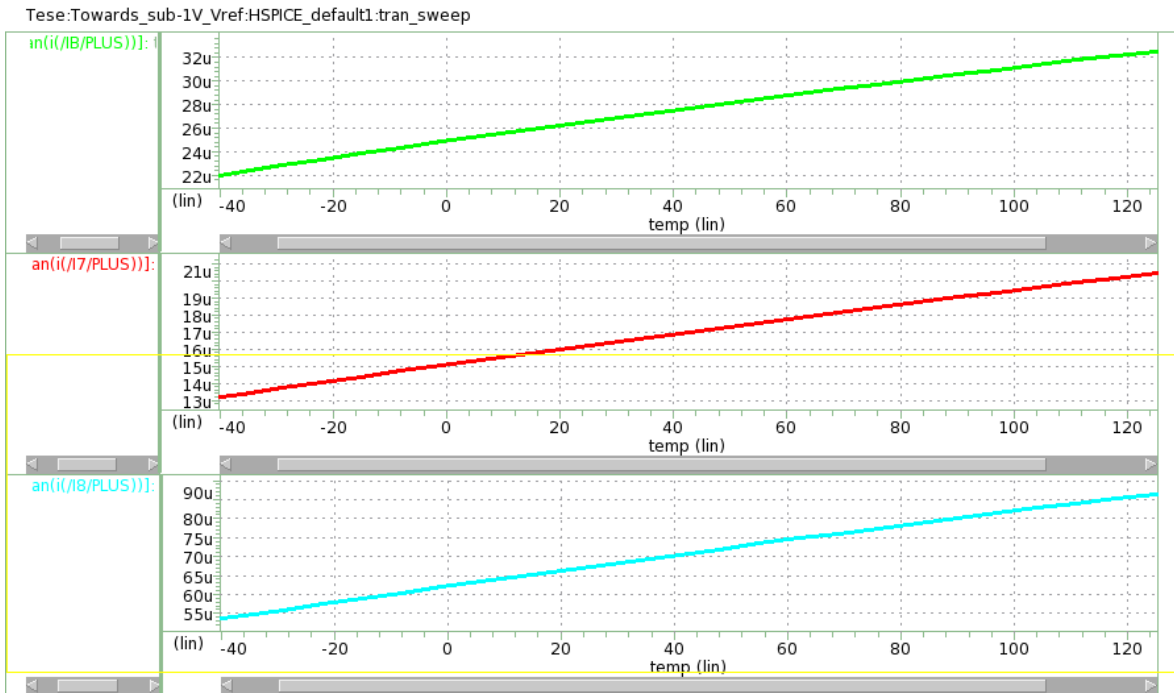


Figura 23 - Correntes I_B , I_7 e I_8 .

Como se pode ver na Figura 24 a tensão V_1 tem um coeficiente de temperatura negativo e a tensão V_2 tem um coeficiente de temperatura positivo como pretendido.

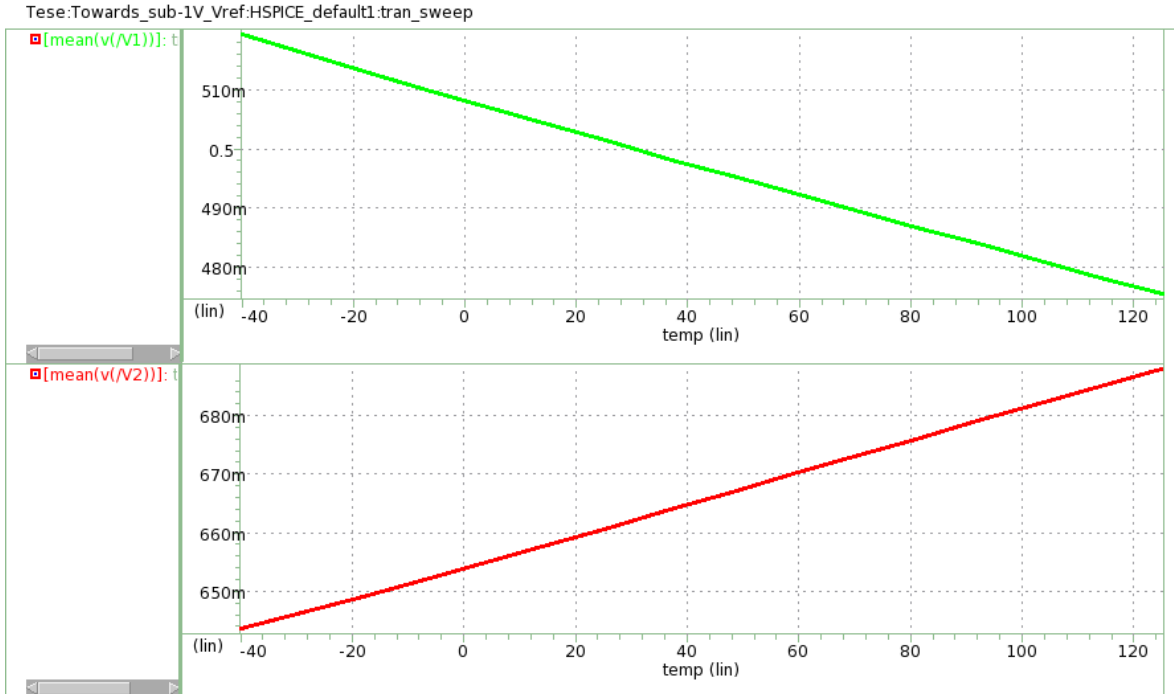


Figura 24 - Tensões V_1 e V_2 .

Na Figura 25 apresenta-se a tensão de referência em função da temperatura, na qual se verifica que existe uma variação da tensão de referência de $628\mu\text{V}$ na gama de -40 a 125°C , o que em termos de coeficiente de temperatura representa uma variação de $4\mu\text{V}/^\circ\text{C}$.

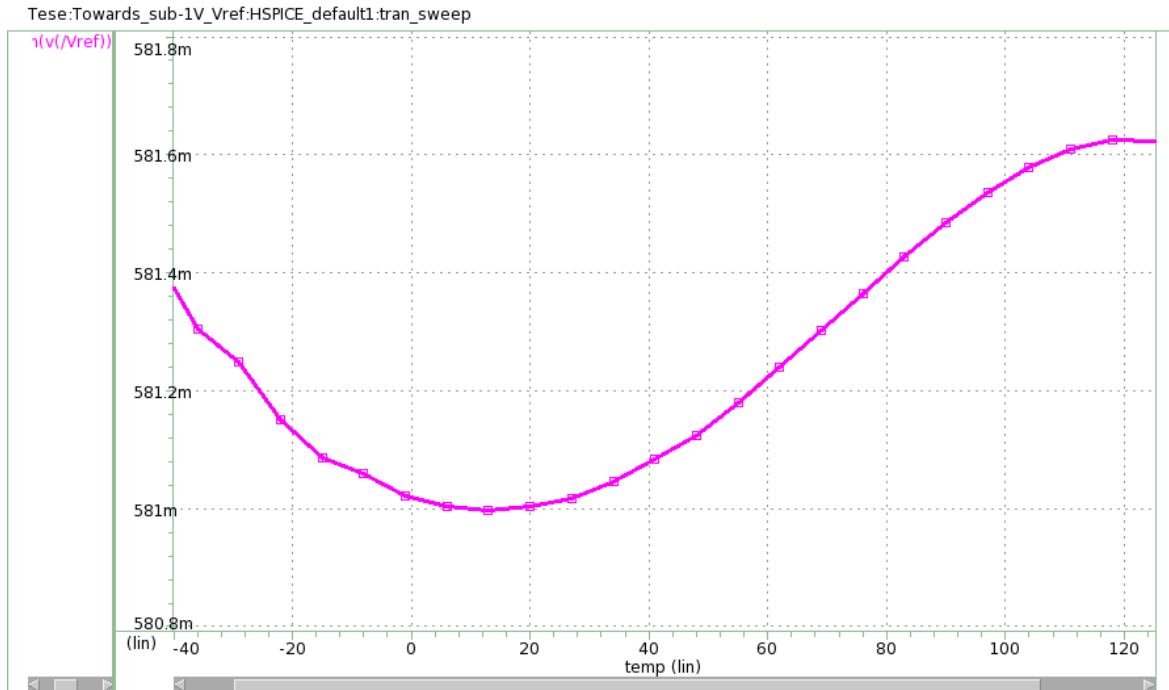


Figura 25 - V_{ref} em função da temperatura.

Depois, de analisada a variação de V_{ref} com a temperatura, correu-se uma simulação de Monte Carlo (Figura 26), com $V_{dd}=0.99\text{V}$, $T=25^\circ\text{C}$ e 1000 iterações, para estimar o valor da tensão de referência produzido pelo circuito. Obteve-se um valor de $V_{ref}=580\text{mV}$, com um desvio padrão (σ) de 20.9mV .

De seguida, passou-se à análise da influência da alimentação na tensão de referência, ou seja, o PSRR (Figura 27). Simulou-se para diferentes alimentações (V_{dd}). Para a alimentação de 0.99V o circuito apresenta um PSRR de -16.1dB @ 1kHz . Para além do circuito ser sensível a variações na alimentação, para valores mais baixos de V_{dd} , este apresenta um pior PSRR e um pior desempenho.

Por fim, foi feita uma análise da variação da tensão de referência quanto ao processo. Os piores casos, relativamente ao valor típico, ocorrem para o corner com temperatura de 125°C e processo do Mosfet SS (slow-slow) e para a Resistência f e l (fast=low) e para o corner com temperatura de 125°C e processo do Mosfet FF (fast-fast) e para a Resistência h e s (high=slow) (Figura 28).

O cálculo da variação da tensão de referência com o processo é efetuado tendo em conta o valor da tensão de referência máxima ou mínima e a tensão de referência típica (ver equação (29)).

Portanto, para os piores casos, a tensão de referência varia como o processo +11%, -12% relativamente ao valor típico.

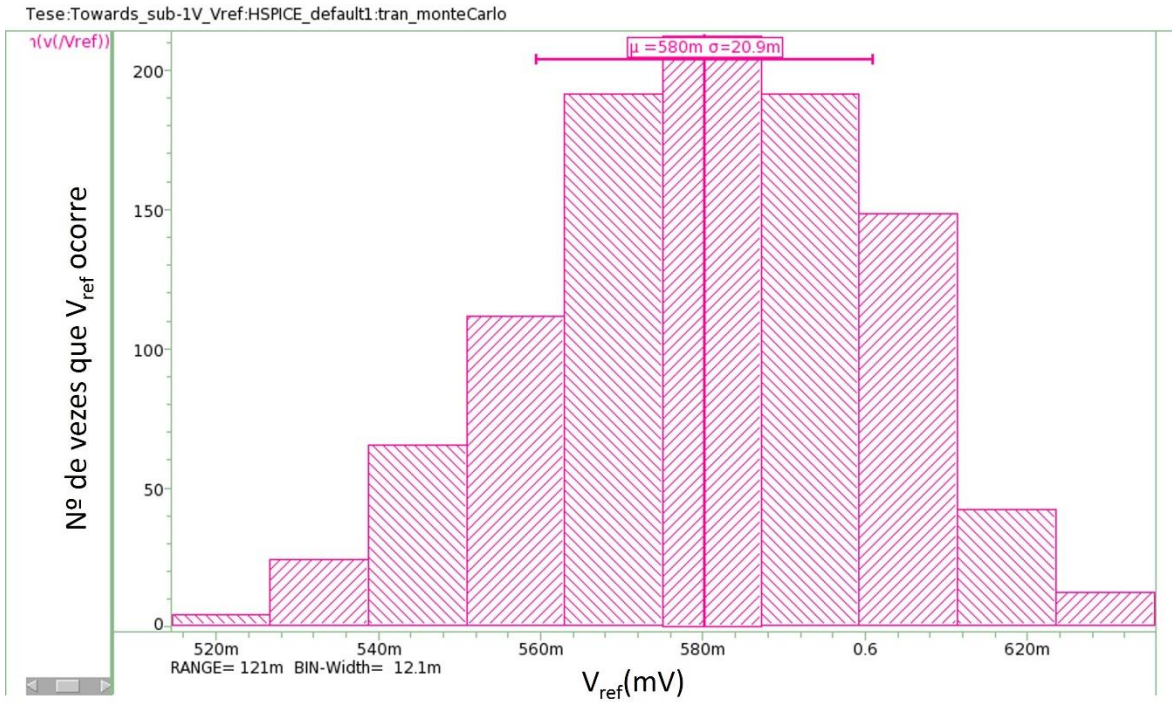


Figura 26 - Monte Carlo da tensão de referência do circuito (B).

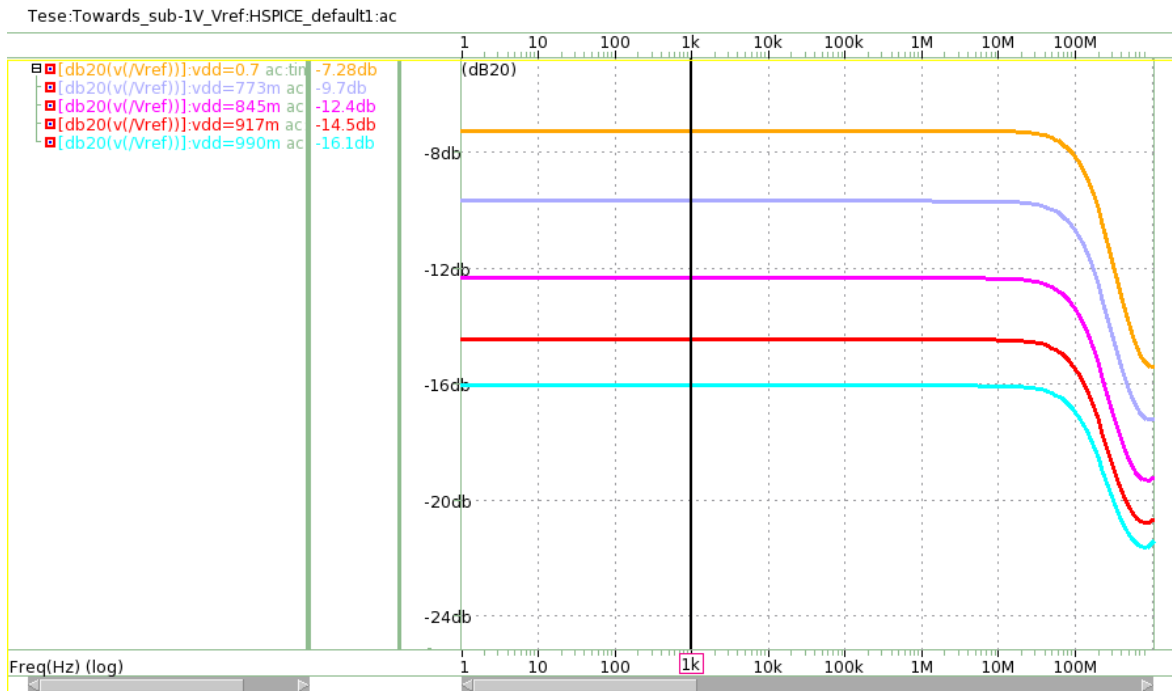


Figura 27 - PSRR do circuito (B).

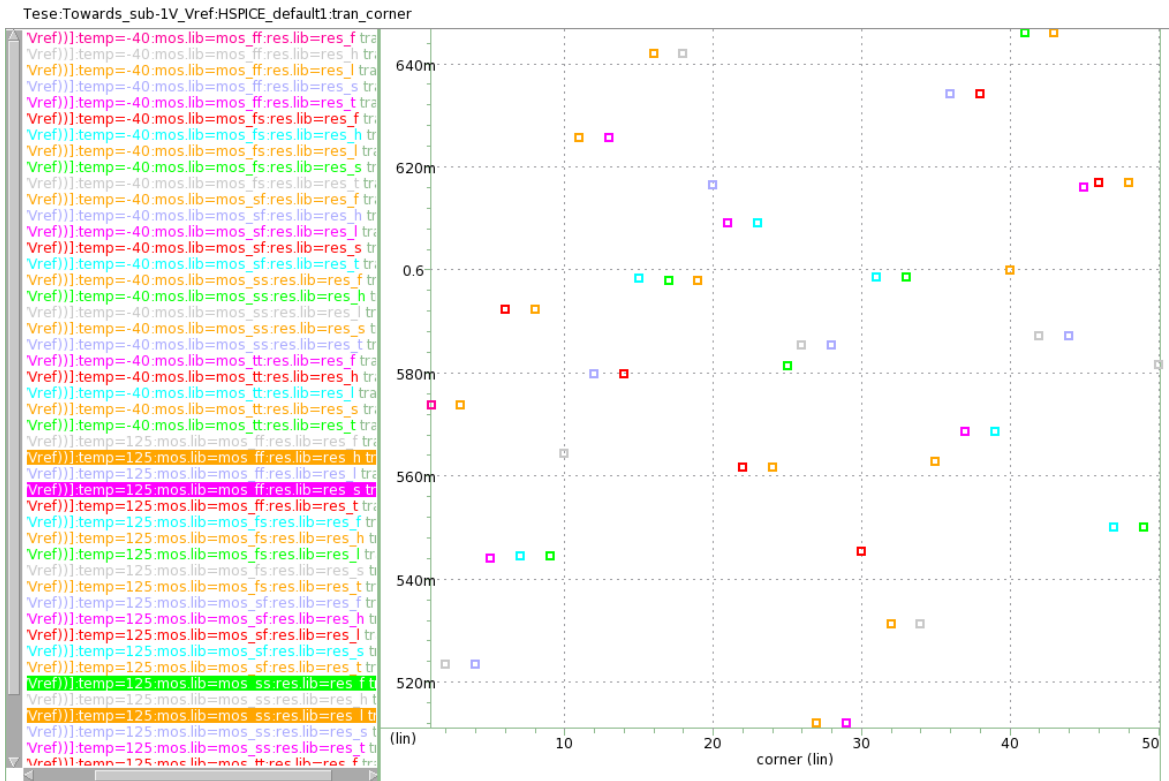


Figura 28 - Variação de V_{ref} com o processo do circuito (B).

3.3 Bandgap com condensadores comutados operando abaixo de 1V (C)

Depois da simulação de circuitos convencionais, passou-se agora para a simulação com condensadores comutados. O circuito usado, da secção 2.5.2.1, não é nada mais que um circuito de band-gap em que as duas tensões de diodo geradas num circuito convencional, são aqui geradas apenas num único transistor BJT, em fases diferentes com correntes diferentes (Figura 31). Inicialmente, por forma, a ser mais fácil perceber o conceito do circuito, o dimensionamento das fases, bem como dos condensadores vai ser simulado o circuito com componentes ideais e posteriormente, substituídos por componentes reais.

Como ponto de partida, fez-se uma simulação para obter a curva característica do transistor BJT, por forma, a definir as correntes de I_1 e I_2 .

O critério usado para escolher as correntes I_1 e I_2 , consiste no facto da corrente escolhida ter de produzir no BJT uma tensão inferior à tensão de alimentação (V_{dd}). Como se pode observar na Figura 30, para $V_{dd}=0.9V$ corresponde a $-40^\circ C$ uma corrente de $20\mu A$, o que significa que as correntes escolhidas para I_1 e I_2 devem ser inferiores a esse valor.

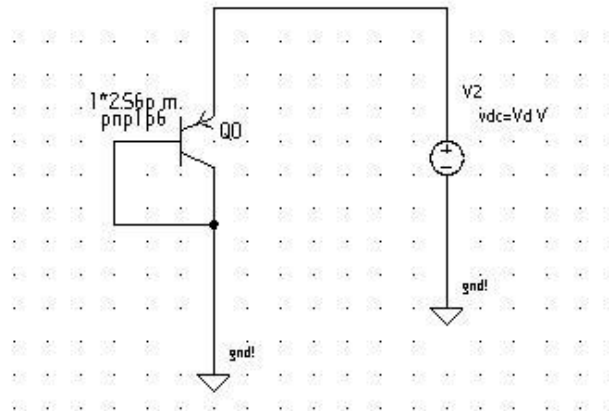


Figura 29 - Circuito para obter a curva característica do BJT.

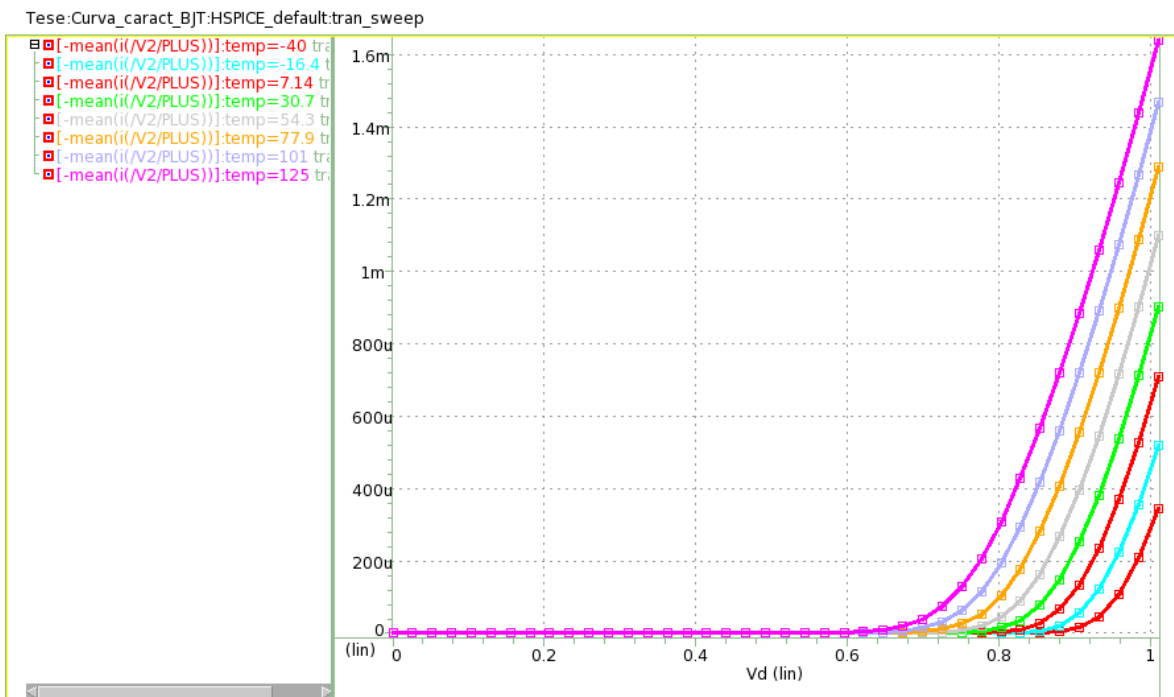


Figura 30 - Curva característica do BJT.

Posto isto, definiram-se as fases 1 e 2 para controlar os switches 1 a 4 (Figura 32). No dimensionamento das fases, teve-se em atenção o facto de na passagem da fase 1 para a 2 e vice-versa, não houvesse sobreposição (Figura 33).

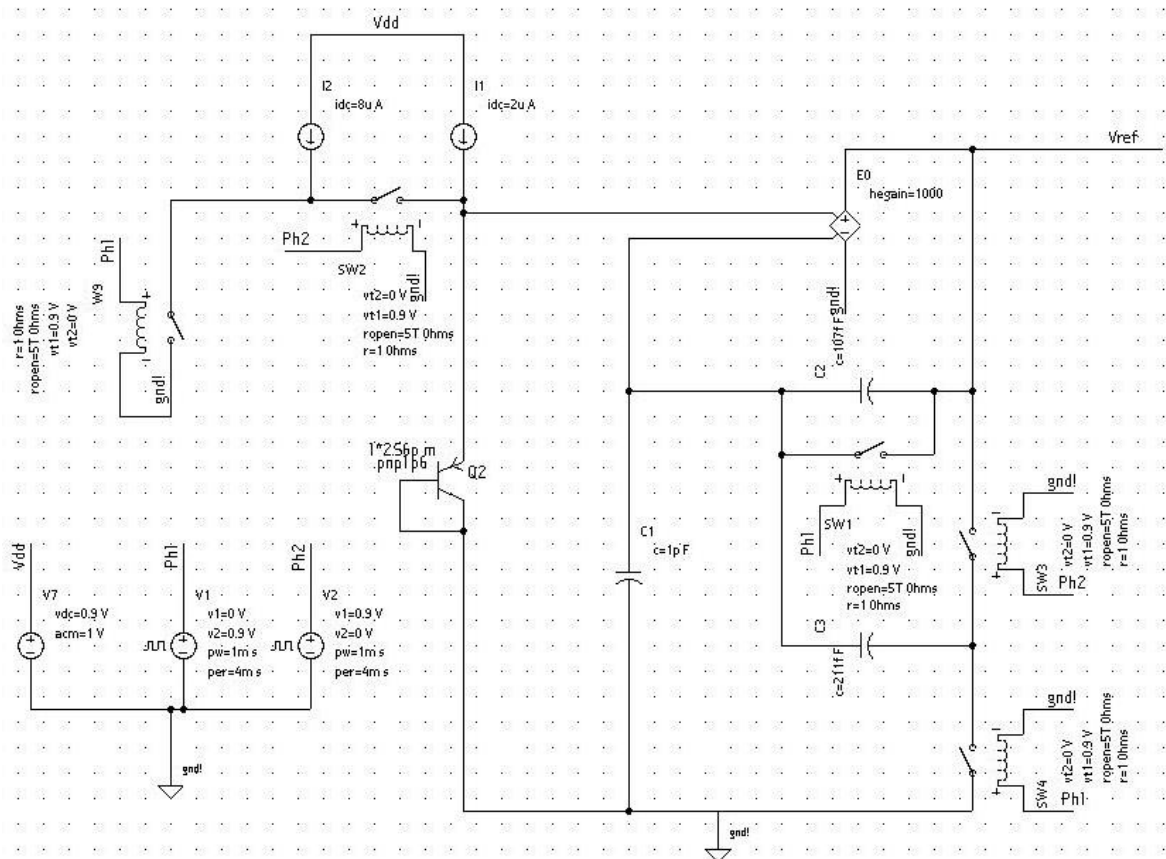


Figura 31 - Esquemático do circuito com componentes ideais.

Depois, de dimensionadas as fases para a comutação dos switches, passou-se para a análise da variação com a temperatura. Sabe-se que um diodo produz sempre uma tensão CTAT (ver secção 2.2), o que significa que V_{D1} e V_{D2} serão ambas CTAT. Para que a tensão de referência seja invariante com a temperatura, tem de haver um cancelamento CTAT com PTAT. Segundo a equação (26) da secção 2.5.2.1 existe um valor de C_1 , C_2 e C_3 para o qual a tensão V_{ref} é cancelada.

Como ponto de partida, utilizou-se os valores dos condensadores sugeridos no artigo [10] e verificou-se que não existia cancelamento. Fez-se simulações paramétricas, por forma a ser mais fácil chegar aos valores de C_1 , C_2 e C_3 que promovem o cancelamento.

Como se pode ver na Figura 34, na fase 1 V_{ref} varia para diferentes temperaturas, porém, na fase 2 V_{ref} mantém-se constante para diferentes temperaturas ao longo do tempo.

Na Figura 35 verifica-se que a tensão de diodo (V_D) e a tensão de referência (V_{ref}) na fase 1 são ambas CTAT e na fase 2, a tensão de diodo também é CTAT. Porém na passagem da fase 1 para

a fase 2, na redistribuição de cargas nos condensadores a tensão passa a ser PTAT, o que faz com que haja um cancelamento e, portanto, assim se verifica que V_{ref} é invariante com a temperatura.

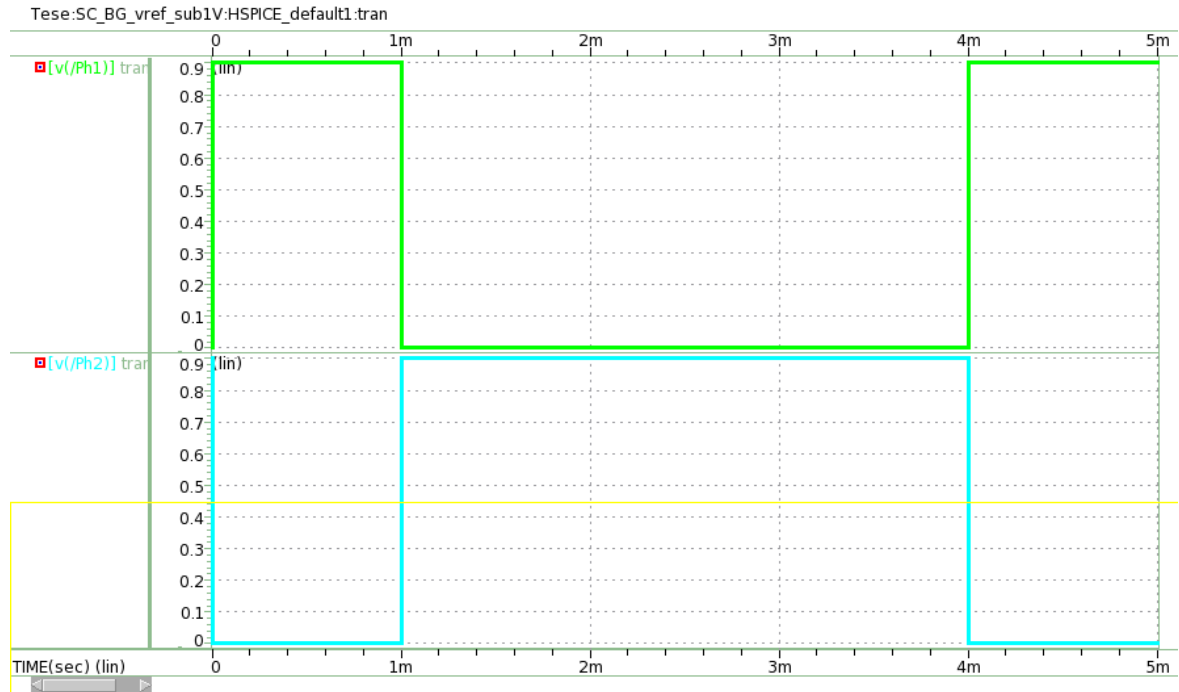


Figura 32 - Fases $\Phi 1$ e $\Phi 2$ para o circuito com componentes ideais.



Figura 33 - Fases $\Phi 1$ e $\Phi 2$ sem sobreposição.

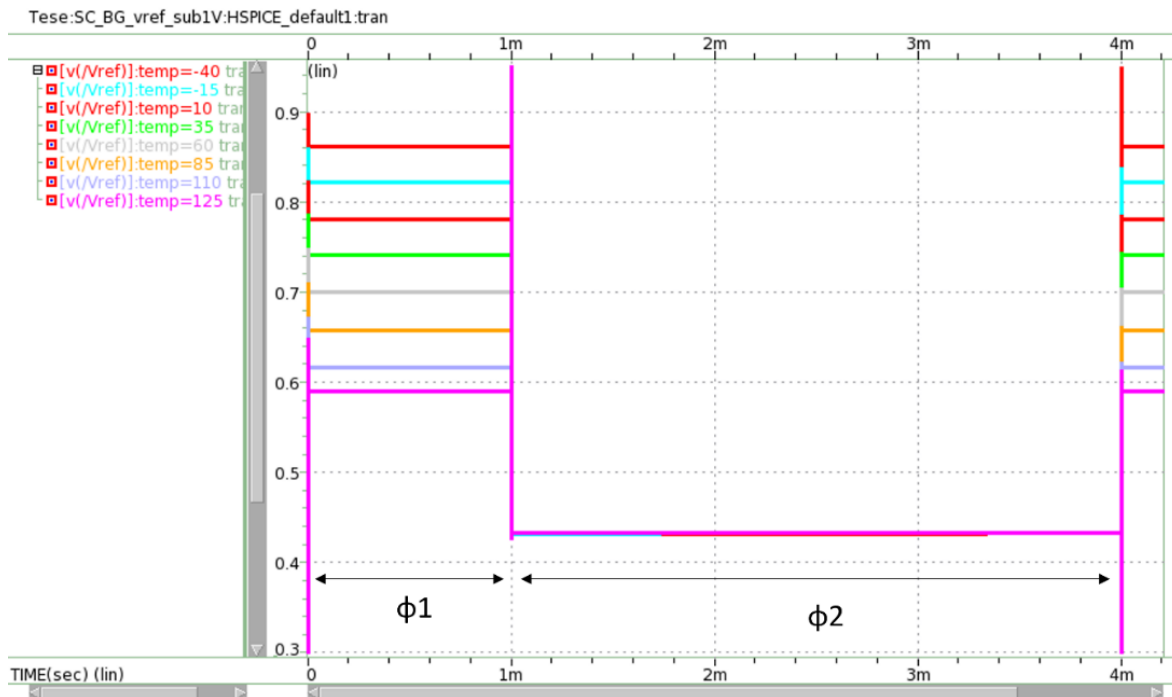


Figura 34 - Tensão de referência no tempo e para várias temperaturas.

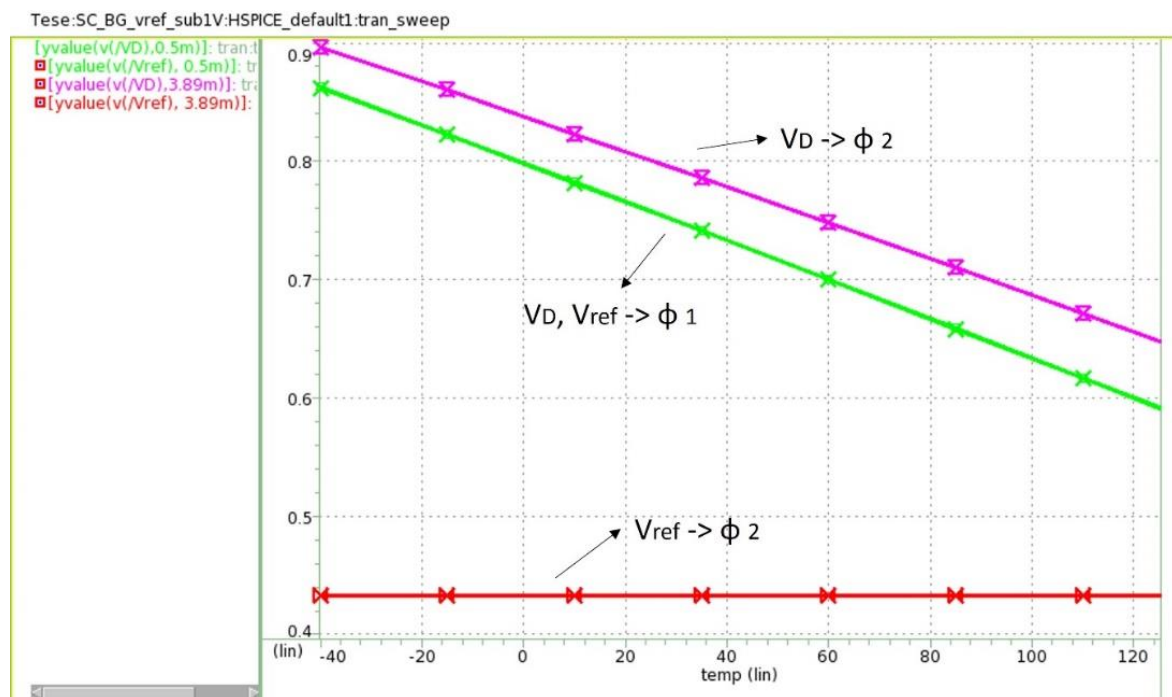


Figura 35 - Tensão de diodo e de referência em diferentes fases.

Na Figura 36 apresenta-se a tensão de referência em função da temperatura, na qual se verifica que existe uma variação da tensão de referência de $651\mu\text{V}$ na gama de -40 a 125°C , o que em termos de coeficiente de temperatura representa uma variação de $4\mu\text{V}/^\circ\text{C}$.



Figura 36 - Tensão de referência em função da temperatura.

As análises da variação com a tensão de alimentação e com o processo, não foram analisadas para o circuito com componentes ideais, uma vez que os resultados não têm interesse de estudo.

Como o primeiro objetivo, da simulação deste circuito está concluído, ou seja, perceber o conceito e provar o cancelamento da tensão de referência, bem como a obtenção das correntes I_1 e I_2 e os valores para os condensadores da rede de condensadores comutados, para os quais irão agora ser dimensionados os componentes reais.

Para produzir as correntes I_1 e I_2 aproveitou-se o espelho de corrente simulado anteriormente na secção 3.2, uma vez que já está dimensionado para produzir correntes na ordem dos microamperes e também por apresentar uma melhor insensibilidade à temperatura e processo em comparação com o espelho de corrente do circuito da secção 3.1 (Figura 37).

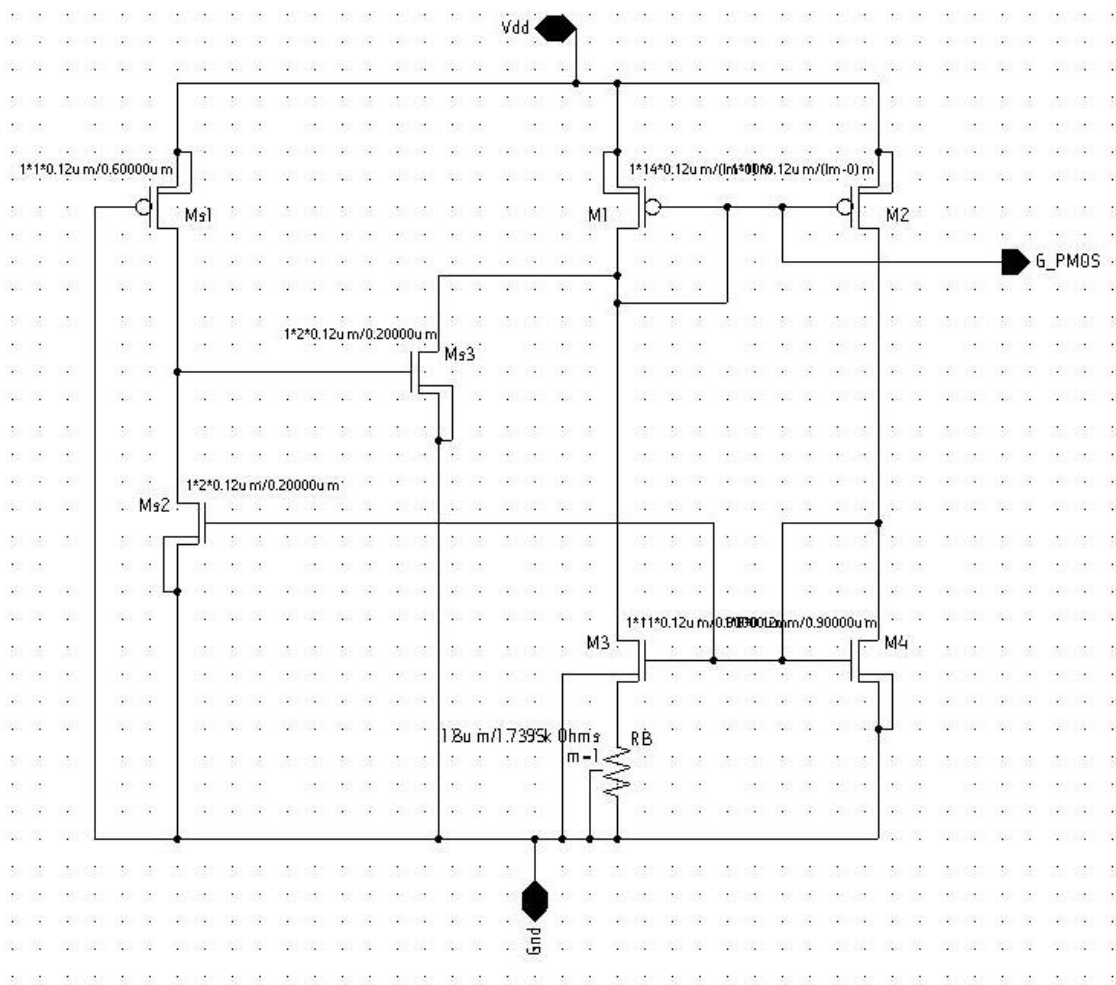


Figura 37 - Esquemático do espelho de corrente.

	M₁	M₂	M₃	M₄	M_{s1}	M_{s2}	M_{s3}
W (μm)	0.12	0.12	0.12	0.12	0.12	0.12	0.12
NF	14	10	11	6	1	2	2
L (μm)	0.035	0.035	0.9	0.9	0.6	0.2	0.2

Tabela 5 - Tamanho dos transístores utilizados na simulação do espelho de corrente.

	R (Ω)	W (μm)	L (μm)
R_B	1740	1.8	4.815

Tabela 6 - Tamanho da resistência utilizada na simulação do espelho de corrente.

O próximo componente a ser dimensionado é o amplificador operacional. Utilizou-se um amplificador operacional de dois andares de [12] (Figura 38). No seu componente correspondente ideal foi utilizado um ganho em tensão de 1000 V/V (60dB), por isso, o seu dimensionamento será feito para esse ganho. O seu dimensionamento sofreu algumas alterações devido a problemas de instabilidade, daí o acrescento no andar de saída o condensador com resistência em série para compensar a margem de fase. A corrente inicial com que se polarizou o opamp não era suficiente para que a tensão V_{in}^- acompanha-se a tensão V_{in}^+ e, por sua vez, a tensão V_{ref} não tinha tempo de estabilizar antes do fim do tempo da fase 2. A corrente de polarização que providência um bom tempo de estabilização, o que faz com que se chegue ao valor final antes do fim da fase 1 ou 2, e ao mesmo tempo baixo consumo do opamp, é de 500nA (I_0). De maneira que o opamp tenha baixo consumo e se possa utilizar correntes de polarização na ordem dos nanoamperes, este tem de estar a funcionar em inversão fraca (sub-limiar) e em saturação (Figura 39).

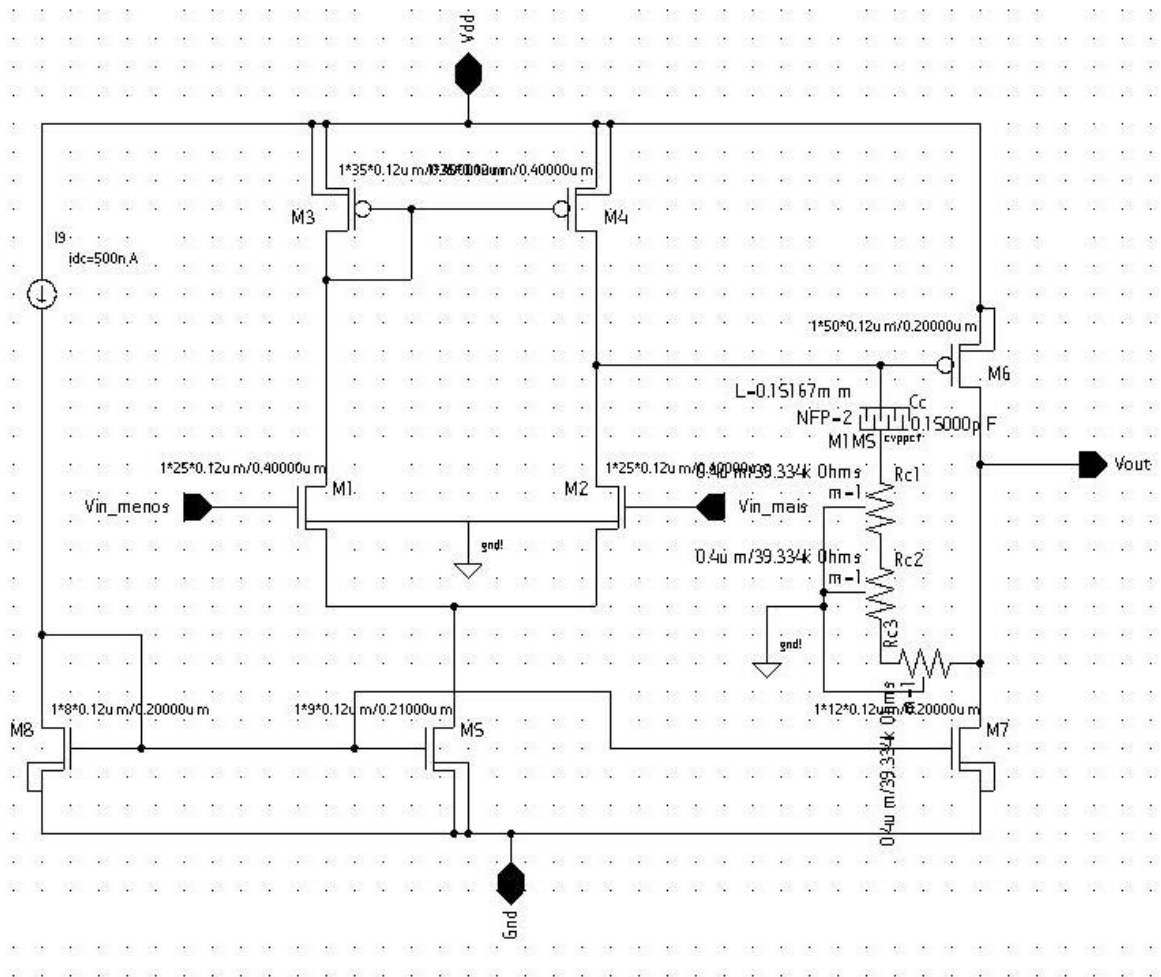


Figura 38 - Esquemático do amplificador operacional de dois andares.

	M₁	M₂	M₃	M₄	M₅	M₆	M₇	M₈
<i>W</i> (μm)	0.12	0.12	0.12	0.12	0.12	0.12	0.12	0.12
<i>NF</i>	25	25	35	35	9	50	12	8
<i>L</i> (μm)	0.4	0.4	0.4	0.4	0.21	0.2	0.2	0.2

Tabela 7 - Tamanho dos transístores utilizados na simulação do opamp de dois andares.

	C (fF)	W (μm)	NF	L (μm)
<i>C_c</i>	150	0.07	2	151.7

Tabela 8 - Tamanho do condensador utilizado na simulação do opamp de dois andares.

	R (kΩ)	W (μm)	L (μm)
<i>R_{C1}</i>	39.334	0.4	24.46
<i>R_{C2}</i>	39.334	0.4	24.46
<i>R_{C3}</i>	39.334	0.4	24.46

Tabela 9 - Tamanho das resistências utilizadas na simulação do opamp de dois andares.

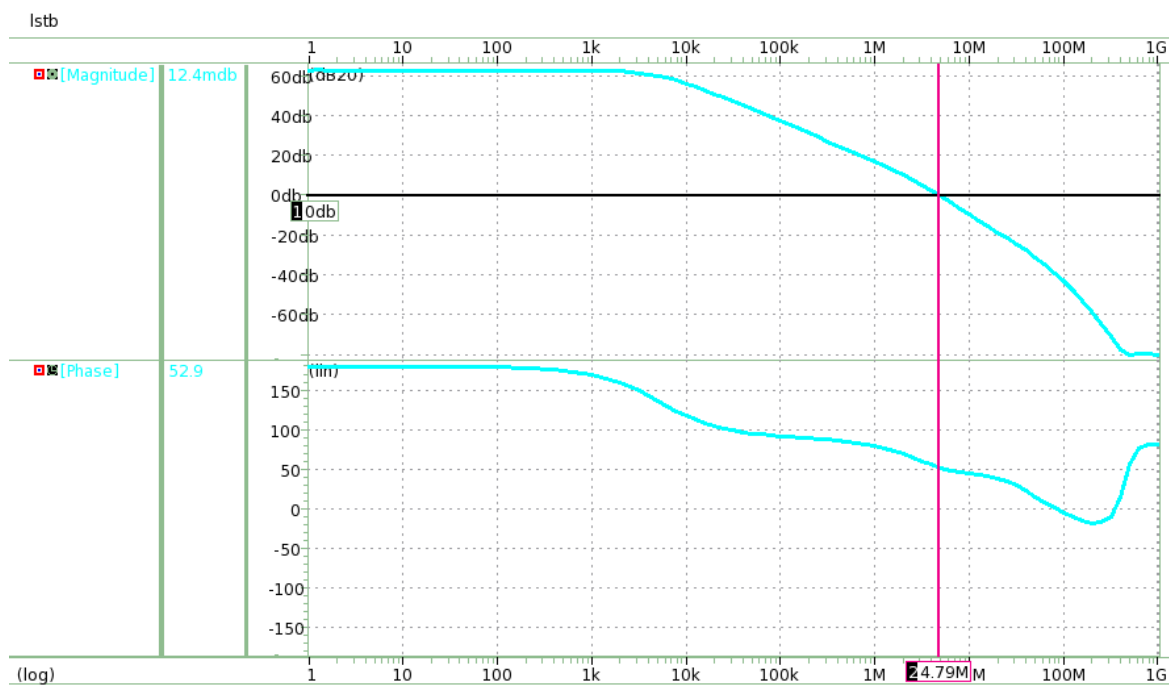


Figura 39 - Resposta do amplificador operacional de dois andares.

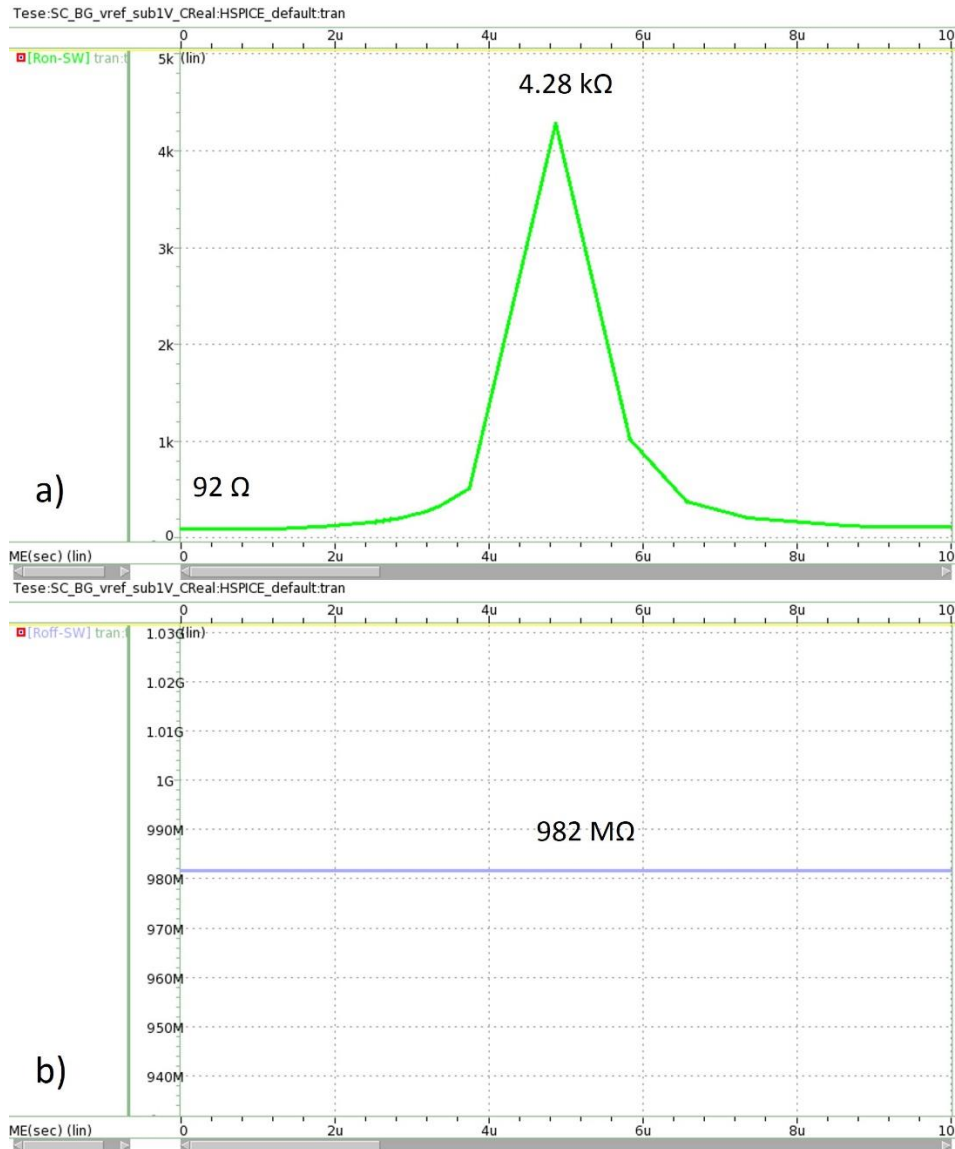


Figura 41 - a) R_{on} , b) R_{off} do switch.

Para resolver este problema encontrou-se uma solução alternativa ao switch básico que apresenta uma menor corrente de fuga. O AT-switch (Analog T-switch) [13] é uma alternativa ao switch básico que providencia uma menor corrente de fuga (Figura 42). Este apresenta uma resistência on (R_{on}) a 25°C de $3.74\text{k}\Omega$ para tensões próximas de 0V , $57\text{k}\Omega$ para metade da tensão de alimentação e $5.43\text{k}\Omega$ para tensões próximas de V_{dd} . A sua resistência off (R_{off}) é de $12.1\text{G}\Omega$ (Figura 43). A sua corrente de fuga é medida nos 3 switches utilizados na rede de condensadores do circuito principal. Para o SW1 a corrente de fuga é de 12.7pA e para os SWs 3 e 4 a corrente de fuga é de 74.4pA . Como se pode verificar, a corrente de fuga no AT-switch é uma ordem de grandeza menor que o switch básico.

O switch básico SW2 foi mantido, uma vez que na parte de geração das tensões V_{D1} e V_{D2} não é tão crítica a influência da corrente de fuga como na rede de condensadores comutados.

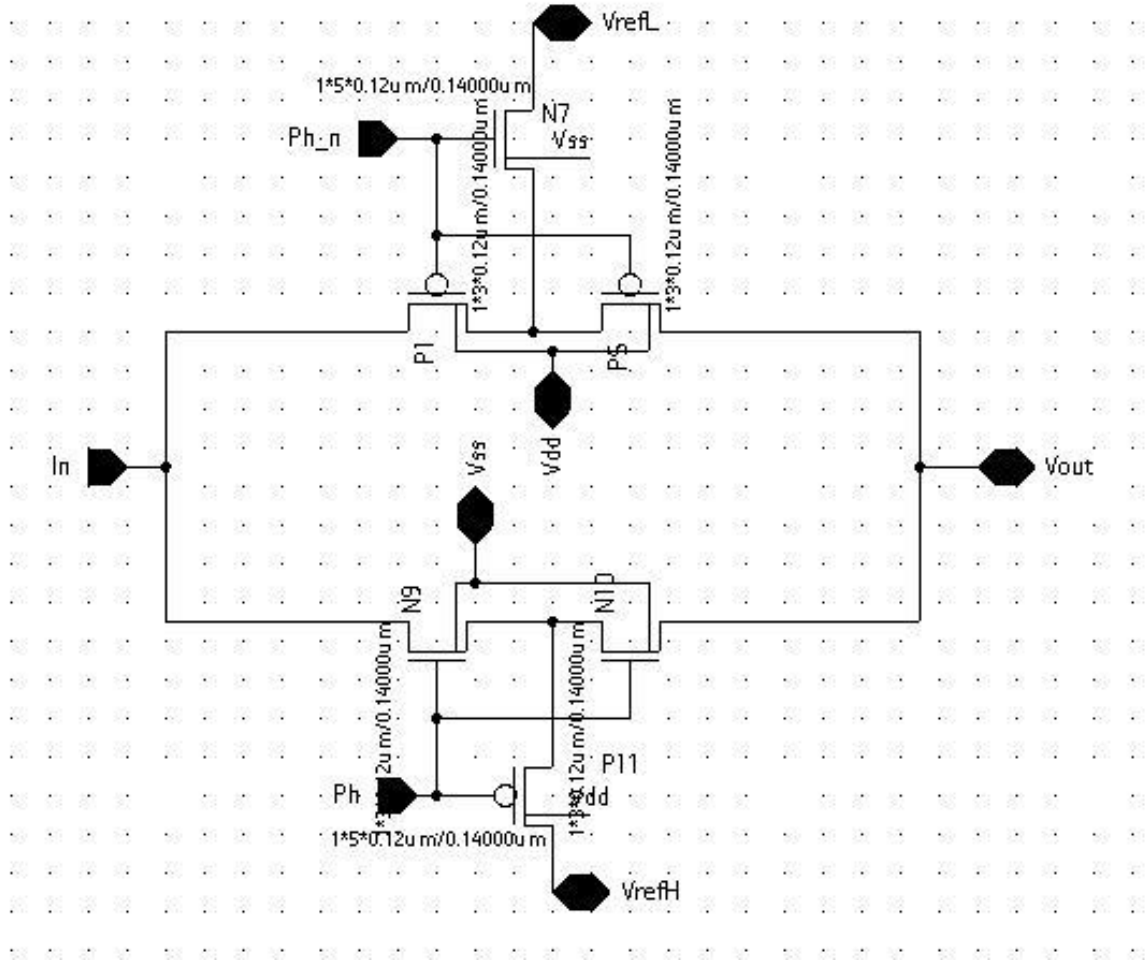


Figura 42 - Esquemático do AT-Switch.

	P₁	P₅	N₇	N₉	N₁₀	P₁₁
$W (\mu m)$	0.12	0.12	0.12	0.12	0.12	0.12
NF	3	3	5	3	3	5
$L (\mu m)$	0.14	0.14	0.14	0.14	0.14	0.14

Tabela 11 - Tamanho dos transístores utilizados na simulação do AT-switch.

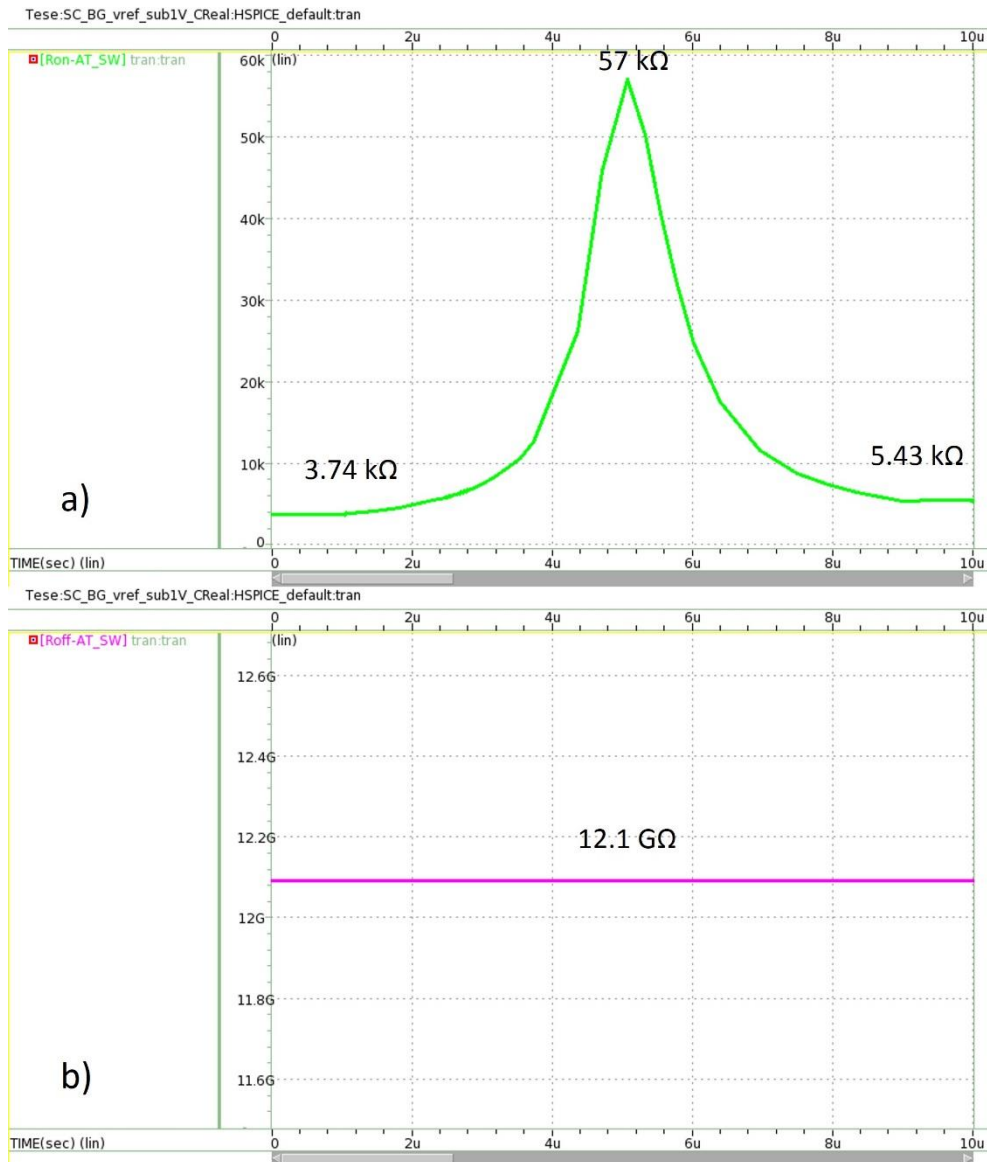


Figura 43 - a) R_{on} , b) R_{off} do AT-switch.

Estes 4 componentes reais foram dimensionados em separado e transformados em blocos (cellviews), de modo que seja mais fácil a sua introdução no circuito principal e também para que o circuito fique mais compacto.

Na Figura 44 apresenta-se o esquemático já com os blocos dos componentes reais inseridos.

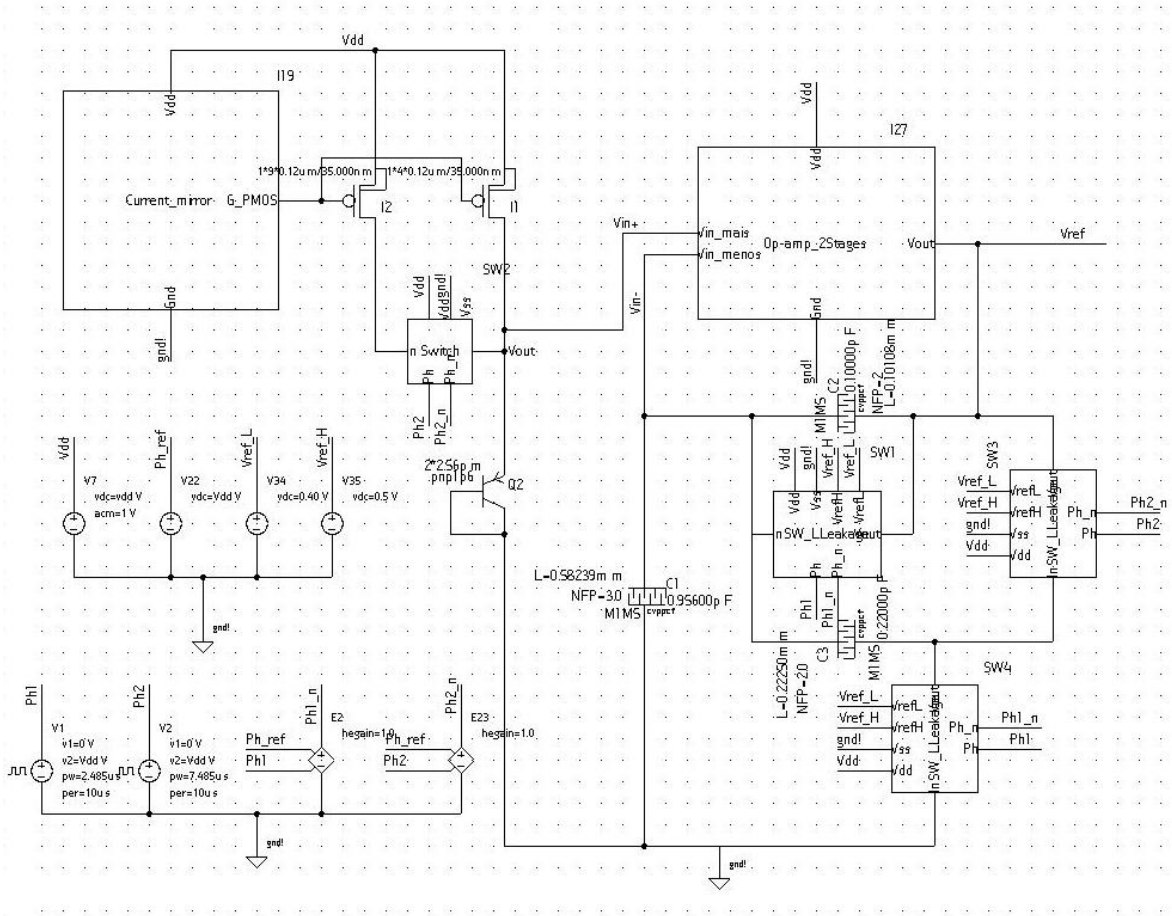


Figura 44 - Esquemático do circuito com componentes reais.

W (µm) NF L (µm)

I_1	0.12	4	0.15
I_2	0.12	9	0.15

Tabela 12 - Tamanho dos transístores utilizados na simulação para a produção das correntes I_1 e I_2 .

C (fF) W (µm) NF L (µm)

C_1	956	0.07	3	582.4
C_2	100	0.07	2	101.1
C_3	220	0.07	2	222.5

Tabela 13 - Tamanho dos condensadores da rede de condensadores comutados utilizados na simulação.

Depois do circuito estar todo dimensionado começou-se por fazer uma simulação transitória para ver se as tensões e correntes no circuito estavam de acordo com o esperado. Alguns problemas encontrados no opamp, espelho de corrente e switchs já foram documentados aquando da descrição do seu dimensionamento.

Na simulação do circuito com os componentes reais, utilizou-se o mesmo período das fases dos componentes ideais (40ms), porém, mesmo depois de substituir o switch básico na rede de condensadores comutados pelo AT-switch, verificou-se que a corrente de fuga ainda era elevada e influenciava a tensão de referência na fase 2, nomeadamente no seu drift. Para resolver este problema, teve-se que diminuir o período das fases porque para a mesma corrente de fuga dos switchs quanto menor o período, menos tempo para que a tensão faça drift. O limite da diminuição do período, o mesmo que dizer aumento da frequência, foi imposta pelo ganho em largura de banda (G_{BW}) do opamp. O opamp tem uma largura de banda de 4.79MHz, o que é equivalente a 209ns e, portanto, o período das fases terá de ser maior que 209ns. Para não se estar perto do limite da frequência do opamp, o que traz maior instabilidade, escolheu-se um período de 10 μ s (ver Figura 45).

Posto isto, fez-se nova simulação transitória e verificou-se que a corrente de fuga era menor e, por sua vez, o drift da tensão de referência também diminuiu.

Para os switchs reais, teve-se que criar as fases complementares da fase 1 e da fase 2, uma vez que, no transístor PMOS tem de ser aplicado um sinal complementar ao que se aplica no transístor NMOS (ver Figura 47).

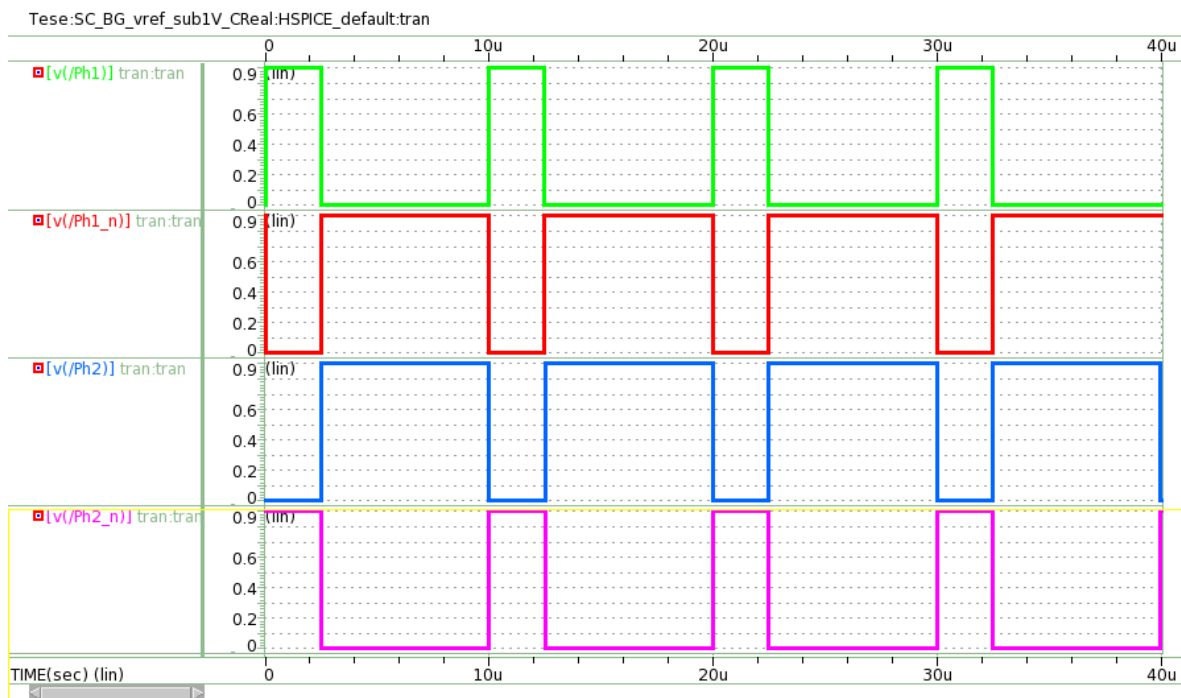


Figura 45 - Fases para o circuito com componentes reais.

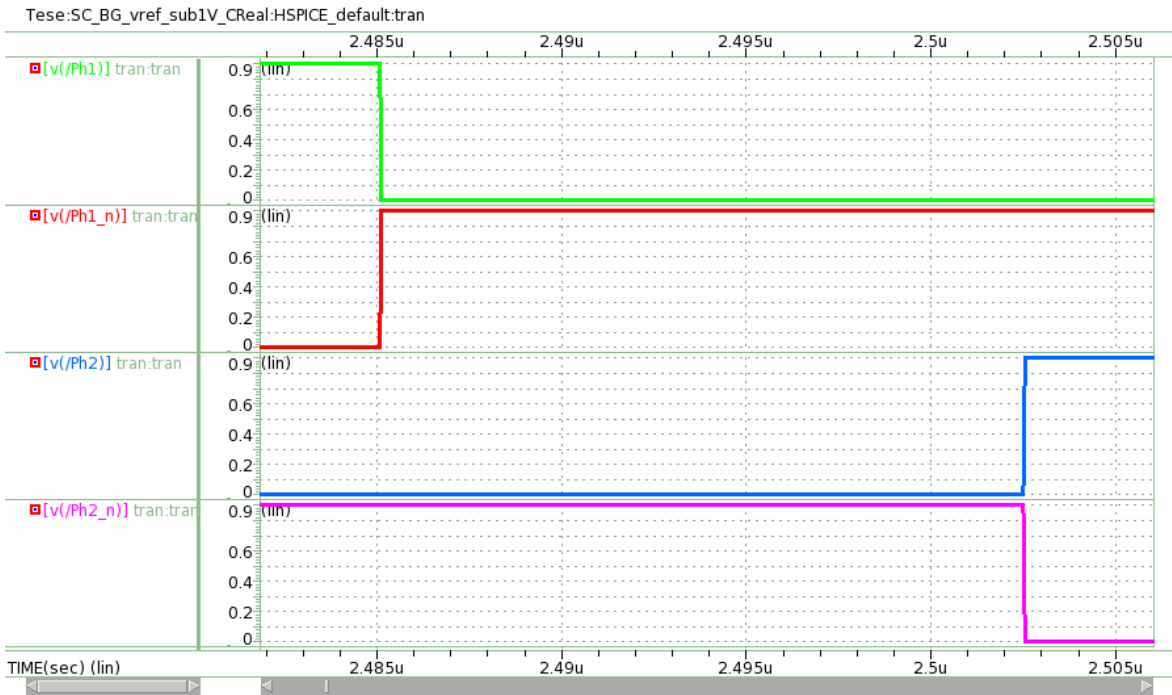


Figura 46 - Fases sem sobreposição.

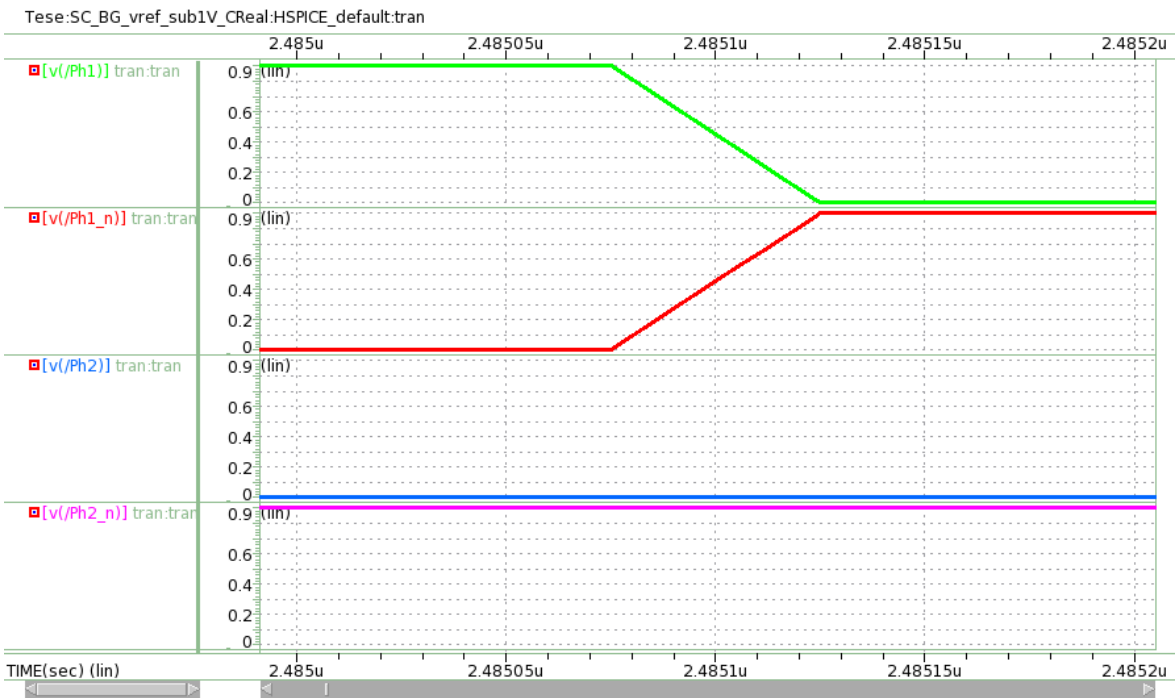


Figura 47 - Fases complementares.

Como se pode ver na Figura 48, na fase 1, V_{ref} varia para diferentes temperaturas, porém, na fase 2 V_{ref} mantém-se constante para diferentes temperaturas ao longo do tempo.

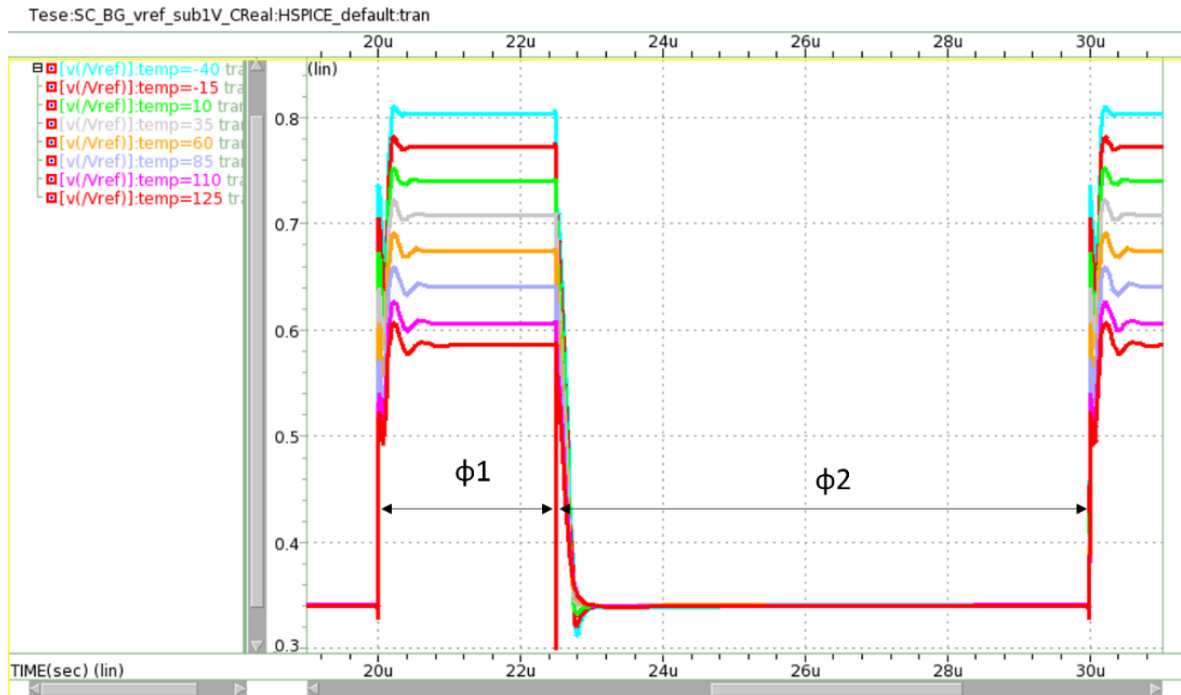


Figura 48 - Vref em função do tempo para várias temperaturas.

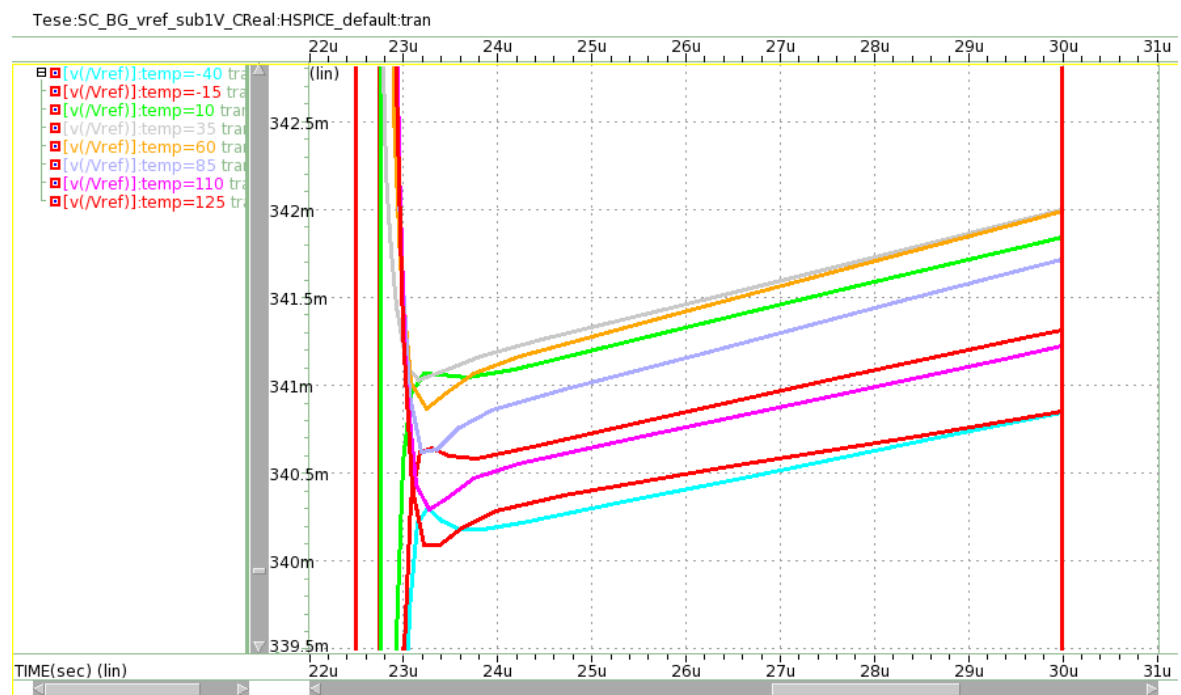


Figura 49 - Drift da tensão de referência na fase 2.

Na Figura 50, verifica-se que a tensão de diodo e V_{ref} na fase 1 são ambas CTAT e, na fase 2, a tensão de diodo também é CTAT. Porém, na passagem da fase 1 para a fase 2, na redistribuição de cargas nos condensadores, a tensão passa a ser PTAT, o que faz com que haja um cancelamento e, portanto, assim se verifica que V_{ref} é invariante com a temperatura.

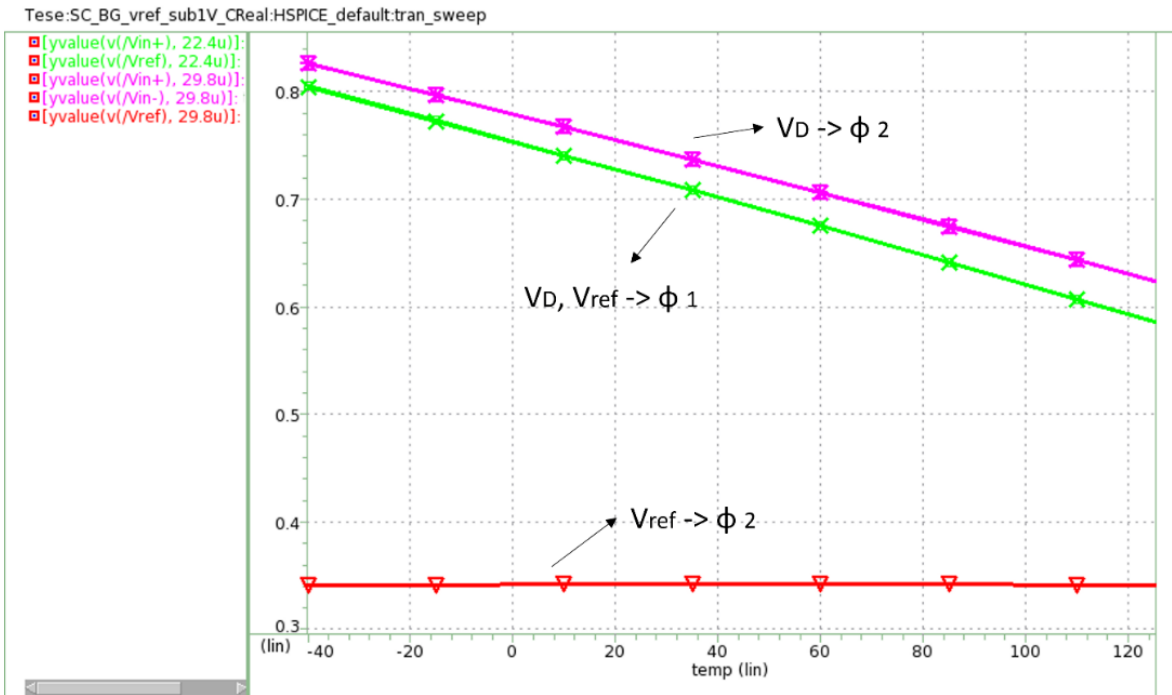


Figura 50 - Tensão de diodo e de referência em diferentes fases.

Na Figura 51 apresenta-se a tensão de referência em função da temperatura, na qual se verifica que existe uma variação da tensão de referência de 1.14mV na gama de -40 a 125°C, o que em termos de coeficiente de temperatura representa uma variação de $7\mu\text{V}/^\circ\text{C}$.

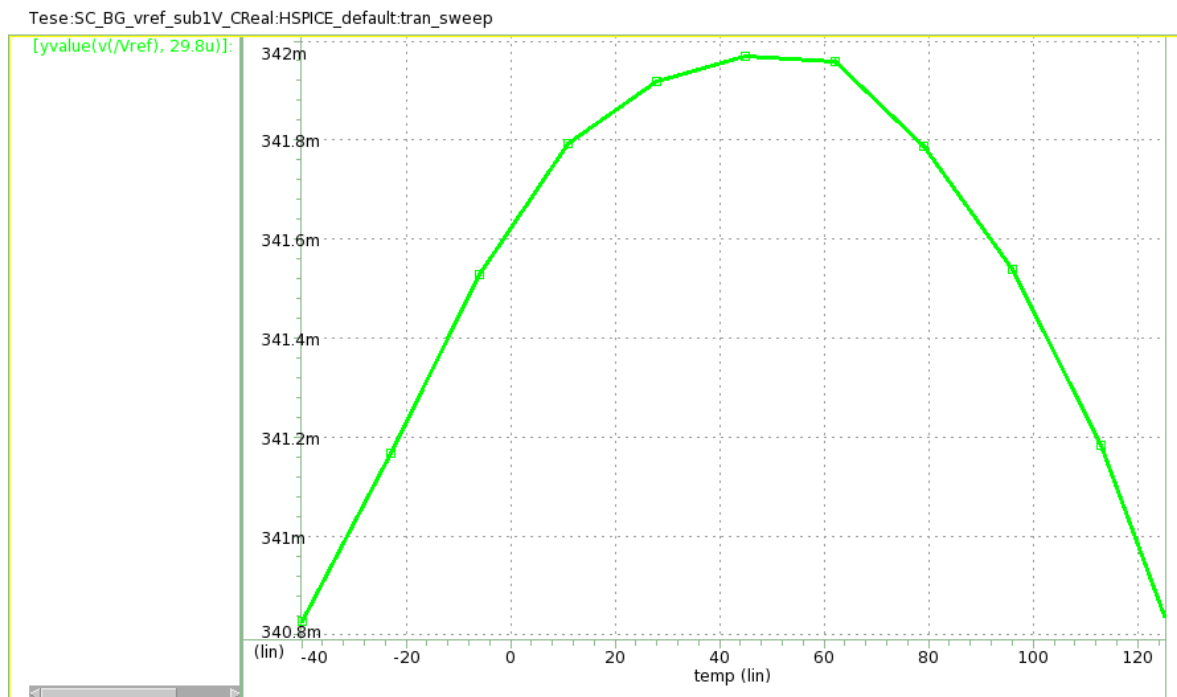


Figura 51 - Tensão de referência em função da temperatura (fase 2).

Depois, de analisada a variação de V_{ref} com a temperatura, correu-se uma simulação de Monte Carlo, com $V_{dd}=0.9V$, $T=25^{\circ}C$ e 1000 iterações, para estimar o valor da tensão de referência produzido pelo circuito. Obteve-se um valor de $V_{ref}=342mV$, com um desvio padrão (σ) de $19.8mV$ (Figura 52).

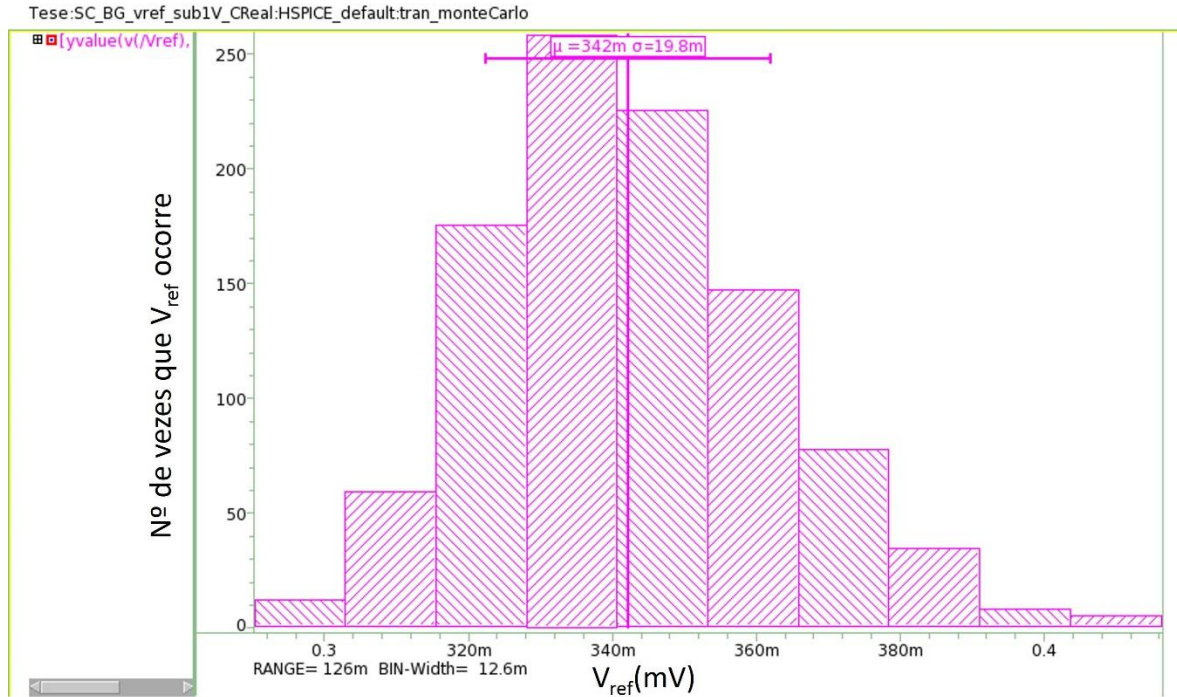


Figura 52 - Monte Carlo da tensão de referência do circuito (C).

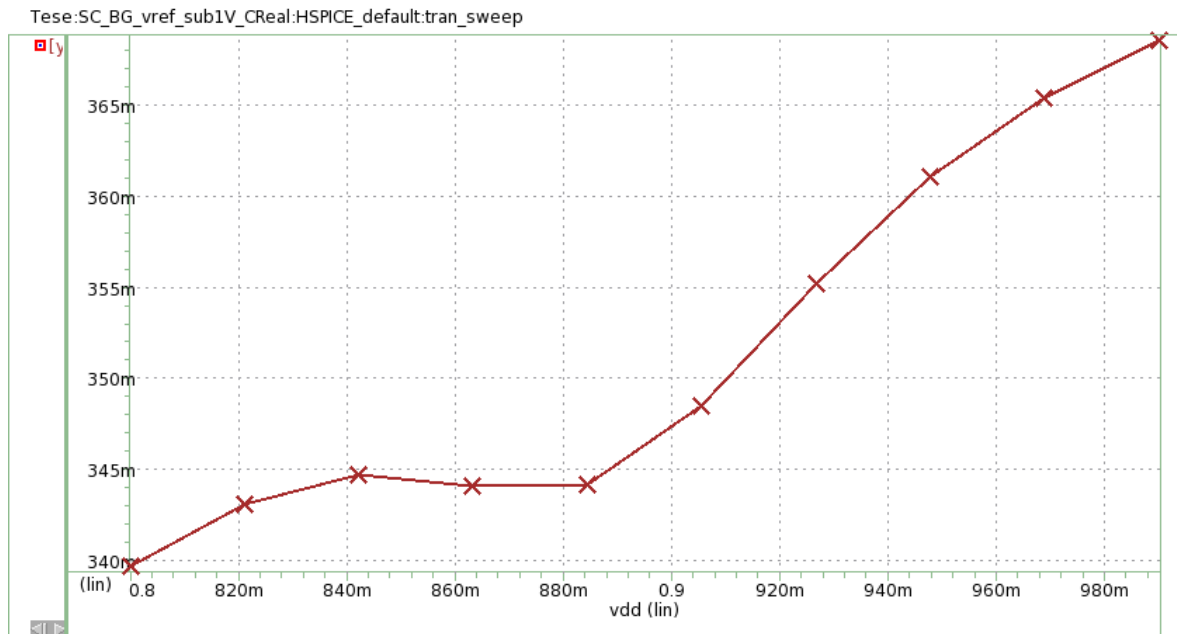


Figura 53 - V_{ref} em função da alimentação.

De seguida, passou-se à análise da influência da alimentação na tensão de referência, ou seja, o PSRR (Figura 54) e também se simulou para diferentes alimentações (V_{dd}) (Figura 53). Da análise da Figura 53 verifica-se que a tensão de referência varia pouco para alimentações entre 0.8 a 0.9V e, para alimentações entre 0.9 e 0.99V a tensão de referência varia bastante.

Na Figura 54 apresenta-se o PSRR, em que se verifica que o circuito é bastante sensível a variações na alimentação para a gama de 1mHz a 10Hz (20.8dB @ $V_{dd}=0.9V$), e na gama de 10Hz a 10MHz (4.15dB @ $V_{dd}=0.9V$). Para a gama dos 10MHz a 1GHz o circuito começa a ser menos sensível a variações na alimentação.

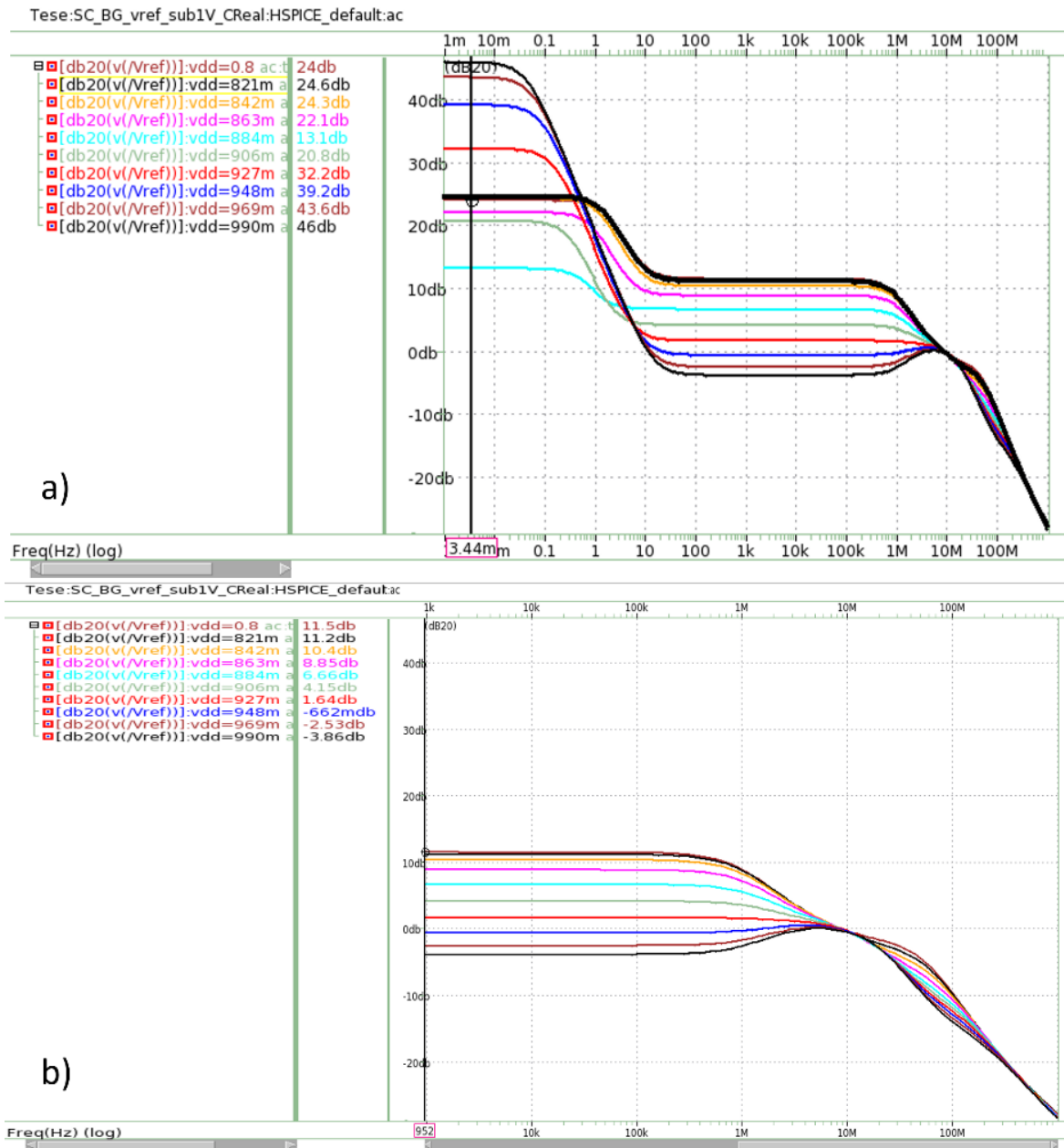


Figura 54 - a) PSRR a 3.44mHz, b) PSRR a 952Hz.

Para a insensibilidade de V_{ref} à alimentação, já não houve tempo para perceber o que estava a causar esta variação de V_{ref} com a alimentação e ajustar o circuito para que fosse insensível à alimentação. Porém, verificou-se que a tensão do díodo varia com a alimentação, o que por sua vez significa que a corrente que alimenta o transístor BJT (díodo) também varia. O que indica que as correntes I_1 e I_2 não são constantes com a alimentação e o problema poderá vir do espelho de corrente (Figura 55 e Figura 56).

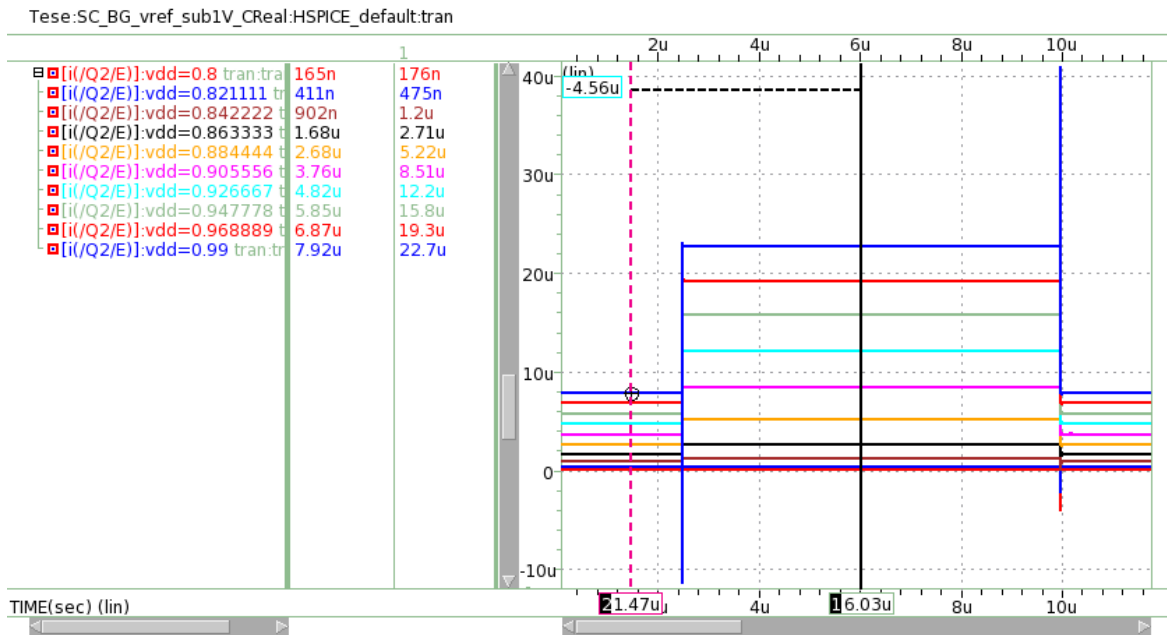


Figura 55 - Corrente no díodo em função de V_{dd} .

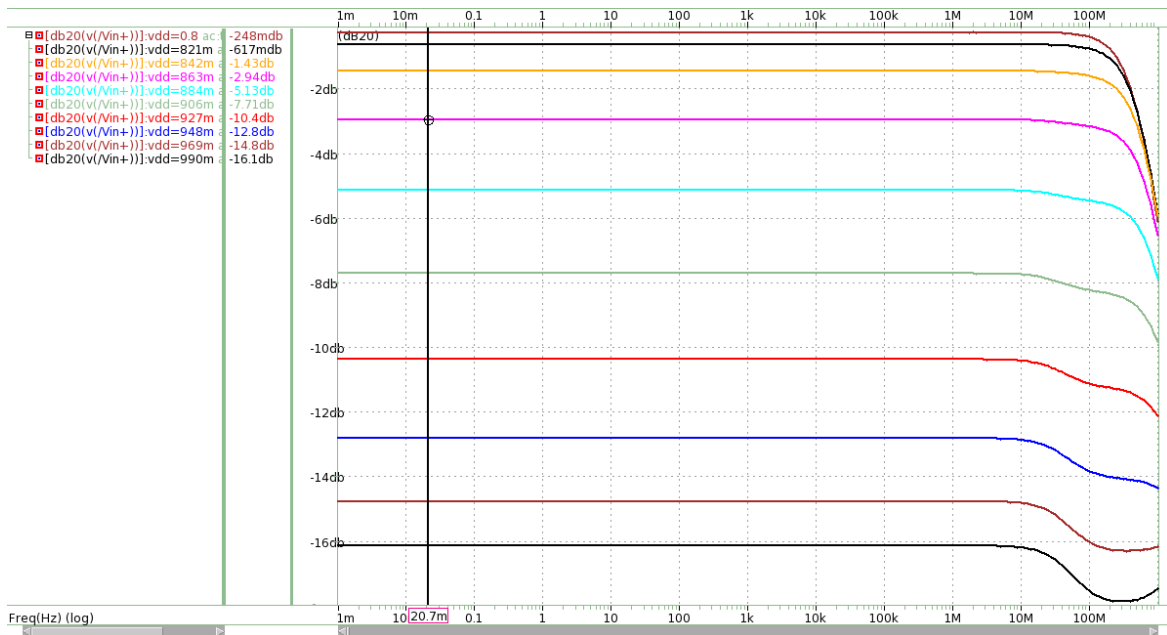


Figura 56 - PSRR da tensão no díodo.

Por fim, foi feita uma análise da variação da tensão de referência quanto ao processo. Nas Tabela 14 - Tabela 18 apresentam-se as variações feitas dos vários modelos (BJT, condensador, Mosfet e resistência) organizados de uma forma de mais fácil análise, em que, se apresenta a contribuição de cada componente individualmente. Na Tabela 18 apresentam-se os piores casos da variação da tensão de referência com o processo relativamente ao valor típico.

	Modelo	Modelo	Modelo	Modelo	Vref (mV)
corner.129	bip_t	cvpp_t	mos_tt	res_h	360.7
corner.132	bip_t	cvpp_t	mos_tt	res_l	362.7
corner.135	bip_t	cvpp_t	mos_tt	res_t	361.7

Tabela 14 - Variação de V_{ref} com o processo (Resistência a variar).

	Modelo	Modelo	Modelo	Modelo	Vref (mV)
corner.99	bip_t	cvpp_t	mos_ff	res_t	364.9
corner.108	bip_t	cvpp_t	mos_fs	res_t	362.2
corner.117	bip_t	cvpp_t	mos_sf	res_t	362.7
corner.126	bip_t	cvpp_t	mos_ss	res_t	356.5
corner.135	bip_t	cvpp_t	mos_tt	res_t	361.7

Tabela 15 - Variação de V_{ref} com o processo (Mosfet a variar).

	Modelo	Modelo	Modelo	Modelo	Vref (mV)
corner.133	bip_t	cvpp_f	mos_tt	res_t	362.0
corner.134	bip_t	cvpp_s	mos_tt	res_t	360.5
corner.135	bip_t	cvpp_t	mos_tt	res_t	361.7

Tabela 16 - Variação de V_{ref} com o processo (Condensador a variar).

	Modelo	Modelo	Modelo	Modelo	Vref (mV)
corner.45	bip_f	cvpp_t	mos_tt	res_t	360.4
corner.90	bip_s	cvpp_t	mos_tt	res_t	363.3
corner.135	bip_t	cvpp_t	mos_tt	res_t	361.7

Tabela 17 - Variação de V_{ref} com o processo (BJT a variar).

	Modelo	Modelo	Modelo	Modelo	Vref (mV)
corner.135	bip_t	cvpp_t	mos_tt	res_t	361.7
corner.29	bip_f	cvpp_s	mos_ss	res_h	352.7
corner.58	bip_s	cvpp_f	mos_fs	res_l	367.6

Tabela 18 - Variação de V_{ref} com o processo (valor típico e piores casos).

O cálculo da variação da tensão de referência com o processo é feito tendo em conta o valor da tensão de referência máxima ou mínima e a tensão de referência típica (ver equação (29)).

Portanto, para os piores casos, a tensão de referência varia como o processo +1.63%, -2.49% relativamente ao valor típico.

Na Tabela 19, resumem-se os resultados dos três circuitos simulados.

	Circuito (A)	Circuito (B)	Circuito (C)
<i>Condensadores comutados</i>	NÃO	NÃO	SIM
<i>Tecnologia</i>	CMOS 28nm	CMOS 28nm	CMOS 28nm
<i>Tensão de referência (V)</i>	316m @ Vdd=0.9V	580m @ Vdd=0.99V	342mV @ Vdd = 0.9V
<i>Tensão de alimentação (V)</i>	0.7 – 0.99	0.99	0.8 - 0.9
<i>Corrente de alimentação (A)</i>	7.54n – 8.9n	134μ	49μ @ Vdd=0.9V
<i>Potência (W)</i>	7.59n	133μ	44μ
<i>@ T = 25°C</i>	@ Vdd=0.9V	@ Vdd=0.99V	@ Vdd=0.9V
<i>Coefficiente de temperatura</i>	138 μV/°C	4 μV/°C	7 μV/°C
<i>PSRR</i>	-33.9dB	-16.1dB	4.15dB
<i>(@ f=1kHz e T=25°C)</i>	@ Vdd=0.9V	@ Vdd=0.99V	@ Vdd=0.9V
<i>Variação com o processo</i>	+19%	+11%	+1.63%
	-7%	-12%	-2.49%

Tabela 19 - Resumo dos resultados das simulações dos circuitos.

3.4 Discussão de resultados

Tendo em conta, as Tabela 1 e Tabela 19, será feita uma comparação de resultados entre os simulados nesta dissertação e os apresentados na bibliografia. Como os circuitos foram simulados em diferentes tecnologias, relativamente à bibliografia, há também o interesse em perceber se a insensibilidade ao processo, alimentação e ou temperatura se mantém, mudando de tecnologia.

Para o circuito (A), verifica-se a invariância à alimentação, diferindo em 8.1dB do PSRR apresentado em [8]. Apesar de ter sido comprovado o conceito de cancelamento PTAT com CTAT, para a invariância com a temperatura, o valor do coeficiente obtido ainda é elevado e, por isso, o circuito necessitaria de ser otimizado para melhorar o resultado. Como o circuito foi simulado para a mesma tensão de alimentação ($V_{dd}=0.9V$), verifica-se um menor consumo para a tecnologia CMOS 28nm, o que também pode ser explicado, pela quase metade da tensão de referência produzida relativamente à bibliografia. Para o processo, verifica-se em ambas a dependência.

No caso do circuito (B), comprova-se a insensibilidade à temperatura, como apresentado em [7], sendo o coeficiente de temperatura, nas duas tecnologias, bastante próximo. Quanto à dependência do processo e alimentação, verifica-se tal como na bibliografia que não é insensível.

Importa realçar que os dois primeiros circuitos simulados não tiveram como objetivo principal a sua otimização, mas sim a adaptação ao simulador com circuitos mais simples de compreender e simular, para que fosse mais fácil passar para a simulação de circuitos com condensadores comutados.

No circuito (C), confirma-se a insensibilidade à temperatura, com coeficientes de temperatura próximos ao artigo [10]. A insensibilidade ao processo, apesar de não haver resultado na bibliografia para comparar, comprova-se o que é dito na teoria. Quanto à alimentação, não se verificou a insensibilidade, como assegurado pelo artigo. Já não houve tempo para efetuar uma análise da causa que poderia estar a criar a dependência da alimentação, por forma a otimizar o circuito que em princípio se tornaria insensível à alimentação.

Dos três circuitos, o primeiro apresenta menor consumo, devido ao facto do espelho de corrente usar correntes na ordem dos nanoamperes, uma vez que está a funcionar na zona de inversão fraca, que traz menor consumo.

4. Conclusões

Com o estudo realizado nesta dissertação, conclui-se que é possível produzir fontes de referência com condensadores comutados sem a utilização de componentes externos ou calibrações externas. A utilização de condensadores comutados, ao invés de resistências, traz as vantagens de ocupar menor área de silício, o que é uma condição importante para a escala de integração nanométrica. Apresentam melhor estabilidade e menor dependência da temperatura e processo. Para além que o facto de em circuitos band-gap se usar só um BJT em diferentes fases, as variações Monte Carlo que ocorrem para os band-gap convencionais, pelo facto de se ter dois transístores diferentes são agora eliminadas.

Os circuitos comutados, ao contrário dos band-gap convencionais, permitem acumular carga na fase 1 que cancela o offset do opamp na fase 2, isto desde que os switchs tenham uma configuração apropriada. Com o cancelamento do offset do opamp, a performance de Monte Carlo apenas depende do mismatch das fontes de corrente que podem ser corrigidas através de trimming. Em circuitos cuja performance Monte Carlo depende de mais transístores, pode ser difícil tornar-se invariante a PVT e Monte Carlo porque não é possível fazer trimming a apenas um dispositivo.

As simulações na tecnologia CMOS 28nm mostram que as condições de insensibilidade apresentadas na bibliografia, para tecnologias com dimensões superiores, se mantêm, o que é uma vantagem para se conseguir uma menor escala de integração nanométrica e, por sua vez, menores consumos.

4.1 Trabalho futuro

Como trabalho futuro, analisar a causa da dependência da alimentação na tensão de referência do circuito de referência de band-gap com condensadores comutados operando abaixo de 1V. Depois, da parte da invariância com a alimentação estar otimizada e garantir que a insensibilidade ao processo e à temperatura se mantêm, passar para o desenho do Layout do circuito. Após o desenho do Layout, fazer a extração dos parasitas e efetuar nova simulação pós-layout, comparando com a simulação de esquemático e verificar se as condições de insensibilidade PVT se preservam.

Simular circuitos convencionais e com condensadores comutados, na tecnologia CMOS 28nm, que produzam uma corrente de referência, de maneira a comparar tanto com os circuitos de tensão de referência simulados na mesma tecnologia, como com os circuitos de corrente de referência da bibliografia, com tecnologias de dimensões maiores. Verificar se os circuitos de correntes de

referência têm o mesmo comportamento que os de tensão de referência simulados na tecnologia CMOS 28nm.

5. Referências

- [1] J. Calvillo, “Design of Bandgap Voltage Reference with Curvature Compensation for the Space Industry,” Técnico de Lisboa, 2016.
- [2] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [3] B. Miguel, “Self-Calibrated Current Reference,” Universidade do Porto, 2015.
- [4] A. R. Mohamed, M. Chen, and G. Wang, “Untrimmed CMOS nano-ampere current reference with curvature-compensation scheme,” *Proc. - IEEE Int. Symp. Circuits Syst.*, vol. 2019-May, no. May 2020, 2019, doi: 10.1109/ISCAS.2019.8702293.
- [5] B. Razavi, “Design of Analog CMOS Integrated Circuits,” McGraw-Hill, 2001, p. 384.
- [6] Q. A. Khan, S. K. Wadhwa, and K. Misri, “A low voltage switched-capacitor current reference circuit with low dependence on process, voltage and temperature,” *16th Int. Conf. VLSI Des. Proc.*, pp. 504–506, 2003, doi: 10.1109/ICVD.2003.1183184.
- [7] L. Najafzadeh and I. M. Filanovsky, “Towards a sub-1 V CMOS voltage reference,” *IEEE Int. Symp. Circuits Syst. (IEEE Cat. No.04CH37512)*, pp. 6–9, 2004, doi: 10.1109/ISCAS.2004.1328129.
- [8] I. Fakharyan, M. Ehsanian, and H. Hayati, “A 0.9-V supply, 16.2 nW, fully MOSFET resistorless bandgap reference using sub-threshold operation,” *Analog Integr. Circuits Signal Process.*, vol. 103, no. 2, pp. 367–374, 2020, doi: 10.1007/s10470-019-01521-y.
- [9] S. V. Shinde, “PVT insensitive reference current generation,” *Lect. Notes Eng. Comput. Sci.*, vol. II, no. March, 2014.
- [10] C. Suheng and B. J. Blalock, “Switched capacitor bandgap voltage reference for sub-1-V operation,” *IEICE Electron. Express*, vol. 3, no. 24, pp. 529–533, 2006, doi: 10.1587/elex.3.529.
- [11] C. Y. Hsieh, H. W. Huang, and K. H. Chen, “A 1-V, 16.9 ppm/°C, 250 nA switched-capacitor CMOS voltage reference,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 19, no. 4, pp. 659–667, 2011, doi: 10.1109/TVLSI.2009.2038061.
- [12] A. Dendouga, S. Oussalah, D. Thienpont, and A. Lounis, “Multiobjective Genetic Algorithms Program for the Optimization of an OTA for Front-End Electronics,” *Adv. Electr. Eng.*, vol. 2014, no. August, pp. 1–5, 2014, doi: 10.1155/2014/374741.
- [13] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, “Managing subthreshold leakage in charge-based analog circuits with low-V_{TH} transistors by analog T-Switch (AT-Switch) and super cut-off CMOS (SCCMOS),” *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 859–866, 2006, doi: 10.1109/JSSC.2006.870761.

