



Jorge Casal Santos

Geração em FPGA de Sinais LTE



Jorge Casal Santos

Geração em FPGA de Sinais LTE

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Eletrónica e Telecomunicações, realizada sob orientação científica do Doutor Arnaldo Oliveira (orientador), professor auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro e do Doutor Pedro Cruz (coorientador), investigador doutorado do Instituto de Telecomunicações - Pólo de Aveiro.

Aos meus pais e irmãos,

o júri / the jury

presidente / president

Professor Doutor Paulo Miguel Nepomuceno Pereira Monteiro
Professor Associado da Universidade de Aveiro

vogais / examiners committee

Professora Doutora Maria do Carmo Raposo de Medeiros
Professora Associada da Universidade de Coimbra (Arguente)

Professor Doutor Arnaldo Silva Rodrigues de Oliveira
Professor Auxiliar da Universidade de Aveiro (Orientador)

**agradecimentos /
acknowledgements**

Aproveito aqui para expressar a minha gratidão a todos os que me apoiaram durante o cumprimento de mais uma importante etapa na minha vida.

Um agradecimento muito especial aos meus pais e irmãos pelo apoio e confiança que me ofereceram ao longo de todos estes anos de formação.

Quero agradecer ao meu orientador Professor Doutor Arnaldo Oliveira e ao coorientador Doutor Pedro Cruz pelo acompanhamento, dedicação e assistência em cada etapa deste trabalho e que contribuíram para o sucesso do mesmo.

Deixo aqui também uma palavra de agradecimento especial a todos os colegas e amigos pela amizade, apoio e motivação.

Ao Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro pelas ótimas condições de ensino oferecidas. Por último, ao Instituto de Telecomunicações de Aveiro pelas excelentes condições de trabalho proporcionadas durante a realização deste trabalho.

A todos, Muito Obrigado!

palavras-chave

Rádios Definidos por *Software*, LTE, E-UTRA, C-RAN, CPRI, FPGA, *Front End*, BBU, RRH

resumo

O crescimento do tráfego de dados está a colocar exigências sem precedentes nas redes móveis atuais. Os avanços nas tecnologias de acesso rádio estão a acompanhar os requisitos de aumento da capacidade da rede, da qualidade do serviço e do uso mais eficiente do espectro disponível. Estes avanços têm levado ao crescimento de dispositivos cada vez mais sofisticados e, conseqüentemente, à qualidade das aplicações oferecidas. A contínua evolução da *Radio Access Network* (RAN) faz-se acompanhar por um conjunto de inovações tecnológicas que ajudam os operadores de telecomunicações a melhorar o desempenho, a cobertura e a qualidade das redes. A tecnologia LTE e, posteriormente, o LTE-*Advanced* foram os últimos passos dados na transformação das redes de acesso móveis em redes de banda larga móvel, naquela que é conhecida como a quarta geração móvel ou 4G. De forma a otimizar a utilização de recursos de rede e, simultaneamente, minimizar o consumo energético surge o paradigma C-RAN. Esta nova arquitetura propõe uma reorganização e simplificação das atuais arquiteturas de redes de acesso rádio, ao separar as unidades de rádio remotas (RRH) da unidade de processamento de banda base (BBU), permitindo, assim, que diversas RRHs interajam com uma BBU que passa a estar centralizada. Adicionalmente, esta arquitetura necessita de equipamentos com elevada flexibilidade e interoperabilidade como soluções baseadas em *Software Defined Radio* (SDR). O objetivo principal deste trabalho de dissertação é o projeto e implementação de um gerador de sinais LTE baseado em *Field Programmable Gate Array* (FPGA) e assente no paradigma SDR e, posteriormente, a integração de uma cadeia de transmissão rádio frequência (RF), implementada com base num *front end* rádio e responsável pela conversão do sinal entre o domínio digital e o analógico. Com base no sistema desenvolvido, faz-se ainda a apresentação de um demonstrador C-RAN, onde a interface entre a BBU e a RRH é feita segundo a especificação *Common Public Radio Interface* (CPRI), garantindo assim a total transparência entre equipamentos de diferentes fabricantes. Nesta dissertação, são ainda apresentadas as arquiteturas e os aspetos de implementação dos sistemas e são discutidos os resultados obtidos mediante a análise de medidas de qualidade em banda base e em RF.

keywords

Software Defined Radio, LTE, E-UTRA, C-RAN, CPRI, FPGA, Front End, BBU, RRH

abstract

The growth in data traffic is placing unprecedented demands on current mobile networks. Breakthroughs in radio access technologies go along with the requirements of increased network capacity and service quality, as well as with a more efficient use of the available spectrum. These breakthroughs have led to a growth of increasingly sophisticated devices and, thus, to a higher quality of the applications provided. The continuous development of Radio Access Network (RAN) has been accompanied by a number of technological innovations that help telecom operators to improve the performance, coverage and quality of their networks. LTE technology and, later, LTE-Advanced were the latest steps in the transformation of mobile access networks into mobile broadband networks, in what is known as the fourth mobile generation or 4G. In order to optimize the use of network resources while minimizing power consumption, C-RAN paradigm emerges. This new architecture proposes a reorganization and simplification of the current architectures of radio access networks by separating the remote radio units (RRH) from the baseband processing unit (BBU), thus enabling that multiple RRHs interact with one BBU which is now centralized. Additionally, equipment with high flexibility and interoperability is required in this architecture, such as Software Defined Radio (SDR) solutions.

The main goal of this study is the design and implementation of an LTE signal generator based on Field Programmable Gate Array (FPGA) and SDR paradigm. Subsequently, it also aims to integrate a radio frequency (RF) transmission chain which is implemented on the basis of a radio front-end and is responsible for signal conversion between the digital and analog domain. Based on the developed system, a C-RAN demonstrator is also presented where the interface between BBU and RRH is according to the Common Public Radio Interface (CPRI) specification, thus ensuring full interoperability between different equipment manufacturers. This study also presents the systems' architecture and implementation aspects and the results achieved are discussed by analyzing base band and RF measurements.

Conteúdo

Conteúdo	i
Lista de Figuras	v
Lista de Tabelas	ix
Lista de Acrónimos	xi
1 Introdução	1
1.1 Enquadramento	1
1.2 Motivação	2
1.3 Objetivos	2
1.4 Estrutura do Documento	3
2 Conceitos Fundamentais	5
2.1 Evolução da <i>Radio Access Network</i> (RAN)	5
2.1.1 Aspetos Fundamentais da Infraestrutura das Redes Móveis	7
2.1.2 Redes Heterogéneas	8
2.1.3 Desafios das RANs Atuais	9
2.2 Arquitetura e Funcionalidades do C-RAN	9
2.2.1 Pressupostos	10
2.2.1.1 <i>Centralized Processing</i>	10
2.2.1.2 <i>Collaborative Radio</i>	11
2.2.1.3 <i>Real-Time Cloud Computing</i>	12
2.2.1.4 <i>Clean System</i>	12
2.2.2 Desafios do C-RAN	13
2.2.2.1 Infraestrutura do <i>Fronthaul</i>	13
2.2.2.2 Rádio Cooperativo	14
2.3 Unidade de Processamento Banda Base (BBU)	15
2.3.1 Centralização das BBUs	15
2.3.2 Principais Benefícios da Centralização das BBUs	15
2.4 Arquitetura do <i>Fronthaul</i>	16
2.4.1 <i>Common Public Radio Interface</i>	17
2.5 Unidade de rádio remota (RRH)	22
2.6 <i>Software Defined Radio</i>	23
2.6.1 Arquiteturas em SDR	23
2.6.1.1 Digitalização em Banda Base	24

2.6.1.2	Digitalização em IF	24
2.6.1.3	Digitalização em RF	25
2.6.2	Conceito de Amostragem	26
3	Conceitos LTE	29
3.1	Introdução	29
3.2	Arquitetura da Rede	30
3.3	Camada Física	32
3.3.1	Esquema de múltiplo acesso no <i>downlink</i> : OFDM e OFDMA	32
3.3.2	Esquema de múltiplo acesso no <i>uplink</i> : SC-FDMA	34
3.3.3	Estrutura da <i>Frame</i> Rádio	35
3.3.3.1	<i>Frame</i> tipo 1 (FDD)	35
3.3.3.2	<i>Frame</i> tipo 2 (TDD)	36
3.3.3.3	Parâmetros de Modulação dos Símbolos OFDM e <i>Cyclic Prefix</i> (CP)	36
3.3.3.4	<i>Resource Element</i> e <i>Resource Block</i> (RB)	38
3.3.4	Canais e Sinais Físicos	39
3.3.4.1	Canais Físicos <i>Downlink</i> e <i>Uplink</i>	39
3.3.4.2	Sinais de Referência	41
3.3.4.3	Sinais de Sincronização	42
3.4	Esquemas de Modulação no LTE	42
3.5	Conceitos MIMO em LTE	44
3.5.1	Diversidade	44
3.5.1.1	Diversidade no Recetor	44
3.5.1.2	Diversidade no Transmissor	45
3.5.1.3	Multiplexagem Espacial	45
3.5.1.4	<i>Beamforming</i>	46
3.5.1.5	<i>Cyclic Delay Diversity</i>	46
3.5.2	Modos de Transmissão MIMO	46
3.6	LTE-Advanced	47
3.6.1	<i>Carrier Aggregation</i>	47
3.6.2	<i>Coordinated Multiple Point Transmission/Reception</i>	48
3.6.3	<i>Relaying/Relay Nodes</i>	48
3.7	Medidas de Qualidade	49
3.7.1	<i>Adjacent Channel Leakage Ratio</i>	50
3.7.2	<i>Error Vector Magnitude</i>	50
4	Arquitetura do Sistema	53
4.1	Arquitetura Global	53
4.2	Geração de Sinais LTE	54
4.3	Integração do <i>Front End</i> Analógico	56
4.4	Demonstrador C-RAN	57
4.4.1	Arquitetura do REC/BBU	57
4.4.2	Arquitetura do RE/RRH	58

5	Gerador de Sinais LTE	61
5.1	Introdução	61
5.2	Projeto de Referência LTE	61
5.2.1	Descrição Funcional	62
5.2.2	Modelo C	64
5.2.2.1	Descrição Funcional do Modelo	64
5.3	Atualização e Validação do Projeto de Referência	65
5.4	Implementação do Gerador de Sinais <i>Long Term Evolution</i> (LTE)	66
5.4.1	Arquitetura do Sistema	66
5.4.2	Recursos de Implementação e Estimativa de Consumo Energético	70
6	Integração do <i>Front End</i> Analógico	73
6.1	Introdução	73
6.2	Descrição Geral do <i>Front End</i>	73
6.3	Projeto de Referência	75
6.3.1	Estrutura Geral	75
6.3.2	Implementação e Validação	77
6.4	Integração com Gerador LTE	78
6.4.1	Fluxo de Dados I/Q	79
6.4.2	Restantes Blocos	79
6.4.3	Circuito de Relógio	79
6.4.4	Componente de <i>Software</i>	80
6.4.5	Recursos de Implementação e Estimativa de Consumo Energético	80
7	Demonstrador C-RAN	83
7.1	Introdução	83
7.2	Projeto de Referência CPRI	84
7.2.1	Alterações ao Projeto de Referência	85
7.3	Implementação do <i>Fronthaul</i> do Demonstrador	86
7.3.1	Módulo REC	86
7.3.1.1	Bloco CPRI <i>Framer</i>	86
7.3.1.2	Módulo E-UTRA I/Q	87
7.3.1.3	Módulo de C&M	88
7.3.1.4	Arquitetura de DMAs	89
7.3.1.5	Depuração do Sistema	89
7.3.1.6	Componente de <i>Software</i>	89
7.3.2	Módulo RE	90
7.3.2.1	Fluxo de Dados	90
7.3.2.2	Considerações sobre o Relógio de Referência	91
7.3.2.3	Depuração do Sistema	92
7.3.2.4	Componente do <i>Software</i>	93
7.3.3	Recursos de Implementação e Estimativa de Consumo Energético	93
7.4	<i>Setup</i> Laboratorial	94

8	Resultados Experimentais	97
8.1	Qualidade dos Sinais LTE	97
8.1.1	Avaliação de Sinais de Teste	97
8.2	Análise dos Sinais LTE em RF	105
8.3	Análise dos Sinais no Demonstrador C-RAN	110
8.4	Resumo dos Resultados Experimentais	116
9	Conclusões e Trabalho Futuro	117
9.1	Conclusões	117
9.2	Trabalho Futuro	118
A	Kit de Desenvolvimento em FPGA	121
A.1	Xilinx KC705 <i>Evaluation Board</i>	121
B	Front End RF	123
B.1	Placa de expansão FMC AD-FMComms3-EBZ	123
B.2	<i>Transceiver</i> AD9361	123
B.2.1	Caminho de Transmissão	124
B.2.2	Caminho de Recepção	125
B.2.3	Relógio de Referência	126
B.2.4	AD9361 <i>Filter Design Wizard</i>	127
B.3	Comportamento do <i>Front End</i> nas Bandas E-UTRA	129
C	Módulo de Avaliação CDCE72010EVM da Texas Instruments	135
C.1	Análise ao Ruído de Fase do Módulo CDCDE72010	137
	Bibliografia	139

Lista de Figuras

1.1	Arquitetura de uma rede de acesso móvel baseada no paradigma C-RAN.	2
2.1	Evolução cronológica das tecnologias de acesso rádio.	6
2.2	Arquiteturas das redes do GSM ao LTE.	6
2.3	Ilustração de alguns aspetos fundamentais de uma rede celular.	7
2.4	Ilustração da arquitetura de uma <i>base station</i> para <i>macro cell</i> tradicional.	8
2.5	Ilustração da arquitetura C-RAN.	10
2.6	Ilustração dos diferentes tipos de topologia de implementação do C-RAN.	11
2.7	Abordagem de rádio cooperativo entre unidades de rádio (eNBs) com vista a diminuir as interferências entre células.	12
2.8	Diferentes topologias para a rede de transporte ótica no C-RAN.	13
2.9	Exemplo da utilização do protocolo CPRI/OBSAI numa arquitetura C-RAN.	17
2.10	Arquitetura da interface CPRI.	18
2.11	Camadas protocolares do CPRI.	19
2.12	Estrutura do <i>basic frame</i> CPRI.	20
2.13	Elementos de um <i>front end</i> para um recetor digital.	22
2.14	Esquema representativo da arquitetura de SDR ideal.	23
2.15	Arquitetura de um recetor com digitalização em banda base.	24
2.16	Esquema de um recetor homodino.	25
2.17	Arquitetura de um recetor com digitalização em IF.	25
2.18	Arquitetura de um recetor com digitalização em RF.	26
2.19	Representação espectral do processo de digitalização em banda base.	27
3.1	Arquitetura LTE com a rede de acesso E-UTRAN.	30
3.2	Divisão funcional entre o E-UTRAN e o EPC.	31
3.3	Arquitetura da interface rádio, E-UTRA.	32
3.4	Sinal OFDM representado no tempo e frequência.	33
3.5	Comparação da alocação de subportadoras a múltiplos utilizadores, no OFDM e no OFDMA.	33
3.6	Representação no tempo e frequência dos esquemas de modulação OFDMA e SC-FDMA na transmissão de uma série de símbolos QPSK.	34
3.7	Modelo simplificado da cadeia de geração e receção de sinais LTE.	35
3.8	Estrutura da <i>frame</i> tipo 1 (FDD).	35
3.9	Exemplo do mapeamento dos símbolos OFDM e do CP numa <i>frame</i> rádio.	36
3.10	Estrutura da <i>frame</i> do tipo 2 (TDD) com periodicidade <i>switch-point</i> de 5 ms.	37

3.11	Ilustração detalhada de um <i>time slot</i> de um sistema LTE com 10 MHz de largura de banda e CP normal.	37
3.12	Diagrama temporal para um sistema FDD em LTE.	40
3.13	Mapeamento dos canais físicos numa <i>subframe</i> LTE no <i>downlink</i>	41
3.14	Diagramas de constelação dos esquemas de modulação QPSK, 16-QAM e 64-QAM usados no LTE.	42
3.15	Ilustração dos possíveis cenários de CA.	48
3.16	Comparação entre o MIMO e o CoMP no <i>downlink</i>	49
3.17	Ilustração de um possível cenário de utilização de RNs.	49
3.18	Ilustração do método de medição do vetor de erro para o EVM.	51
4.1	Diagrama de blocos global do sistema a desenvolver.	53
4.2	Diagrama de blocos proposto para o gerador de sinais LTE.	55
4.3	Ilustração da arquitetura entre os vários componentes do gerador de sinais LTE.	55
4.4	Diagrama de blocos proposto para implementação do <i>front end</i> analógico.	56
4.5	Diagrama de blocos proposto para o REC do demonstrador C-RAN.	57
4.6	Diagrama de blocos proposto para o RE do demonstrador C-RAN.	58
5.1	Ilustração das interfaces externas do LTE <i>Downlink Transmitter Subsystem</i>	62
5.2	Estrutura do sistema LTE <i>Downlink Transmitter Subsystem</i>	63
5.3	Organização das amostras I/Q à saída do módulo LTE <i>Downlink Transmitter Subsystem</i>	64
5.4	Fluxograma de funcionamento do modelo C.	65
5.5	Resultado da simulação comportamental do projeto de referência do LTE <i>Downlink Transmitter</i>	66
5.6	Componente de <i>hardware</i> relativa ao fluxo de geração de sinais LTE.	67
5.7	Diagrama de blocos do sistema desenvolvido para a geração de sinais LTE.	69
5.8	Organização do conteúdo da memória SDRAM.	70
5.9	Estimativa de consumo energético após a implementação do gerador de sinais LTE.	71
6.1	Diagrama funcional do <i>transceiver</i> AD9361 da Analog Devices.	74
6.2	Estrutura do projeto de referência para interação com o AD-FMComms3-EBZ.	76
6.3	Espectro da portadora de 2.4GHz transmitida pelo <i>front end</i>	77
6.4	Espectro do sinal de um tom amostrado a 122.88 MSPS, com uma portadora de 2.4GHz.	78
6.5	Diagrama de blocos do fluxo de dados I/Q para a interface do <i>front end</i> analógico.	79
6.6	Organização do conteúdo da memória SDRAM.	80
6.7	Estimativa de consumo energético após a implementação da interface do <i>front end</i> analógico.	81
7.1	Ilustração do diagrama de blocos do demonstrador C-RAN.	83
7.2	Ilustração do esquema do projeto de referência <i>Hardware Demonstration Design</i> da Xilinx.	84
7.3	Diagrama de blocos atualizado do projeto de referência do CPRI.	85
7.4	Diagrama de blocos do sistema desenvolvido para o REC/BBU.	86
7.5	Arquitetura interna do IP <i>core</i> CPRI versão 8.2.	87

7.6	Ilustração dos diagramas temporais da interface de dados I/Q do <i>core</i> CPRI em sistemas E-UTRA.	88
7.7	Diagrama de blocos da arquitetura de DMAs do módulo REC/BBU.	89
7.8	Diagrama de blocos do sistema desenvolvido para o RE/RRH.	90
7.9	Diagrama dos blocos lógicos que constituem o fluxo de dados do módulo RE.	91
7.10	Diagrama de blocos da arquitetura do módulo REs com as considerações de relógio.	92
7.11	Relatório da estimativa de consumo de energético da FPGA no projeto do REC.	93
7.12	Relatório da estimativa de consumo de energético da FPGA no projeto do RE.	94
7.13	Fotografia do <i>setup</i> laboratorial do demonstrador C-RAN.	95
8.1	<i>Setup</i> laboratorial utilizado na medição dos sinais LTE.	97
8.2	Análise do sinal LTE de 10 MHz.	99
8.3	Estudo do sinal LTE de 20 MHz.	100
8.4	Resultados obtidos para o sinal LTE de 15 MHz.	101
8.5	Sinal LTE TDD de 5 MHz.	102
8.6	Análise do sinal LTE FDD de 10 MHz com diversidade.	104
8.7	<i>Setup</i> laboratorial utilizado na medição dos sinais LTE em RF.	105
8.8	Análise do sinal LTE de 10 MHz à saída do <i>front end</i> analógico.	106
8.9	ACLR obtido do sinal LTE de 10 MHz em RF.	107
8.10	Análise do sinal LTE de 20 MHz à saída do <i>front end</i> analógico.	108
8.11	ACLR obtido do sinal LTE de 20 MHz em RF.	108
8.12	Análise do sinal LTE de 15 MHz à saída do <i>front end</i> analógico.	109
8.13	ACLR obtido do sinal LTE de 15 MHz em RF.	110
8.14	<i>Setup</i> laboratorial utilizado na medição dos sinais LTE no demonstrador.	111
8.15	Análise do sinal LTE de 10 MHz no demonstrador C-RAN.	112
8.16	ACLR obtido do sinal LTE de 10 MHz no demonstrador C-RAN.	112
8.17	Análise do sinal LTE de 20 MHz no demonstrador C-RAN.	113
8.18	ACLR obtido do sinal LTE de 20 MHz no demonstrador C-RAN.	114
8.19	Análise do sinal LTE de 15 MHz no demonstrador C-RAN.	115
8.20	ACLR obtido do sinal LTE de 15 MHz no demonstrador C-RAN.	115
A.1	Fotografia da placa de desenvolvimento Xilinx KC705.	121
B.1	Fotografia da placa de expansão AD-FMComms3-EBZ.	123
B.2	Diagrama de blocos funcional completo do <i>Transceiver</i> AD9361.	124
B.3	Caminho de transmissão do <i>transceiver</i> AD9361.	125
B.4	Caminho de receção do <i>transceiver</i> AD9361.	126
B.5	Ruído de fase em função do <i>offset</i> de frequência.	127
B.6	Interface gráfica do AD9361 <i>Filter Design Wizard</i>	128
B.7	Espetro da portadora de 2.1 GHz (banda 1) transmitida pelo <i>front end</i>	129
B.8	Ruído de fase medido em torno da portadora de 2.1 GHz.	130
B.9	Espetro da portadora de 1.8 GHz transmitida pelo <i>front end</i>	131
B.10	Ruído de fase medido para uma portadora de 1.8 GHz.	131
B.11	Espetro da portadora da banda 7 do E-UTRA transmitida pelo <i>front end</i>	132
B.12	Ruído de fase medido em torno da portadora de 2.6 GHz.	132
B.13	Espetro da portadora na banda 20 do E-UTRA.	133

B.14	Ruído de fase medido em torno da portadora de 800 MHz.	134
C.1	Módulo de avaliação CDCE72010EVM da Texas Instruments	135
C.2	Interface gráfica para controlo das configurações do CDCE72010.	136
C.3	Ruído de fase da PLL CDCE72010.	137

Lista de Tabelas

2.1	<i>Line rates</i> permitidas na especificação 6 do CPRI.	19
3.1	Configurações de <i>Downlink-Uplink</i> para o modo TDD no LTE.	38
3.2	Parametrização da estrutura da <i>frame</i> (FDD e TDD).	38
3.3	Parâmetros de modulação OFDM para o LTE.	39
3.4	Relação entre a largura de banda dos canais no LTE e o número máximo de RBs suportados.	39
3.5	Esquemas de modulação para o <i>downlink</i> no LTE.	43
3.6	Esquemas de modulação para o <i>uplink</i> no LTE.	43
3.7	Valores de EVM máximo para o PDSCH para diferentes modulações.	51
5.1	Consumo de recursos da FPGA, após a implementação do gerador de sinais LTE.	71
6.1	Consumo de recursos da FPGA após a implementação da interface do <i>front end</i> analógico.	81
7.1	Consumo de recursos da FPGA após a implementação do módulo REC.	93
7.2	Consumo de recursos da FPGA após a implementação do módulo RE.	94
7.3	Legenda dos elementos constituintes do <i>setup</i> laboratorial que serviu de base à implementação do demonstrador.	96
8.1	Parâmetros de configuração do ficheiro do modelo C para um sinal LTE 10 MHz de largura de banda.	98
8.2	Parâmetros de configuração para um sinal LTE de 20 MHz de largura de banda.	99
8.3	Parâmetros de configuração de um sinal com 15 MHz de largura de banda.	101
8.4	Parâmetros de configuração de um sinal com modo de transmissão TDD com 5 MHz de largura de banda.	102
8.5	Parâmetros de configuração para um sinal de multiplexagem espacial.	103
8.6	Sumário dos resultados experimentais obtidos para os vários sistemas implementados.	116
A.1	Descrição dos componentes usados na implementação dos sistemas, e que se encontram marcados na figura A.1.	122
B.1	Bandas de frequências E-UTRA mais comuns.	129

Lista de Acrónimos

3GPP	Third Generation Partnership Project
ACLR	Adjacent Channel Leakage Ratio
ADC	Analog to Digital Converter
AFE	Analog Front End
AMBA	Advanced Microcontroller Bus Architecture
API	Application Programming Interface
ARQ	Automatic Repeat Request
AS	Access Stratum
AXI	Advanced eXtensible Interface
AxC	Antenna-carrier
BBU	Base Band Unit
BPSK	Binary Phase Shift Keying
BS	Base Station
BSC	Base Station Controller
BTS	Base Transceiver Station
C-RAN	Centralized, Cooperative, Cloud and Clean RAN
C&M	Control & Management
CA	Carrier Aggregation
CAPEX	Capital Expenditure
CC	Component Carrier
CDD	Cyclic Delay Diversity
CDM	Code Division Multiplexing
CDMA	Code Division Multiple Access
CFR	Crest Factor Reduction
CN	Core Network
CoMP	Coordinated Multiple Point Transmission/Reception
CP	Cyclic Prefix
CPRI	Common Public Radio Interface
CQI	Channel Quality Indicator
CSI	Channel-State Information
CSI-RS	CSI Reference Signals

CSR	Cell-Specific Reference Signals
CWDM	Coarse Wavelength-Division Multiplexing
D-RoF	Digital Radio over Fiber
DAC	Digital to Analog Converter
DAS	Distributed Antenna System
DCI	Downlink Control Information
DDC	Digital Down Conversion
DDS	Direct Digital Synthesizer
DeNB	Donor Cell's eNB
DFE	Digital Front End
DFT	Discrete Fourier Transform
DIMM	Dual In-Line Memory Module
DM-RS	Demodulation/UE-Specific Reference Signals
DMA	Direct Memory Access
DP	Data Peripheral
DPD	Digital Pre-Distortion
DSP	Digital Signal Processor
DUC	Digital Up Conversion
DWDM	Dense Wavelength-Division Multiplexing
DwPTS	Downlink Pilot Timeslot
E-UTRA	Evolved UMTS Terrestrial Radio Access
E-UTRAN	Evolved UMTS Terrestrial Radio Access Network
eICIC	Enhanced ICIC
eNB	Evolved Node B
EPC	Evolved Packet Core
EPS	Evolved Packet System
ETSI	European Telecommunications Standards Institute
EVM	Error Vector Magnitude
FSTD	Frequency- Switched Transmit Diversity
FDD	Frequency Division Duplex
FEC	Forward Error Correction
FFT	Fast Fourier Transform
FIR	Finite Impulse Response
FIFO	First-In First-Out
FMC	FPGA Mezzanine Card
FPGA	Field Programmable Gate Array
GERAN	GSM/EDGE Radio Access Network
GMII	Gigabit Media Independent Interface
GP	Guard Period
GPIO	General Purpose Input/Output

GPP	General Purpose Platform
GSM	Global System for Mobile Communication
GUI	Graphical User Interface
HARQ	Hybrid Automatic Repeat reQuest
HDL	Hardware Description Language
HDLC	High-level Data Link Control
HetNet	Heterogeneous Networks
I/Q	In phase/Quadrature
I²C	Inter-Integrated Circuit
ICI	Inter-Cell Interference
ICIC	Inter Cell Interference Control
IF	Intermediate Frequency
IFFT	Inverse Fast Fourier Transform
inter-RAT	Inter-Radio Access Technology
ILA	Integrated Logic Analyzer
IMT-Advanced	International Mobile Telecommunications Advanced
IP	Intellectual Property
ISI	Inter-Symbol Interference
ITU-R	International Telecommunications Union Radiocommunication Sector
LNA	Low-Noise Amplifier
LTE	Long Term Evolution
LVMOS	Low Voltage Complementary Metal Oxide Semiconductor
LVDS	Low-Voltage Differential Signaling
M-QAM	M-ary Quadrature Amplitude Modulation
MAC	Medium Access Control
MBSFN	Multicast/Broadcast over Single Frequency Network
MBSFN-RS	MBSFN Reference Signals
MGT	Multi-Gigabit Transceiver
MIB	Master Information Block
MIG	Memory Interface Generator
MIMO	Multiple Input Multiple Output
MMCM	Mixed-Mode Clock Manager
MME	Mobility Management Entity
MRC	Maximum Ratio Combining
MS	Mobile Station
MU-MIMO	multi-user MIMO
multi-RAT	Multi-Radio Access Technology
NAS	Non-Access Stratum
O&M	Operation & Maintenance
OBSAI	Open Base Station Architecture Initiative

OFDM	Orthogonal Frequency Division Multiplexing
OFDMA	Orthogonal Frequency-Division Multiple Access
OPEX	Operating Expenditure
ORI	Open Radio Equipment Interface
OTN	Optical Transport Network
PA	Power Amplifier
PAPR	Peak-to-Average Power Ratio
PBCH	Physical Broadcast Channel
PCFICH	Physical Control Format Indicator Channel
PDCCH	Physical Downlink Control Channel
PDCP	Packet Data Convergence Protocol
PDSCH	Physical Downlink Shared Channel
PHICH	Physical Hybrid ARQ Indicator Channel
PHY	Physical Layer
PLL	Phase Locked Loop
PMCH	Physical Multicast Channel
PMI	Precoding Matrix Indicator
PRACH	Physical Random Access Channel
PRS	Positioning Reference Signals
PSS	Primary Synchronization Signal
PUCCH	Physical Uplink Control Channel
PUSCH	Physical Uplink Shared Channel
QAM	Quadrature Amplitude Modulation
QoS	Quality of Service
QPSK	Quadrature Phase Shift Keying
RAN	Radio Access Network
RAT	Radio Access Technology
RB	Resource Block
RE	Radio Equipment
REC	Radio Equipment Control
RF	Radio Frequency
RI	Rank Indicator
RLC	Radio Link Control
RMS	Root Mean Square
RN	Relay Node
RNC	Radio Network Controller
RRC	Radio Resource Control
RRH	Remote Radio Head
RS	Reference Signals
S-GW	Serving Gateway

SAE	System Architecture Evolution
SAP	Service Access Point
SC	Selection Combining
SC-FDMA	Single-Carrier Frequency-Division Multiple Access
SDR	Software Defined Radio
SDRAM	Synchronous Dynamic Random Access Memory
SEM	Spectrum Emission Mask
SERDES	Serializer/Deserializer
SFP	Small Form-factor Pluggable
SFP+	Enhanced Small Form-factor Pluggable
SFBC	Space-Frequency Block Coding
SIMO	Single Input Multiple Output
SISO	Single Input Single Output
SMA	SubMiniature version A
SNR	Signal to Noise Ratio
SON	Self-Organizing Network
SPI	Serial Peripheral Interface
SRS	Sounding Reference Signals
SSS	Secondary Synchronization Signal
STBC	Space-Time Block Coding
TD-SCDMA	Time Division-Synchronous Code Division Multiple Access
TDD	Time Division Duplex
TDM	Time Division Multiplexing
TDMA	Time Division Multiple Access
UART	Universal Asynchronous Receiver Transmitter
UCI	Uplink Control Information
UE	User Equipment
UTRA	Universal Terrestrial Radio Access
UTRAN	Universal Terrestrial Radio Access Network
UMTS	Universal Mobile Telecommunications System
UpPTS	Uplink Pilot Timeslot
VIO	Virtual Input/Output
VSA	Vector Signal Analyzer
VSG	Vector Signal Generator
W-CDMA	Wideband Code-Division Multiple Access
WDM	Wavelength-Division Multiplexing
Wi-Fi	Wireless Fidelity

Capítulo 1

Introdução

Neste capítulo é feito o enquadramento do trabalho que foi desenvolvido no contexto desta dissertação de mestrado. São também introduzidos alguns conceitos que são posteriormente aprofundados nos capítulos 2 e 3 deste documento.

1.1 Enquadramento

Com a expansão do mercado de novos dispositivos como os *smartphones*, os *tablets* e os *laptops* tem-se vindo a verificar, por parte dos consumidores, uma forte procura por serviços e aplicações móveis que vão muito além do simples telefone. O crescimento abrupto de serviços tais como a navegação *web*, redes sociais, música e *streaming* de vídeo tem levado ao desenvolvimento de novas tecnologias de acesso móvel [Cis14] [Nok11]. Como resultado, têm sido desenvolvidos novos *standards* de acesso para proporcionar as taxas de transmissão e a capacidade necessária ao suporte destes serviços.

Consequentemente, ao longo dos últimos anos tem-se vindo a comprovar uma evolução das tecnologias de acesso do *Time Division Multiplexing* (TDM) ao *Code Division Multiplexing* (CDM), e mais recentemente, para o *Orthogonal Frequency Division Multiplexing* (OFDM), que oferece melhorias notáveis quanto à eficiência espectral, ao permitir a sobreposição (ou a ortogonalidade) de subportadoras. As redes de quarta geração (4G), como o LTE, tiram partido do OFDM para disponibilizar melhorias ao nível da eficiência espectral, da robustez face a interferências e da baixa distorção *multipath*. O OFDM tem vindo a ser adaptado e aperfeiçoado com recurso a técnicas *Multiple Input Multiple Output* (MIMO) e *beamforming*.

O LTE, e mais recentemente, o LTE-*Advanced* foram desenvolvidos de modo a responder aos requisitos de um sistema de comunicações móvel global. Estes requisitos englobam taxas de transmissão superiores, maior capacidade e cobertura, larguras de banda flexíveis, maior eficiência espectral, baixa latência, baixos custos de operação e interoperabilidade com os sistemas já existentes [Zar14].

Contudo, alterações têm que ser feitas ao nível da arquitetura da RAN de forma a suportar este novo tipo de tecnologias. Isto, por sua vez, implica um aumento do investimento por parte dos operadores na instalação de novos equipamentos (*Capital Expenditure* - CAPEX) e também um aumento do custo associado à operação e manutenção dos mesmos (*Operating Expenditure* - OPEX). Deste modo, os operadores veem-se forçados a procurar alternativas à RAN atual. Como consequência, antecipa-se que as próximas gerações de redes móveis adotem um novo paradigma com vista à redução das restrições referidas anteriormente, como o *Centralized*,

Cooperative, Cloud and Clean RAN (C-RAN).

1.2 Motivação

No estudo de novas alternativas à arquitetura da atual rede móvel de banda larga (RAN), surgem as futuras redes de quinta geração móvel (5G). Neste contexto, surge o C-RAN. Este novo paradigma pretende introduzir inteligência nas redes, de modo a garantir soluções em termos de eficiência energética e de custos, sem comprometer a qualidade dos serviços rádio. Este novo conceito leva à centralização do processamento em banda base e à substituição das atuais *base stations* por unidades de rádio remotas de menor complexidade, conseguindo-se tirar partido de novos conceitos nos sistemas de comunicações móveis tais como a virtualização e *cloud computing*, assim como otimizar as técnicas de rádio cooperativo em sistemas como o LTE. Uma outra consequência da separação proposta por este novo conceito é o aparecimento de um novo segmento de ligação conhecido como *fronthaul*, podendo este ser implementado com recurso a fibra ótica. Para a interface dos equipamentos com o *fronthaul*, estão disponíveis protocolos de comunicação *Digital Radio over Fiber (D-RoF)* como o *Common Public Radio Interface (CPRI)*, o *Open Base Station Architecture Initiative (OBSAI)* e, mais recentemente, o *Open Radio Equipment Interface (ORI)*, garantindo compatibilidade e suporte para diversas tecnologias de acesso rádio. A figura 1.1 retrata um possível cenário de uma arquitetura C-RAN.

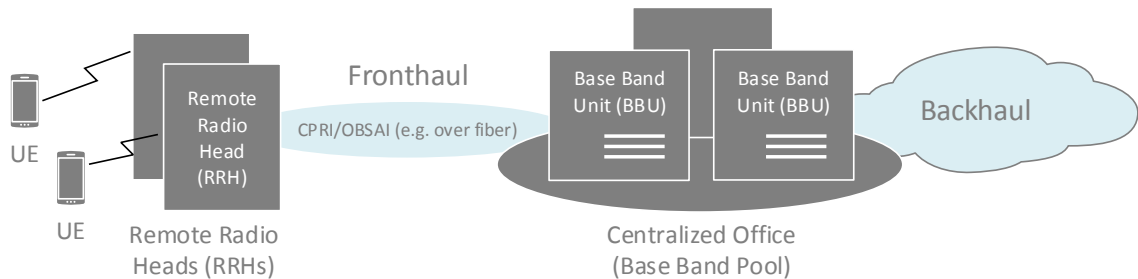


Figura 1.1: Arquitetura de uma rede de acesso móvel baseada no paradigma C-RAN.

1.3 Objetivos

Este trabalho de dissertação enquadra-se na área dos rádios definidos por *software*. Assim, no âmbito desta dissertação pretende-se desenvolver um demonstrador laboratorial com base na geração de sinais LTE e segundo o paradigma C-RAN.

O objetivo é, numa primeira fase, o projeto e implementação de um sistema capaz de gerar sinais LTE (*downlink*) ao nível da camada física baseado em *Field Programmable Gate Array (FPGA)*. Pretende-se que este sistema cumpra com as especificações impostas pelo *standard*. A segunda fase consiste na inclusão de um *front end* rádio para a conversão dos sinais LTE banda base em *Radio Frequency (RF)* e vice-versa. A última fase deste trabalho consiste na implementação e validação de um demonstrador para a arquitetura C-RAN. Os pressupostos deste paradigma devem ser tidos em conta, na medida em que é desejável conceber um módulo flexível e compatível com os sinais LTE obtidos do sistema implementado na fase inicial deste trabalho.

Por último, numa tentativa de proceder à caracterização dos sistemas concebidos ao nível da qualidade dos sinais gerados, efetuam-se algumas das mais relevantes medidas de qualidade em sinais LTE e são apresentados e discutidos os resultados.

1.4 Estrutura do Documento

Para além do **Capítulo 1**, que pretende contextualizar a evolução das redes móveis, os desafios face aos requisitos que se impõem com o surgir de novas tecnologias e, consequentemente, as soluções emergentes em termos de novas arquiteturas, este documento encontra-se dividido em mais oito capítulos, com a seguinte distribuição de conteúdos:

- No **Capítulo 2** (Conceitos Fundamentais), são enumerados os conceitos fundamentais relacionados com as redes móveis atuais e com o novo paradigma C-RAN. É ainda resumida a especificação CPRI como *standard* de comunicação entre equipamentos das estações base. Por último, é abordado o estado da arte de transmissores e recetores segundo o paradigma SDR.
- O **Capítulo 3** (Conceitos LTE) tem como foco principal a tecnologia de acesso rádio LTE, em particular a sua camada física. Neste capítulo são destacados alguns dos principais conceitos relacionados com a arquitetura da rede, a camada física, esquemas de múltiplo acesso em *downlink* e *uplink* (OFDMA e SC-FDMA, respetivamente), os modos de transmissão MIMO, a sua evolução para LTE-*Advanced* e algumas medidas de qualidade de sinal.
- De seguida, no **Capítulo 4** (Arquitetura do Sistema), é apresentada uma visão geral das arquiteturas propostas para os sistemas a desenvolver, com o propósito de descrever de uma forma sucinta as suas características e funcionalidades. São ainda introduzidos alguns cenários de teste a realizar para se ter uma ideia do desempenho dos sistemas implementados.
- Posteriormente, o **Capítulo 5** (Gerador de Sinais LTE) tem como objetivo delinear as características principais da plataforma de geração de sinais LTE e de descrever o método de implementação da mesma.
- Seguidamente, os detalhes da integração do *front end* analógico no sistema de geração de sinais LTE são expostos no **Capítulo 6** (Integração do *Front End* Analógico).
- No **Capítulo 7** (Demonstrador C-RAN) é detalhado o método de integração da interface com o *fronthaul* no sistema desenvolvido no Capítulo 6.
- O **Capítulo 8** (Apresentação de Resultados) contém a apresentação e a discussão dos resultados obtidos.
- Finalmente no **Capítulo 9** (Conclusões e Trabalho Futuro), são tiradas algumas conclusões acerca do trabalho desenvolvido e expõem-se algumas ideias sobre trabalho a realizar no futuro.

Com a finalidade de complementar a estrutura da dissertação, além dos capítulos acima apresentados foram também incluídos neste documento os seguintes anexos:

- No **Apêndice A** (*Kit* de Desenvolvimento em FPGA) é feita a referência ao *kit* de desenvolvimento usado na implementação dos vários sistemas propostos, bem como dos componentes e interfaces relevantes para o desenvolvimento do trabalho.
- A apresentação do módulo de avaliação da Analog Devices, usado para implementar o *front end* analógico, é feita no **Apêndice B** (*Front End* RF), juntamente com uma breve descrição das características do *transceiver* RF AD9361 que dele fazem parte.
- O **Apêndice C** (Módulo de Avaliação CDCE72010EVM da Texas Instruments) pretende dar a conhecer os aspetos mais importantes do módulo da Texas Instruments, utilizado para implementar um relógio de referência de baixo *jitter* no *front end* analógico.

Capítulo 2

Conceitos Fundamentais

Neste capítulo introduzem-se alguns conceitos considerados essenciais para melhor compreensão do trabalho que foi desenvolvido.

A fim de se perceber o verdadeiro valor do novo paradigma C-RAN, é necessário introduzir as suas principais características, funcionalidades, vantagens sobre a atual RAN e os desafios que suscita.

Começa-se, assim, por fazer uma introdução ao estado da arte das redes de acesso móvel ou RAN, identificando alguns dos principais desafios para o futuro. Apresenta-se o C-RAN como um novo paradigma face à RAN. Faz-se referência à interface CPRI, dada a sua importância no contexto das infraestruturas das redes móveis. Por último, aborda-se o conceito de *Software Defined Radio* (SDR) e as arquiteturas de transmissão e de receção associadas.

2.1 Evolução da *Radio Access Network* (RAN)

Num sistema de comunicações móveis, a RAN consiste no elemento que disponibiliza a tecnologia de acesso ao meio a cada terminal móvel e o liga ao núcleo da rede, a *Core Network* (CN). Tipicamente, a RAN é constituída por diferentes arquiteturas conforme a tecnologia de acesso que implementa. As tecnologias de comunicações móveis são frequentemente divididas em gerações, sendo o 1G a primeira geração dos sistemas de rádio móvel dos anos 80, na altura ainda analógicos. Os sistemas de segunda geração (2G) foram os primeiros sistemas móveis digitais e os de terceira geração, ou 3G, os primeiros sistemas a oferecer banda larga. A geração atual, os sistemas de quarta geração ou LTE, oferecem serviços de banda larga mais eficientes comparados com a anterior geração. O sistema *Global System for Mobile Communication* (GSM) é disponibilizado pela *GSM/EDGE Radio Access Network* (GERAN) e constitui a segunda geração das redes móveis ou 2G. A tecnologia *Universal Mobile Telecommunications System* (UMTS) é concretizada sobre *Universal Terrestrial Radio Access Network* (UTRAN) e implementa os sistemas de terceira geração ou 3G. Por último, o LTE ou 4G baseia-se numa evolução da rede anterior, conhecida como *Evolved UMTS Terrestrial Radio Access Network* (E-UTRAN). A figura 2.1 ilustra a evolução das tecnologias de acesso rádio ao longo do tempo. Esta evolução traz uma melhor eficiência espectral assim como taxas de transmissão de dados cada vez mais elevadas.

Numa rede móvel de segunda geração, a secção da arquitetura da rede que está associada à comunicação com os terminais móveis é conhecida como GERAN e é essencialmente constituída pela *Base Transceiver Station* (BTS) que, por sua vez, comporta os transmissores e recetores

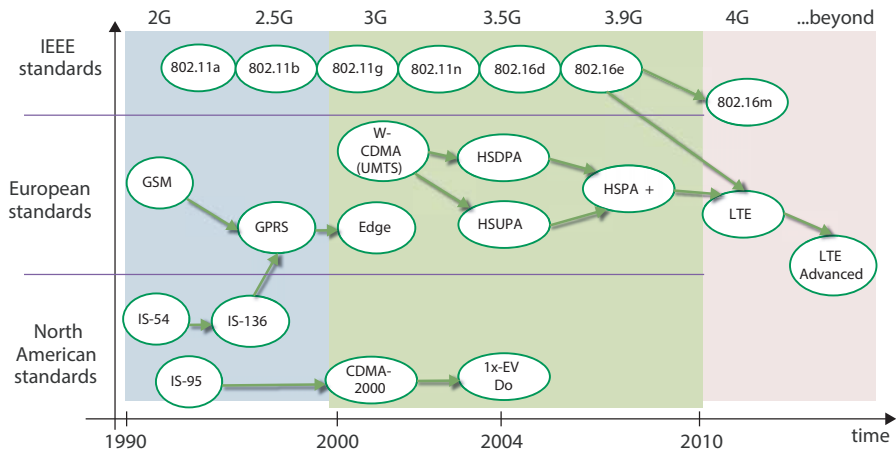


Figura 2.1: Evolução cronológica das tecnologias de acesso rádio (retirado de [Zar14]).

rádio e as respetivas antenas que comunicam com o terminal móvel ou *Mobile Station* (MS). A BTS está associada a uma única célula. O *Base Station Controller* (BSC) constitui a interface com a CN e faz a gestão e o controlo dos recursos rádio de um grupo de BTSs. No UMTS, o termo usado para o correspondente ao BSC é o *Radio Network Controller* (RNC), *Node B* para a BTS e *User Equipment* (UE) para o terminal móvel. A arquitetura dos sistemas LTE advém de uma evolução da geração anterior e a nomenclatura usada é a *Evolved Node B* (eNB) para as BTSs e UE para os equipamentos móveis. O estudo destes sistemas é aprofundado no capítulo 3. A figura 2.2 mostra os elementos constituintes das redes, mencionados anteriormente, e a forma como é feita a ligação entre os terminais móveis e os serviços do núcleo da rede.

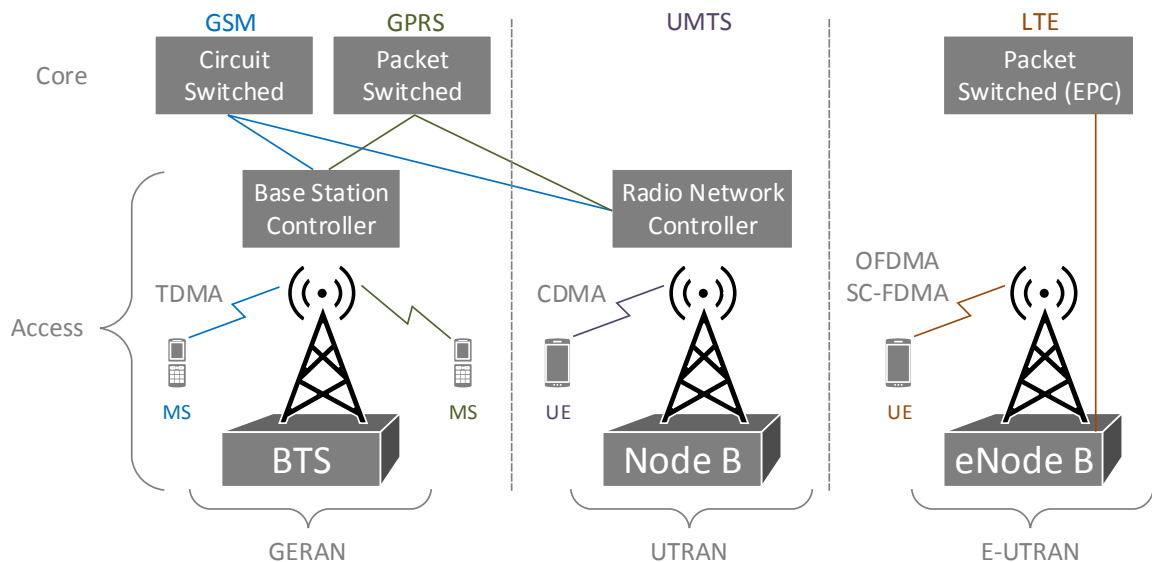
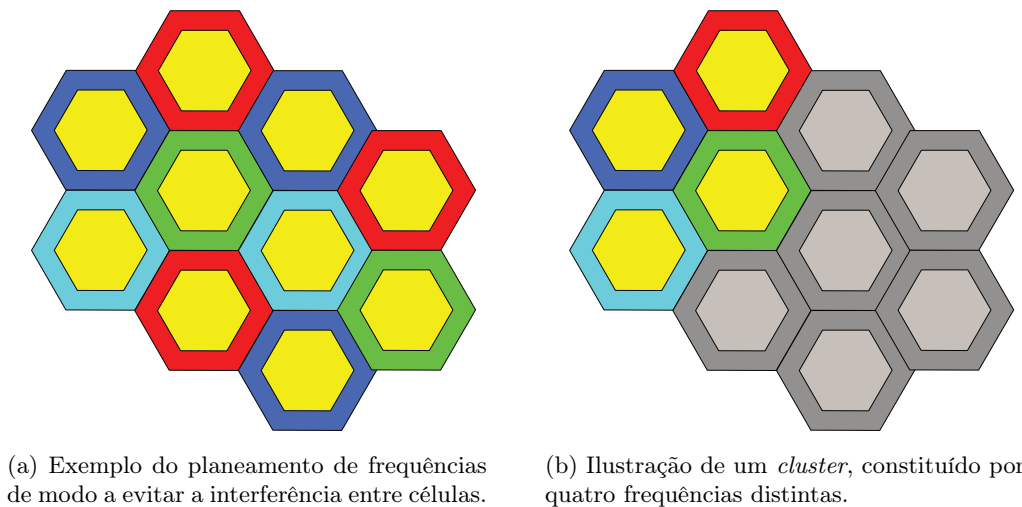


Figura 2.2: Arquiteturas das redes do GSM ao LTE.

2.1.1 Aspectos Fundamentais da Infraestrutura das Redes Móveis

Num sistema celular ou móvel, a rede divide-se em pequenas áreas geográficas, também designadas por células, de modo a cobrir uma determinada área. Deste modo, cada célula é servida por uma estação base cobrindo uma área geográfica que teoricamente se estende até às células adjacentes, limitando ao mínimo a área de sobreposição. A área de sobreposição tem, no entanto, que existir devido ao processo de transferência de chamadas (*handover*) entre as células. Assim, o planeamento celular tem que ser efetuado em função da topologia do terreno e do tráfego esperado.

O conceito de rede celular está associado à organização do espetro radioelétrico em células onde se implementa a chamada reutilização de frequências. Um utilizador, quando se desloca de célula em célula ao longo de um percurso, tem de comutar de canal consoante a célula em que se encontra. Para que não haja interferência entre chamadas, as células vizinhas têm de usar frequências diferentes. Consequentemente, as mesmas frequências não se utilizam em células adjacentes. Para evitar a interferência e atendendo a que o sinal se atenua com a distância, limita-se a potência das estações base de forma a não interferir com células que usam as mesmas frequências. Este tipo de planeamento encontra-se ilustrado na figura 2.3(a). Ao conjunto de células que usam todas as frequências disponíveis no sistema chama-se *cluster*, como mostra a figura 2.3(b).



(a) Exemplo do planeamento de frequências de modo a evitar a interferência entre células.

(b) Ilustração de um *cluster*, constituído por quatro frequências distintas.

Figura 2.3: Ilustração de alguns aspetos fundamentais de uma rede celular (adaptado de [Agi09]).

No dimensionamento de uma rede celular, há que ter em conta o tráfego a acomodar, ou seja, em zonas com pouco tráfego, podem usar-se células com maior cobertura, ao passo que, em zonas com maior tráfego, estas possuem um alcance mais reduzido. As células com maior cobertura são denominadas *macro cells*. Devido às adversidades e complexidade topográfica da região afeta por este tipo de células, surge a necessidade de, por um lado, elevar o ponto de difusão do sinal rádio e, por outro, aumentar a potência de radiação (entre 10 a 100 W), exigindo métodos mais complexos para o controlo de interferência.

A figura 2.4 mostra a arquitetura de uma *macro cell* tradicional, assim como a estrutura interna das estações base. É possível verificar que a antena se encontra ligada à cabine de

processamento de sinal por meio de um cabo coaxial que leva a perdas na ordem dos 3 dB (metade da potência), da base até à antena. Em infraestruturas mais recentes, a componente analógica é movida para junto da antena, sendo que a comunicação com o módulo na base da estação é concretizado por fibra ótica a partir de um protocolo D-RoF como o CPRI. Ao módulo junto da antena dá-se o nome de *Remote Radio Head* (RRH) [Lig14].

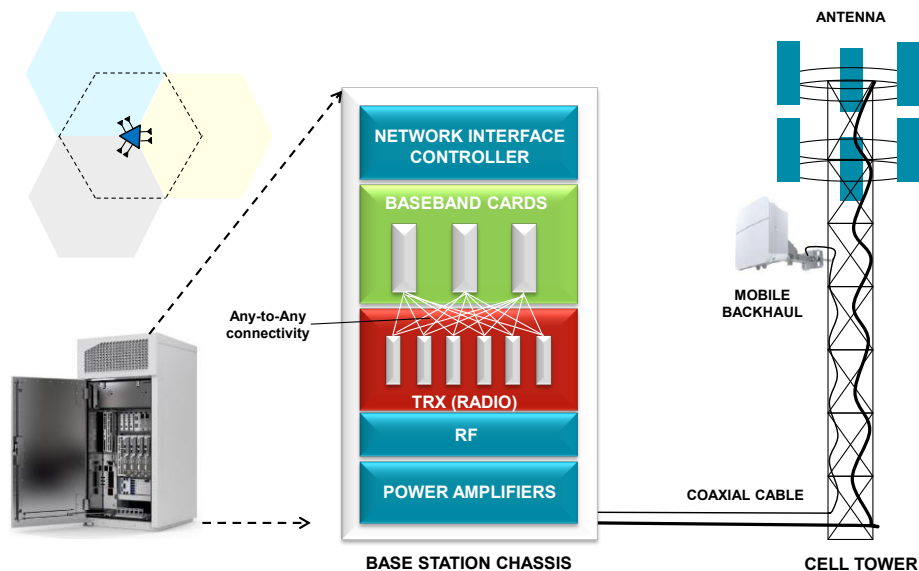


Figura 2.4: Ilustração da arquitetura de uma *base station* para *macro cell* tradicional (retirado de [Lig14]).

Uma forma de complementar as redes de *macro cells* existentes é usando-se as chamadas *small cells*. Esta abordagem pode incluir o uso de *micro cells*, *pico cells* ou RRHs de baixa potência, como também de *Wireless Fidelity* (Wi-Fi). Para células de menor área, são utilizadas *micro cells*, que tipicamente estão localizadas em edifícios e oferecem um alcance mais reduzido. De seguida, encontram-se as *pico cells* que são distribuídas por zonas com uma enorme densidade de utilizadores como, por exemplo, centros comerciais ou escritórios. Este tipo de células é usado em cenários onde a cobertura de células de maior dimensão não é a melhor. Por último, aparecem as *femto cells* que apresentam baixo consumo e alcance e que são implementadas em zonas que necessitam de pouca capacidade para acomodar utilizadores. Assim, consegue-se oferecer maior capacidade por utilizador e maior cobertura em áreas cobertas pelas *small cells*, com o potencial de aumentar o desempenho na rede *macro* ao permitir o *offload* de tráfego gerado nos chamados *hotspots*. Este tipo de abordagem é conhecida como *Heterogeneous Networks* (HetNet). O grau de integração que pode ser alcançado através das HetNets vai determinar o desempenho global da rede [Sma] [J.].

2.1.2 Redes Heterogêneas

As tecnologias de acesso rádio evoluíram ao longo dos últimos anos. Assim, é de esperar que as mesmas coexistam na rede dos operadores. O aumento da procura por ligações de banda larga e de baixo custo levaram ao desenvolvimento de redes móveis heterogêneas, HetNet.

De modo a suportar este conceito, o *Third Generation Partnership Project* (3GPP) tem

estudado novas formas de otimizar os mecanismos de gestão de interferências, necessários para as *Self-Organizing Networks* (SONs), como é o caso do *Inter Cell Interference Control* (ICIC), o *Enhanced ICIC* (eICIC) e o *Coordinated Multiple Point Transmission/Reception* (CoMP) [J.]. Alguns dos recursos das SONs, foram introduzidos na *release 8* e pretendem reduzir substancialmente o esforço requerido para introduzir novos pontos de acesso e gerir as HetNets. Existem implicações ao nível do planeamento rádio assim como na interface de *Operation & Maintenance* (O&M) das estações base, sobretudo das *small cells* que crescem a um ritmo superior ao das *macro cells*. Desta forma, alcança-se uma redução do OPEX, um aumento da capacidade, desempenho e qualidade da rede.

2.1.3 Desafios das RANs Atuais

A arquitetura atual das redes de acesso rádio enfrenta diversos desafios, principalmente nas redes 4G. Estes desafios enquadram-se nos custos de operação e manutenção e na resposta à procura de serviços móvel (capacidade e cobertura). Com o objetivo de aumentar a cobertura e a capacidade da rede, podem ser instaladas novas estações base de modo a suportar mais utilizadores. Contudo, este aumento do número de estações base resulta num maior consumo de energia e interferência, o que por sua vez resulta numa redução da cobertura e da capacidade da rede.

Outro aspeto importante é o facto de, nas redes tradicionais, cada estação base requerer um espaço separado com equipamento de apoio (por exemplo, refrigeração) para acomodar a *Base Band Unit* (BBU). Esta forma de implementação está-se a tornar cada vez mais problemática, na medida em que o espaço é cada vez mais escasso e os custos de aluguer são mais elevados. Além disso, prevê-se que este problema se torne mais crítico à medida que a densidade de *small cells* aumenta nas redes heterogéneas. Outro problema advém do facto de a instalação de *small cells* ser bastante mais importante nos sistemas 4G do que em sistemas 2G ou 3G, devido ao elevado número de *small cells* que se torna necessário para acomodar uma maior cobertura e capacidade da rede [HDC⁺14].

Uma outra limitação das redes móveis atuais é o facto de a utilização dos recursos não ser feita de uma forma mais eficiente. O planeamento das redes móveis é feito tendo em conta o pior caso, ou seja, para o máximo número de utilizadores ou tráfego que pode ocorrer num dado intervalo de tempo. Assim, nos instantes de menor afluência, os recursos de processamento não são aproveitados ao máximo [Chi13].

Consequentemente, as próximas gerações de redes móveis têm como objetivo uma gestão mais eficiente dos recursos, o aumento da capacidade e qualidade dos serviços (QoS) e, ao mesmo tempo, uma redução dos gastos com as infraestruturas.

2.2 Arquitetura e Funcionalidades do C-RAN

O C-RAN é visto como uma alternativa à estrutura da rede de acesso móvel. Este paradigma conduz a uma arquitetura distribuída da RAN, que é composta por dois elementos nucleares separados entre si: uma unidade de processamento banda base (BBU) ou *pool* de BBUs e uma unidade remota de rádio (RRH). A figura 2.5 mostra a arquitetura simplificada do C-RAN.

A BBU realiza todo o processamento banda base e implementa a interface com a CN, também conhecida como *backhaul*. A RRH implementa o rádio em si, sendo responsável pela conversão do sinal banda base para RF. Esta separação e a centralização do processamento

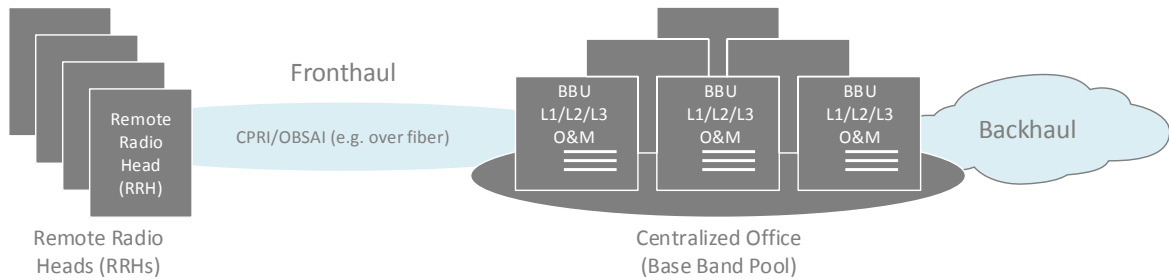


Figura 2.5: Ilustração da arquitetura C-RAN.

associada à BBU pode permitir uma melhor coordenação das capacidades rádio entre um conjunto de RRHs. Este aspeto torna-se cada vez mais importante nos sistemas LTE, na medida em que estas técnicas podem aumentar a eficiência através da redução dos efeitos de interferência. Existem outros benefícios que podem ser alcançados pela partilha dos recursos, que vão ser dados a conhecer ao longo desta secção. Por último, a infraestruturas de transporte que interliga a BBU às RRHs, denominada por “*fronthaul*”, é estabelecida por uma rede de baixa latência e elevada largura de banda, idealmente ótica, através de um protocolo D-RoF como o CPRI ou o OBSAI. Estes protocolos devem ser capazes de transportar tráfego de forma eficiente e vão ser introduzidos na secção 2.4. De seguida, são apresentadas as características mais relevantes do paradigma C-RAN.

2.2.1 Pressupostos

O termo C-RAN deriva de quatro pressupostos; são eles: *centralized processing*, *collaborative radio*, *real-time cloud computing* e *clean system*. Nas subsecções seguintes é feita uma breve descrição das quatro características mais relevantes do C-RAN face à RAN atual.

2.2.1.1 Centralized Processing

Com o processamento de banda base centralizado é possível uma consolidação/partilha de recursos mais flexível. Por exemplo, durante períodos de menor tráfego, uma BBU pode processar dezenas de subportadoras LTE, enquanto que, durante períodos de maior tráfego, esta pode processar um número reduzido de subportadoras, podendo, assim, tirar partido de técnicas de cooperação como o CoMP, introduzido na *Release 11* do *standard LTE* [GSX⁺12].

Dependendo do tipo de funcionalidades que se pretende alcançar, existem duas topologias C-RAN, *Fully Centralized* e *Partially Centralized*. Cada uma delas apresenta algumas vantagens e desvantagens relativamente à outra. A principal diferença entre elas está no local onde é implementada a camada L1 (*Physical Layer* - PHY), como mostra a figura 2.6.

A primeira (com L1 centralizada) é mais prática do ponto de vista de expansão da capacidade do sistema e da manutenção de equipamentos. Esta solução apresenta igualmente outras vantagens, das quais se destacam o suporte *Multi-Radio Access Technology* (multi-RAT), a maximização da partilha de recursos disponíveis e a facilidade de implementação de técnicas de rádio cooperativo, como o CoMP. Por outro lado, a sua grande desvantagem são as restrições em termos de largura de banda no *fronthaul* para o transporte de sinais *In phase/Quadrature* (I/Q) banda base. Por exemplo, para o caso do LTE com MIMO 4x4 com uma largura de banda de 20 MHz por canal, é necessária uma taxa de transmissão de,

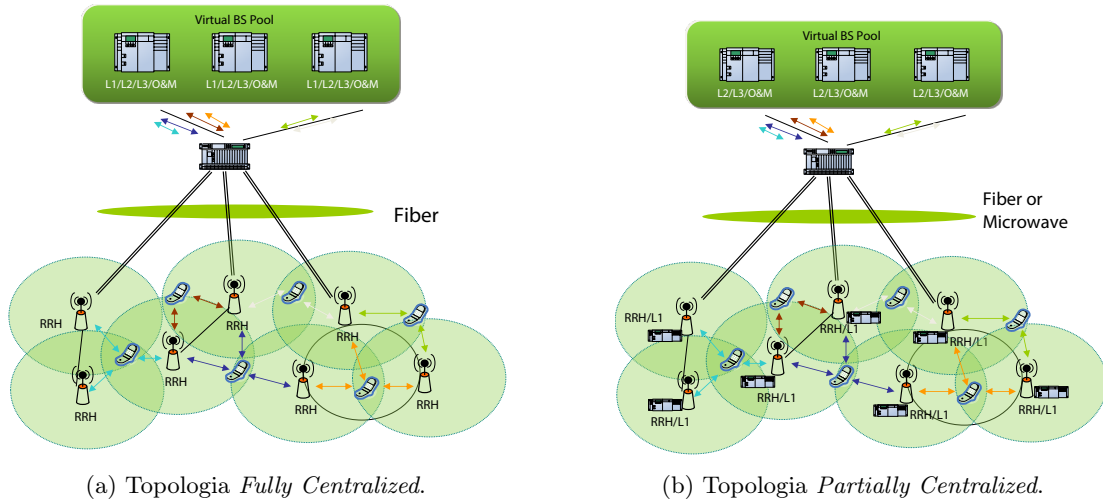


Figura 2.6: Ilustração dos diferentes tipos de topologia de implementação da arquitetura C-RAN (retirado de [Lig14]).

aproximadamente, 8 Gbit/s [CPLC⁺13]. A segunda topologia (com L1 distribuída), *Partially Centralized*, ao contrário da anterior, tem a vantagem de necessitar menor largura de banda, já que integra o processamento da camada L1 nas RRHs. Comparando ambas as topologias, a ligação entre a BBU e a RRH, na segunda, necessita apenas de transportar dados desmodulados, o que representa entre 2% a 5% dos dados I/Q modulados. Como a modulação I/Q está integrada na RRH, o sistema torna-se menos flexível e as técnicas de rádio cooperativo mais difíceis.

Com o C-RAN, a implementação e atualização de sistemas de nova geração (LTE ou LTE-Advanced) torna-se mais barato, mais rápido e mais flexível. Por exemplo, é possível aumentar a capacidade e a cobertura destes sistemas ligando apenas mais uma RRH ao *centralized office* ou BBU *pool*. A solução *fully centralized* facilita o desenvolvimento de sistemas baseados em SDR que possibilitam a atualização das *interfaces* rádio apenas por *software*, focando-se em plataformas abertas como *hardware* reconfigurável e *General Purpose Platform* (GPP), aumentando a flexibilidade quanto ao suporte de multi-RAT [Chi13] [All13].

2.2.1.2 Collaborative Radio

O C-RAN fornece uma gestão de recursos rádio coordenada através do seu processamento centralizado. A partir do rádio cooperativo e de um sistema de antenas distribuído nas RRHs consegue-se uma elevada eficiência espectral, devido à facilidade de implementação de técnicas avançadas de processamento espacial, tal como o CoMP. Deste modo, consegue-se melhorar os níveis de cobertura, minimizar a interferência entre células (*Inter-Cell Interference* - ICI) e permitir a atribuição dinâmica dos recursos entre vários eNBs, aumentando a capacidade da rede [Chi13]. O CoMP é introduzido na subsecção 3.6.2 do Capítulo 3. Na figura 2.7, encontra-se um exemplo de rádio cooperativo numa arquitetura C-RAN.

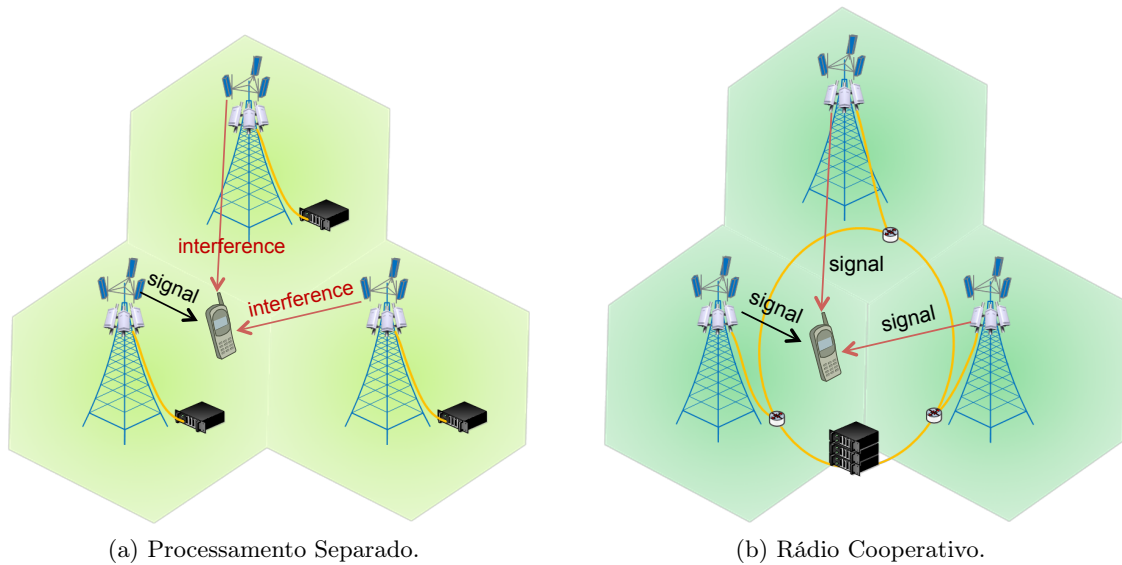


Figura 2.7: Abordagem de rádio cooperativo entre unidades de rádio (eNBs) com vista a diminuir as interferências entre células (adaptado de [Chi13]).

2.2.1.3 *Real-Time Cloud Computing*

No C-RAN, ao centralizar o processamento de banda base num *centralized office* ou *pool* de BBUs, é possível partilhar recursos entre diversas RRHs. O *centralized office* é constituído por um conjunto de BBUs virtuais que implementam diversos *standards* de acesso rádio e que efetuam processamento paralelo. O *cloud computing* permite, assim, que se faça um processamento em tempo real de enormes quantidades de dados provenientes de várias RRHs, facilitado pelo uso de plataformas abertas e de virtualização com base em GPP, as quais permitem agregar processos e alocar de forma dinâmica os recursos disponíveis às BBUs virtuais. Desta forma faz-se uso da capacidade máxima de processamento, ao contrário do que acontece nas atuais RANs. Como a virtualização é feita ao nível do *software*, é fácil atualizar a plataforma de acordo com os requisitos do operador bem como o suporte para multi-RAT, de modo a suportar, para além do LTE, GSM e UMTS [Chi13] [GSX⁺12].

2.2.1.4 *Clean System*

Com a centralização do processamento na BBU, o espaço ocupado por uma estação base torna-se bastante mais reduzido. Assim, a climatização do espaço e o consumo energético de equipamentos de suporte pode ser substancialmente reduzido, conseguindo os operadores de serviços móveis uma (significativa) redução de custos. A densidade de RRHs por unidade de área pode aumentar, graças às técnicas de rádio cooperativo. É assim possível instalar RRHs mais simples e mais pequenas que, por sua vez, podem transmitir potências menores, sem que a qualidade de cobertura da rede seja afetada. Do ponto de vista de O&M é mais simples e eficiente.

2.2.2 Desafios do C-RAN

O C-RAN foi pensado não só para colmatar os problemas da infraestrutura da atual RAN, mas também para melhorar a eficiência espectral e a eficiência energética. Algumas características, como a centralização, são relativamente fáceis de realizar enquanto que outras requerem um desenvolvimento a longo prazo. Nesta secção, faz-se uma análise dos principais desafios da implementação e da realização de uma arquitetura C-RAN e apresentam-se algumas soluções alternativas.

2.2.2.1 Infraestrutura do *Fronthaul*

Um dos maiores desafios na realização de uma estrutura de rede de acesso C-RAN reside no *fronthaul*, isto é, no segmento de ligação entre a BBU *pool* e as unidades de rádio remotas. Como interface de transporte existem dois protocolos: o CPRI e o OBSAI. Em ambos o sinal rádio é digitalizado (D-RoF). Contudo, este segmento tem que cumprir com determinados requisitos como baixa latência, *jitter* reduzido e elevadas larguras de banda para acomodar sinal em banda base como foi referido na subsecção 2.2.1.1.

A implementação do *fronthaul* baseia-se no uso de uma rede de fibra ótica ou, como alternativa, no uso de ligações micro-ondas. Como a fibra é a solução mais proeminente para este segmento, o operador da rede tem que ter em conta a sua disponibilidade e a escolha de uma topologia de transporte adequada. Na figura 2.8 estão presentes três tipos de topologias possíveis para o *fronthaul* baseadas em fibra ótica.

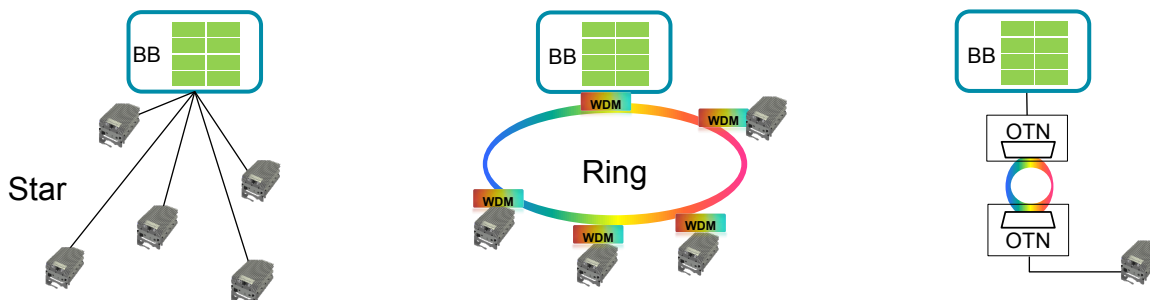


Figura 2.8: Diferentes topologias para a rede de transporte ótica no C-RAN (retirado de [Lig14]).

A topologia em estrela, ou *Star*, utiliza a rede *dark fiber* (rede de fibra ótica instalada que não se encontra em uso) para ligações ponto a ponto entre as RRHs e a BBU *pool*. Esta configuração pode ser implementada de forma rápida e com custos reduzidos, porque não é necessário nenhum equipamento de rede de transporte ótico adicional. Por outro lado, esta solução consome uma parte significativa dos recursos de fibra e portanto a extensão da rede torna-se um desafio. Contudo, requer equipamento auxiliar para O&M e proteção contra falhas. As capacidades de O&M podem ser introduzidas no CPRI.

Em áreas onde os recursos de fibra ótica são limitados, é adequado o *fronthaul* baseado num *Ring*. Esta solução assenta na técnica *Wavelength-Division Multiplexing* (WDM), o que implica um uso reduzido de recursos de fibra e multiplexadores passivos. As técnicas *Coarse Wavelength-Division Multiplexing* (CWDM) e *Dense Wavelength-Division Multiplexing* (DWDM) permitem a partilha da fibra por diferentes RRHs. O CWDM possibilita a transmissão até 16 canais de comprimento de onda com a capacidade de 2.5, 4 ou 10 Gbit/s

por canal, com um alcance não superior a 100 Km. O DWDM oferece maior alcance (1500 Km) e baseia-se na transmissão até 80 canais na banda C (*conventional band*). Consequentemente, são impostos limites de largura de banda no dimensionamento de unidades de rádio remotas em cascata, a inexistência de O&M pode levar a um aumento dos custos.

Outra abordagem é a solução baseada em *Optical Transport Network* (OTN) para o transporte de CPRI ou OBSAI. Esta infraestrutura possibilita O&M nativa, capacidade de correção de erros e suporte para multiplexagem no domínio do tempo e por comprimento de onda. Consequentemente, permite o transporte de sinais como o CPRI em ambientes ruidosos ou a longas distâncias e a maximização da utilização da largura de banda da rede de fibra. Contudo, esta solução apresenta alguns obstáculos como o limite no erro de frequência introduzido no mapeamento/desmapeamento do CPRI/OBSAI na OTN e o atraso imposto pelos elementos ativos da rede [Lig14] [Chi13].

Uma solução alternativa às mencionadas nos parágrafos anteriores, para cenários onde não é possível instalar fibra, passa por instalar ligações por micro-ondas. Estas oferecem uma implementação mais simples, contudo, a capacidade está limitada. A tecnologia atual nas bandas dos 2 aos 38 GHz permite capacidades até 800 Mbit/s e alcances entre os 50 e os 100 Km. Para situações onde a distância entre a BBU e a RRH é reduzida, as *millimeter waves*, na banda dos 71 aos 86 GHz (E-band), oferecem uma capacidade até 2.5 Gbit/s [Tel14].

Uma forma de minimizar os requisitos de sincronização e de largura de banda passa por deslocar a camada L1 da BBU para a RRH, obtendo-se uma implementação semelhante à *partially centralized*. A fim de cumprir os requisitos de latência impostos pelos *standards* 3G e 4G, protocolos como o CPRI impõe limites de atrasos, que incluem a propagação do sinal no canal de transmissão (fibra, micro-ondas), do alcance máximo da rede, como também do processamento digital do sinal que ocorre nas camadas L1 e L2. Por exemplo, no caso do LTE, a máxima latência é imposta pelo mecanismo de retransmissão *Hybrid Automatic Repeat request* (HARQ).

Por último, é importante mencionar as técnicas de compressão de dados de utilizador (amostras I/Q) como estratégia para reduzir a largura de banda dos sinais a transmitir na fibra. Existem vários tipos de compressão, desde a redução do ritmo de amostragem até à frequência de Nyquist ou quantização não linear. A especificação 6 do CPRI define uma *line rate* máxima de 10 Gbit/s, contudo, já não é suficiente num cenário onde se usa LTE com 20 MHz de largura de banda para três setores com 4 antenas onde são necessários 14.7 Gbit/s. Assim, métodos de compressão no domínio do tempo e da frequência estudam a redundância do sinal nestas duas componentes e apontam para uma compressão de 3x a 5x [Nie13]. Porém, estes métodos de compressão acrescentam complexidade aos módulos e latência devido à necessidade de processamento adicional.

2.2.2.2 Rádio Cooperativo

Como referido na subsecção 2.2.1.2, o C-RAN pode facilitar a implementação de métodos de cooperação como o CoMP, devido à sua estrutura centralizada. Contudo, o CoMP, baseando-se em algoritmos de *joint processing* e *joint scheduling*, necessita, para se tornar eficiente, que os dados de utilizador estejam disponíveis entre as várias *Base Stations* (BSs) virtuais. Consequentemente, de modo a assegurar a cooperação em tempo real, a interface entre elas deve assegurar uma elevada largura de banda e latência reduzida. A informação partilhada pela interface inclui informações de *scheduling* e as características dos canais de *downlink* e *uplink* [Chi13].

2.3 Unidade de Processamento Banda Base (BBU)

Em instalações típicas de *macro cells*, a unidade de processamento banda base encontra-se localizada nas estações base juntamente com o equipamento de rádio e outro equipamento digital. O custo da instalação de novas unidades de processamento banda base juntamente com o equipamento de rádio e antenas de modo a suportar novas portadoras, larguras de banda adicionais e diferentes tecnologias está a tornar-se insustentável e um desafio económico para os operadores.

A centralização da unidade de processamento banda base é construída sobre o conceito de SDR, com o uso de processamento digital de sinal rádio distribuído e unidades de processamento de banda base que são configuráveis a partir de *software* e que reduzem a complexidade dos locais de instalação das BBUs. O aumento de portadoras, larguras de banda e novas tecnologias pode ser perfeitamente suportado agrupando um determinado número de BBUs numa BBU *pool* e instalando RRHs e *Distributed Antenna Systems* (DASs) com custos mais baixos e de mais fácil manutenção [All13].

2.3.1 Centralização das BBUs

A centralização dos recursos de processamento de múltiplas células tem vários benefícios. Com base na capacidade, cobertura e no número de *Radio Access Technologys* (RATs) a suportar, podem ser facilmente adicionadas mais BBUs e ser possível geri-las remotamente. Assim nos locais das BSs só precisam de estar as RRHs e as antenas, reduzindo-se o espaço, o consumo de energia e os custos de manutenção das mesmas. Na subsecção seguinte são apresentados os benefícios da centralização das BBUs [GSX⁺12] [Ari13].

2.3.2 Principais Benefícios da Centralização das BBUs

1. Redução do CAPEX e OPEX

Os recursos de hardware podem ser partilhados entre múltiplas BSs de forma a reduzir os custos de capital iniciais, assim como os custos regulares de funcionamento (energia, renda, etc) e manutenção.

2. Agregação e balanceamento do processamento

O processamento banda base, para múltiplas BSs, é agregado com base nos requisitos de largura de banda, não aumentando assim o número de BS. As BBUs podem ser distribuídas dinamicamente por diferentes BSs com base em padrões de utilização.

3. Suporte para múltiplas tecnologias (RATs)

As BBUs podem ser configuradas dinamicamente para suportar diferentes tecnologias de acesso rádio, com base no estado atual da rede e nos requisitos de serviço.

4. Disponibilidade

Durante a falha de uma qualquer BBU, as restantes BBUs ativas podem partilhar o processamento da que falhou, para que esta possa recuperar facilmente. Durante a falha de múltiplas BBUs, as que estão ativas podem ser configuradas dinamicamente para partilhar o processamento do tráfego de um número de BSs suportadas por aquela mesma central.

5. Suporte para CoMP

A centralização das BBUs permite que a informação de uma BS relacionada com sinalização, informação de tráfego, alocação de recursos, estado do canal, etc. possa ser partilhada entre múltiplas BBUs. Esta informação pode ser usada para otimizar a alocação de recursos, *handovers*, gestão de chamadas, o agendamento para o ICIC e melhorar a eficiência espectral. Como as BBUs suportam tanto *macro cells* como *small cells*, a coordenação do processamento entre múltiplas BSs ajuda a otimizar a mobilidade e o ICIC entre redes heterogéneas.

6. Suporte para SONS

A informação partilhada pelas BBUs pode ser utilizada em aspetos avançados de uma SON de modo a otimizar os seus serviços. Uma SON pode configurar, de modo dinâmico, os recursos a serem usados pelo processamento na área da BS, otimizar o *handover* entre células, gerir os *handovers* de uma *Inter-Radio Access Technology* (inter-RAT) e usar os recursos de *hardware* de uma forma eficiente. Durante os períodos de menor tráfego, algumas das BBUs podem ser desligadas, tornando o sistema mais económico.

2.4 Arquitetura do *Fronthaul*

O C-RAN subdivide as estações base tradicionais numa unidade de processamento de banda base (BBU) que é partilhada entre várias unidades de rádio remotas RRHs. Como consequência, é criado um novo segmento de ligação entre as unidades de rádio remotas distribuídas e a unidade de processamento banda base chamado “*fronthaul*”. Este segmento é responsável pela transmissão dos dados de utilizador, sob a forma de amostras I/Q, bem como de informação de gestão e controlo. Assim, este deve suportar os requisitos de largura de banda, bem como as latências máximas permitidas pelo *standards* de acesso. O *fronthaul* do C-RAN permite a ligação de múltiplas RRHs à BBU *pool* e deve convergir para uma homogeneização das suas interfaces de modo a assegurar a interoperabilidade entre equipamentos de diferentes fabricantes. Essa compatibilidade valida-se tanto ao nível da interface física (especificações elétricas e conectores) como ao nível do protocolo de comunicação que realiza as camadas da *stack* protocolar e o suporte dos *standards* de acesso rádio. A figura 2.9 ilustra um exemplo da utilização do protocolo CPRI/OBSAI numa arquitetura C-RAN.

Relativamente à interface física, a fibra ótica é o principal meio cablado de transmissão de sinal utilizado na área das telecomunicações devido a características em termos de atenuação e interferência eletromagnética quando comparada com as linhas de cobre. As últimas levam a perdas na ordem de metade da potência (atenuação de 3 dB) entre a RRH instalada no topo da torre e a unidade de processamento banda base na cabine [Lig14]. De modo, a estabelecer a ligação ótica, são utilizados *transceivers* para a conversão de sinal elétrico/ótico. Os dois principais módulos *pluggable* que simplificam o equipamento de rede e reduzem custos, ao possibilitar a compatibilidade e a flexibilidade na expansão, atualização e reparação das interfaces, são:

- O *Small Form-factor Pluggable* (SFP) que é um dispositivo bidirecional com transmissor e recetor na mesma *package* física;
- O módulo *Enhanced Small Form-factor Pluggable* (SFP+), que é idêntico ao módulo SFP, mas permite ritmos de transmissão na ordem dos 10 Gbit/s.

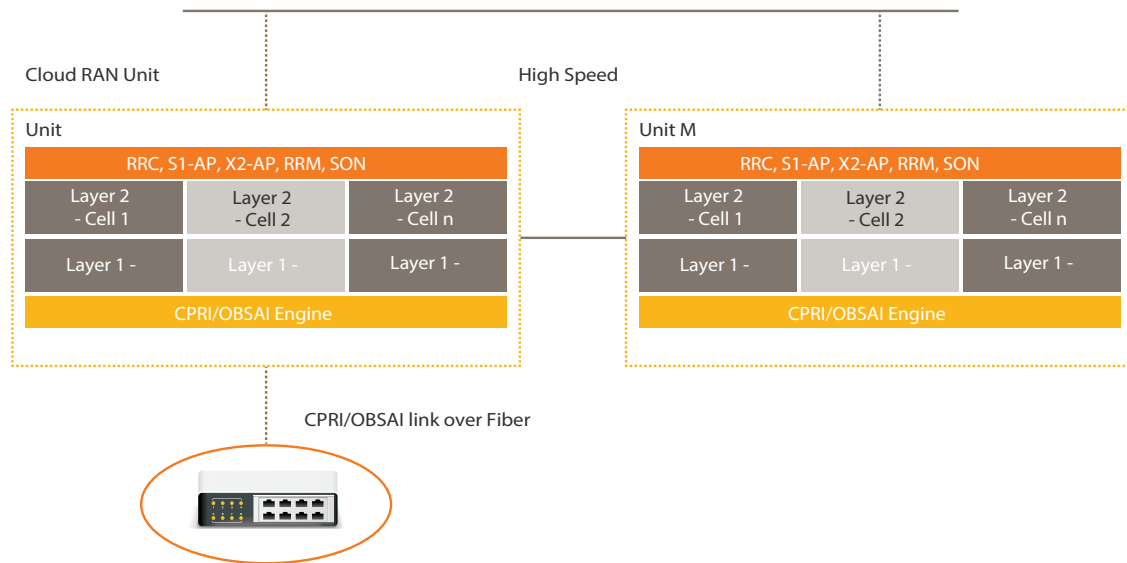


Figura 2.9: Exemplo da utilização do protocolo CPRI/OBSAI numa arquitetura C-RAN (retirado de [Ari13]).

As características deste módulos encontram-se definidas no *industry-standard Multi-Source Agreement (MSA) SFF-8472*. Como interface ótica, estes módulos utilizam conectores LC Simplex/Duplex (*standard IEC 61754-20*) [Cis13].

No que diz respeito aos protocolos de comunicação na fibra ótica, estão disponíveis especificações como o CPRI, o OBSAI e, mais recentemente, o ORI. Os primeiros resultam de iniciativas entre algumas das entidades do setor das telecomunicações de modo a obter-se uma arquitetura *standard* de comunicação entre as estações base dos sistemas da rede móvel. O CPRI tem vindo a ser desenvolvido nos últimos anos pela Ericsson AB, Huawei Technologies Co., Ltd, NEC Corporation, Nokia Siemens Networks GmbH & Co. KG e Alcatel-Lucent. A especificação do OBSAI é defendida pela Hyundai, LG Electronics, Nokia, Samsung e ZTE. Por último, a interface ORI é parte do *European Telecommunications Standards Institute (ETSI)* e é construída com base numa especificação já definida, o CPRI. Contudo, são removidas opções e adicionadas funções, principalmente ao nível das camadas superiores (L2), com o objetivo de realizar uma interface totalmente interoperável [ETS14].

A tendência tem sido a adoção do CPRI como interface *standard* entre os equipamentos de rádio. Por sua vez, esta também é suportada pelo C-RAN. Dada a sua relevância no contexto deste trabalho, apresentam-se os pontos-chave do protocolo CPRI de modo a estudar as suas capacidades no transporte de amostras I/Q.

2.4.1 Common Public Radio Interface

A especificação do protocolo CPRI é direcionada às camadas L1 e L2 e define a interação entre o *Radio Equipment Control (REC)* e o *Radio Equipment (RE)*. São distinguidos os fluxos: *User Plane* ou *U-Plane* (dados que transitam entre as estações base e as unidades de rádio); *Synchronization* (dados que transportam sincronização e informação de *timing* entre nós); e *Control & Management* (fluxo de dados de controlo e de gestão do modo de

funcionamento do *link* CPRI). São ainda definidos *Service Access Points* (SAPs) entre cada REC e RE, que são utilizados como pontos de referência em medidas de desempenho. Estes SAPs são denotados como $SAP_{C\&M}$, SAP_S e SAP_{IQ} , como ilustra a figura 2.10.

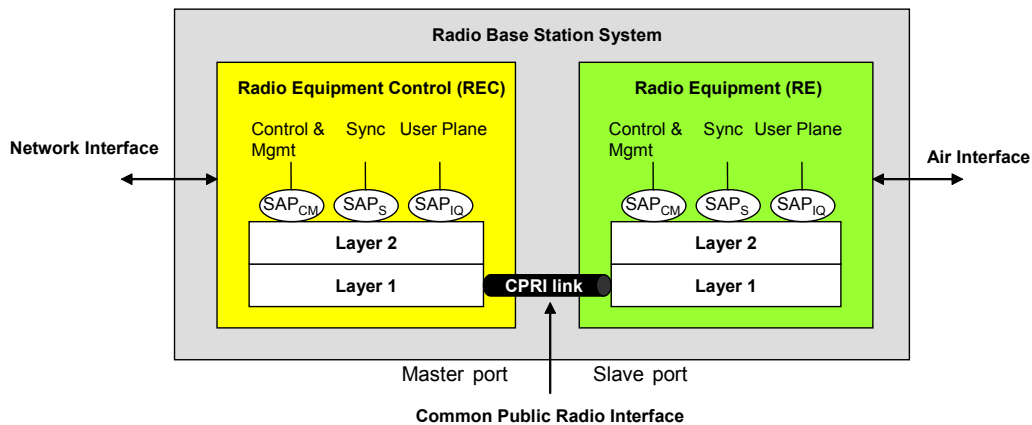


Figura 2.10: Arquitetura da interface CPRI (retirado de [Com13]).

O protocolo define o REC, que deve possuir, pelo menos, uma interface *master* e o RE deve conter, pelo menos, uma porta *slave*. A principal diferença entre os dois modos de operação encontra-se na área da sincronização. No *master*, os *timings* de transmissão são originados localmente. Para o *slave*, os *timings* de transmissão são obtidos a partir da informação recuperada na recepção. Esta informação de sincronização e *timings* dos *frames* é transmitida nos SAPs. O REC é o elemento que realiza a interface com o núcleo da rede (*backhaul*), o *Control & Management* (C&M) da estação base, assim como com o processamento digital do sinal em banda base. O RE proporciona as funções de conversão entre os domínios digital e analógico, de filtragem e de modulação e amplificação de sinal de RF.

Com esta informação, é possível estabelecer-se uma analogia entre as entidades BBU e REC, assim como entre as RRH e RE. Ao longo deste documento, mantém-se presente esta relação. Porém, da especificação do CPRI podem-se retirar outras definições tais como as que se apresentam nas subsecções seguintes.

Camadas Protocolares

A informação de tráfego *U-Plane* é transmitida na forma de dados I/Q. Os dados I/Q de diferentes *Antenna-carrier* (AxC) são multiplexados por um método de TDM para o domínio elétrico/ótico. Os dados de C&M são enviados por protocolos da L2, como o *High-level Data Link Control* (HDLC) (*slow C&M*) ou *Ethernet* (*fast C&M*), e multiplexados com o fluxo de dados I/Q, com o fluxo de sincronização e com a informação reservada ao fabricante ou *Vendor Specific*. As informações de *frame timing* presentes no fluxo de sincronização devem ser utilizadas pelo RE para a temporização precisa de transmissão e recepção da interface com o meio livre (RF). A figura 2.11, ilustra as camadas protocolares implementadas pelo CPRI.

Camada Física (L1)

Para a transmissão série do frame, o protocolo CPRI prevê a codificação 8B/10B para todas as opções de *line rate*, exceto para a última opção que, por sua vez, utiliza o esquema

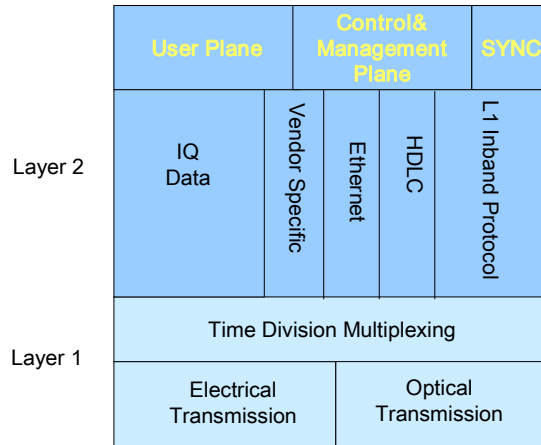


Figura 2.11: Camadas protocolares do CPRI (retirado de [Com13]).

de codificação 64B/66B. Este tipo de codificação acrescenta um *overhead* de 2 bits com o objetivo de melhorar as características do sinal em termos de balanço DC (proporção entre o número de uns e zeros), de recuperação de relógio e de detecção e prevenção de erros. O método de codificação anterior é utilizado em interfaces série de alto débito, porque, no caso ótico, o balanço DC garante que o *duty-cycle* dos *lasers* é mantido nos 50%, otimizando o desempenho. Garante ainda a dissipação de energia e limita o DC *offset*, melhorando os limiares de detecção. Tendo em conta esta codificação, a tabela 2.1 resume as *line rates* suportadas pelo CPRI.

Opção da <i>Line Rate</i> CPRI	<i>Line Rate</i> (Mbit/s)	Dimensão da <i>word</i> (T bits)	Dimensão da <i>word</i> de controlo (T_{CW})	Bits I/Q em cada <i>basic frame</i>
1	614.4	8	$T_{CW} = T$	120
2	1228.8	16		240
3	2457.6	32		480
4	3072.0	40		600
5	4915.2	64		960
6	6144.0	80		1200
7	9830.4	128		1920
8	10137.6	160	$T_{CW} = 128$	2400

Tabela 2.1: *Line rates* permitidas na especificação 6 do CPRI (adaptado de [Com13]).

Note-se que, as *line rates* do CPRI foram selecionadas de forma a que o processo de recuperação do UMTS *chip rate* de 3.84 Mbit/s fosse simplificado.

Estrutura da *Frame*

A duração de um *basic frame* do CPRI é dada por $t_{chip} = 1/f_c = 1/3.84 \text{ MHz} = 260.416667 \text{ ns}$. Um *basic frame* é constituído por 16 *words* com tamanho T bits, sendo a primeira usada para controlo. A dimensão da *word* depende da *line rate* do CPRI, como mostra a tabela 2.1. O diagrama do *basic frame* está representado na figura 2.12.

Por cada *basic frame* são transmitidas S amostras I/Q. Um *hyper frame* é formado por um conjunto de 256 *basic frames*. Portanto, em cada *hyper frame* são transmitidas 256 palavras de controlo (X) que estão organizadas em grupos de 4, constituindo 64 subcanais (N_S), sendo que o índice de cada palavra dentro de cada subcanal é representado por X_S . O objetivo destes subcanais é o transporte de diversos fluxos de informação como o *slow C&M*, o *fast C&M*, o *Vendor Specific*, a sincronização, entre outros. Por fim, a duração de uma *frame* CPRI é de 10 ms e é constituída por 150 *hyper frames* [Com13].

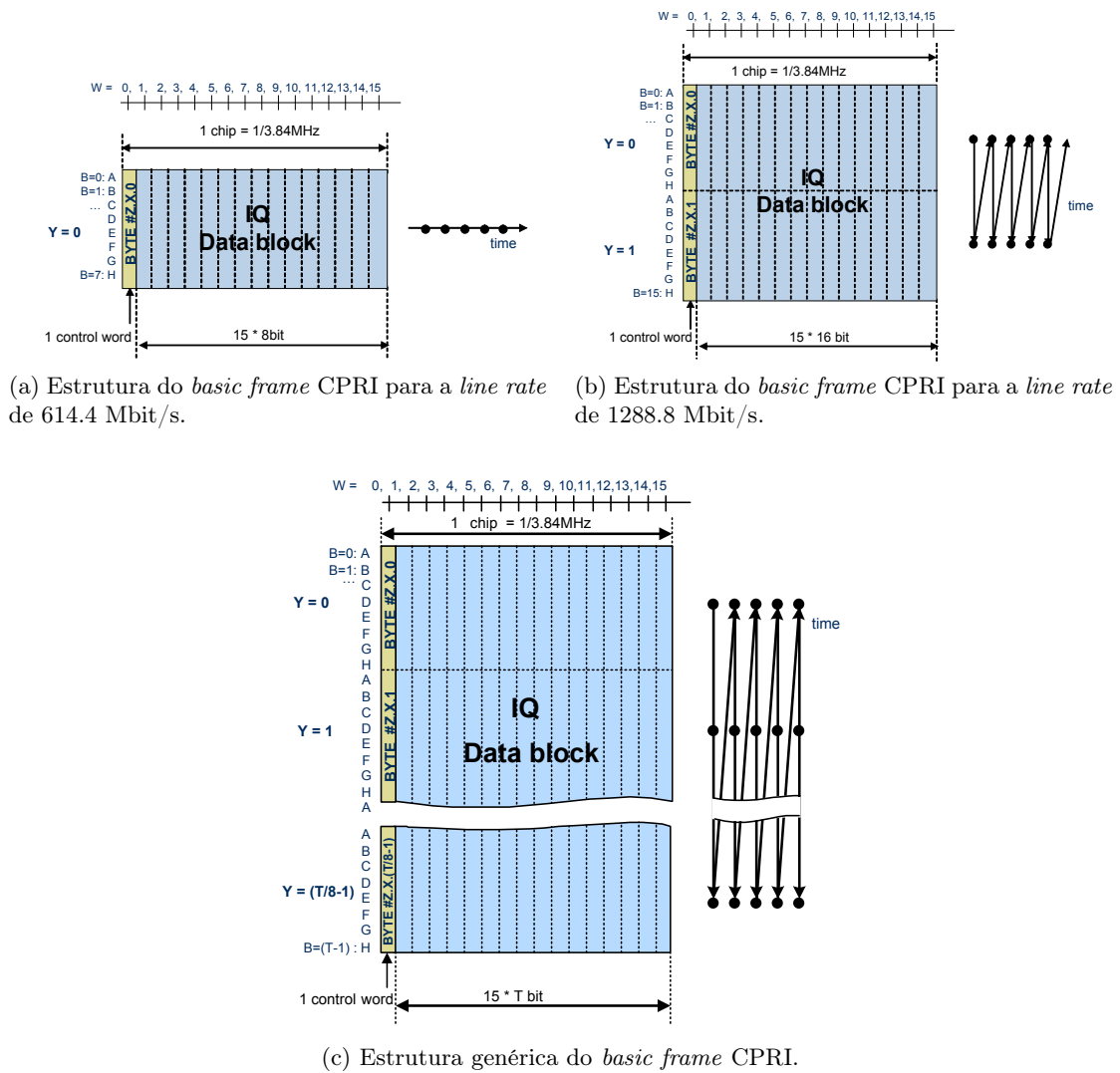


Figura 2.12: Estrutura do *basic frame* CPRI (retirado de [Com13]).

Fluxo de Dados I/Q

Relativamente ao fluxo de dados I/Q, ou de utilizador, a capacidade da ligação é definida em termos de AxC. Um AxC é a quantidade de dados digitais em banda base (I/Q) necessários tanto para a receção como para a transmissão de apenas uma portadora por cada antena. Os

AxC *Containers* são alocados no I/Q *data block* do *basic frame*. Um AxC *Container* para o *Universal Terrestrial Radio Access* (UTRA) no modo *Frequency Division Duplex* (FDD) contém as amostras I/Q de um AxC com a duração de um t_{chip} UMTS. Considerando o *Evolved UMTS Terrestrial Radio Access* (E-UTRA), este contém amostras I/Q para um ou mais períodos t_{chip} ou bits de amostras I/Q e, por vezes, também *stuffing* bits.

Segundo o ponto 4.2.7.2.3 da especificação, os AxC *Containers* podem ser mapeados num *basic frame* de duas maneiras distintas. Nesse mesmo documento, encontram-se descritos, nas secções 4.2.7.2.5 a 4.2.7.2.8, os métodos de mapeamento das amostras I/Q. O método de mapeamento 1, ou I/Q *sample base*, destina-se a otimizar a transferência de dados I/Q e a garantir latências reduzidas tendo em conta o processamento de dados I/Q realizado no RE.

Para este método de mapeamento, o tamanho do AxC *Container*, N_{AxC} , deve ser escolhido de acordo com a equação 2.1.

$$N_{AxC} = 2 \cdot \text{ceil} \left(\frac{M \cdot f_s}{f_c} \right) \quad (2.1)$$

A função *ceil* devolve o menor número inteiro maior ou igual ao valor do argumento; M corresponde à dimensão em bits da amostra I ou Q para o *downlink*; no *uplink*, deve utilizar-se M' . Os valores de f_s e f_c referem-se à frequência de amostragem e à frequência de *chip* ($f_c = 3.84 \text{ MHz}$). Para este modo de mapeamento, o valor de S e K deve satisfazer a equação 2.2.

$$\frac{S}{f_s} = \frac{K}{f_c} \quad (2.2)$$

Onde S representa o número de pares de amostras I/Q e o K a duração em *basic frames* do AxC *Container*. Estes parâmetros são calculados pelas equações 2.3 e 2.4, respetivamente.

$$S = \frac{\text{LCM}(f_s, f_c)}{f_c} \quad (2.3)$$

$$K = \frac{\text{LCM}(f_s, f_c)}{f_s} \quad (2.4)$$

Onde *LCM* realiza a operação do mínimo múltiplo comum. Assim, cada AxC *Container* é constituído por $N_{ST} = K \cdot N_{AxC} - 2 \cdot M \cdot S$ de *stuffing* bits e por S amostras I/Q. Os *stuffing* bits são especificados pelo fabricante.

A frequência de amostragem f_s é um parâmetro que está diretamente relacionado com a largura de banda do canal. A tabela 3.3 apresenta a relação entre a largura de banda do canal e a frequência de amostragem para o E-UTRA.

Configurações Suportadas

A ligação entre o REC e o RE pode ser realizada de diversas maneiras. Uma primeira abordagem é o uso de múltiplos *links* CPRI para aumentar a capacidade do sistema, conforme necessário, na presença de múltiplas antenas e portadoras. Porém, é essencial garantir que um determinado fluxo de dados I/Q, de uma dada antena e portadora, seja transportado por um único *link*. O CPRI assegura a ligação de múltiplos REs a um determinado REC e, por outro lado, um RE pode ser servido por múltiplos RECs numa topologia em estrela. O CPRI garante ainda o suporte para as topologias em cadeia, árvore e anel [Com13].

2.5 Unidade de rádio remota (RRH)

Em sistemas de rádio, o *front end* é responsável pela conversão entre o domínio RF e o domínio banda base. Para um recetor, pode ser entendido como o elemento que recebe e processa o sinal modulado recebido na antena e que o disponibiliza à unidade de processamento, em formato digital, com uma determinada largura de banda, frequência central e taxa de amostragem. Consequentemente, as funcionalidades do *front end* derivam da conversão do canal RF de interesse para banda base e a respetiva filtragem (*channelization*), digitalização, conversão de ritmos de amostragem e sincronização (estimação/correção de erros de tempo, frequência e fase). As considerações anteriores são válidas para o recetor e para o transmissor rádio [HF02].

De acordo com as diferentes arquiteturas, presentes na subsecção 2.6.1, alguns dos procedimentos de *channelization* podem ser realizados no domínio analógico e outros no domínio digital. Deste modo, as funcionalidades do *front end* podem ser repartidas entre o *Analog Front End* (AFE) e o *Digital Front End* (DFE), como mostra a figura 2.13.

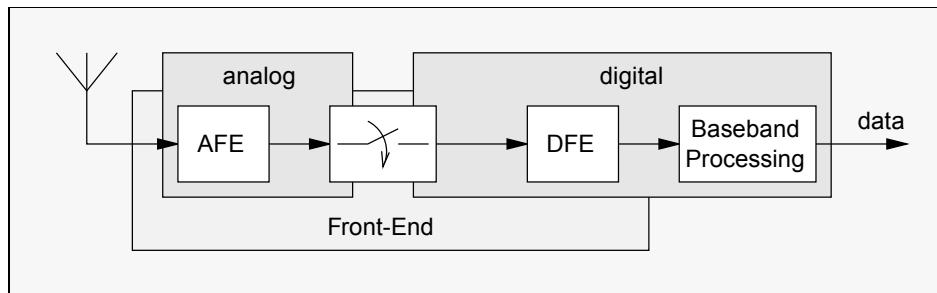


Figura 2.13: Elementos de um *front end* para um recetor digital (retirado de [HF02]).

Na perspetiva de SDR, pretende-se diminuir a componente analógica, colocando o módulo de conversão analógico-digital o mais próximo possível da antena. Daqui resulta uma maior complexidade para o DFE, dado que este deve suportar algoritmos de processamento digital de sinal, entre os quais, o *Digital Up Conversion* (DUC), o *Digital Down Conversion* (DDC), o *Crest Factor Reduction* (CFR) e o *Digital Pre-Distortion* (DPD).

Atualmente, apenas uma pequena fração da potência DC consumida pela estação base é convertida em energia radiada. A eficiência a que um *Power Amplifier* (PA) pode operar é função do tipo de sinal transmitido. Os sinais LTE possuem um elevado *Peak-to-Average Power Ratio* (PAPR) ou *Crest Factor*. Estes efeitos, por sua vez, impõem restrições significativas ao nível de operação de um PA. Para lidar com estes picos, o ponto de operação mais eficiente do amplificador é *backed off*. Para aumentar a eficiência, podem-se utilizar algoritmos de CFR para diminuir o PAPR do sinal transmitido antes de este entrar no amplificador de potência. Ao fazê-lo, o PA pode operar com menor *back off* de potência e, assim, com maior eficiência.

Outro método para melhorar a eficiência dos PAs é utilizar o DPD. Em vez de se usar, como no CFR, o processamento digital de sinal para diminuir a gama dinâmica do sinal a transmitir, usa-se o DPD para linearizar o amplificador de potência.

Face ao exposto, são necessários dispositivos dedicados como os *Digital Signal Processors* (DSPs) ou sistemas reconfiguráveis como as FPGAs. Estas exibem certas vantagens como o processamento paralelo, a existência de multiplicadores embutidos e o *hardware* escalável e parametrizável que é possível desenvolver conjuntamente com blocos otimizados para

determinadas aplicações.

Relativamente ao AFE, este é constituído por blocos de conversão analógico-digital e digital-analógico que são responsáveis pela conversão do sinal entre diferentes domínios. Adicionalmente, este módulo comporta ainda um andar de amplificação e um RF *duplexer*. Este último tem a função de separar os sinais dos fluxos de informação de *downlink* e *uplink*.

2.6 Software Defined Radio

O conceito de rádio definido por *software* foi introduzido por Joseph Mitola em 1995 [Mit95]. No seu trabalho, ele propôs a criação de um rádio totalmente reconfigurável por *software*, permitindo o ajuste de alguns parâmetros de forma flexível. O conceito ideal de uma arquitetura baseada num sistema SDR é ilustrado na figura 2.14.

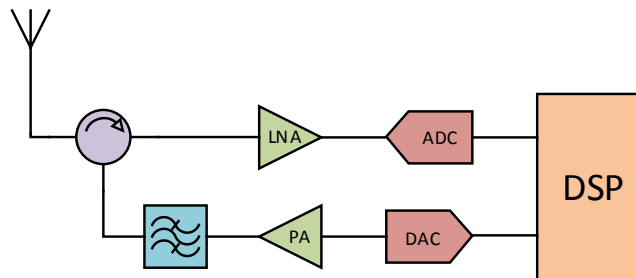


Figura 2.14: Esquema representativo da arquitetura de SDR ideal.

Com o conceito de SDR criou-se uma nova tecnologia de implementação de sistemas de comunicação que procura melhorar a interoperabilidade entre diferentes redes de acesso móveis, sistemas e dispositivos. Consequentemente, algumas das limitações em termos de flexibilidade, típicas nos equipamentos de rádio tradicionais, foram minoradas, reduzindo-se os custos dos componentes e, por conseguinte, dos equipamentos. Em alternativa, um sistema SDR pode ser considerado como um sistema cujos parâmetros de funcionalidade e operação como a potência de saída, a frequência, a tecnologia de acesso rádio (incluindo técnicas de modulação, segurança e características de desempenho) são implementados em *software* e correm sobre plataformas de *software* ou *hardware* reconfiguráveis. Desta forma, é possível projetar equipamentos de comunicação com suporte multi-modo e multi-banda que podem ser reconfigurados, melhorados e atualizados, com/mediante alterações ao *software* e/ou reconfigurações de *hardware* [Luo11].

Num rádio definido por *software*, parte das funções da camada física são implementadas por processamento digital de sinal em dispositivos reconfiguráveis tais como FPGAs, DSPs ou GPPs. No domínio analógico, permanecem elementos como o PA e o *Low-Noise Amplifier* (LNA) para a amplificação do sinal transmitido e do recebido, respetivamente. A digitalização do sinal analógico recebido é concretizada com uma *Analog to Digital Converter* (ADC) e para converter o sinal digital a transmitir recorre-se a um *Digital to Analog Converter* (DAC).

2.6.1 Arquiteturas em SDR

O *front end* realiza a conversão de sinal digital em sinal analógico no sentido da transmissão e o oposto, no caso da receção. Tendo como extremos o bloco de processamento digital de sinal

(DSP) e a(s) antena(s), são possíveis diferentes configurações para sistemas SDR, as quais se apresentarão de seguida. Estas são válidas para os recetores digitais ou transmissores digitais, aplicando-se os mesmos princípios de funcionamento e características técnicas.

2.6.1.1 Digitalização em Banda Base

A primeira configuração (figura 2.15) é conhecida como um recetor super-heteródino. O correspondente num *front end* SDR tem a ADC posicionada no andar de banda base.

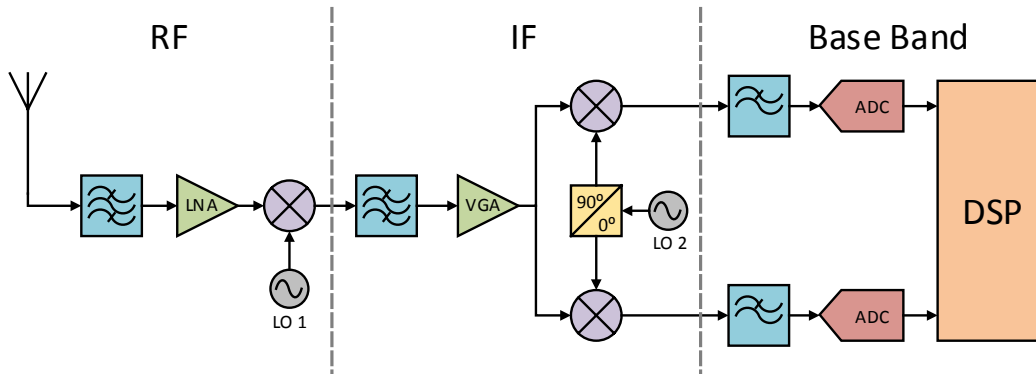


Figura 2.15: Arquitetura de um recetor com digitalização em banda base.

Como o sinal em banda base é um sinal com uma frequência reduzida, os requisitos de largura de banda da ADC são minimizados, mesmo para frequências RF elevadas, e a conversão de *Intermediate Frequency* (IF) é por vezes feita utilizando-se um desmodulador I/Q, como mostra a figura 2.15. Contudo, alguns problemas são inerentes a este tipo de arquitetura como as frequências imagem, as características de banda estreita e o elevado número de componentes usados. Estes problemas fazem com que esta configuração não seja apropriada para recetores SDR.

Para resolver o problema das frequências imagem, como nos recetores convencionais, pode recorrer-se a uma topologia homódina, como mostra a figura 2.16. Esta arquitetura pode ser realizada removendo o andar de IF do recetor super-heteródino e ajustando a frequência do oscilador 1 para a mesma frequência do sinal RF, o que resulta numa conversão direta para banda base. Com esta configuração obtêm-se outras vantagens, entre as quais, a redução do número de componentes utilizados e a maximização da largura de banda. Embora, como nos recetores convencionais, surja outro tipo de problemas. Por exemplo, a conversão direta para banda base vai impor a necessidade de um oscilador local melhor e pode surgir o *offset* DC.

2.6.1.2 Digitalização em IF

De forma a reduzir o número de componentes e ao mesmo tempo prevenir os problemas do recetor homódino, a cadeia do recetor pode ser reorganizada. Em vez de se converter o sinal RF diretamente para banda base, este pode ser primeiro convertido para IF e depois digitalizado pela ADC. Este método torna o projeto do oscilador local menos problemático. Porém, o problema das frequências imagem surge novamente, o que faz com que a complexidade do filtro de rejeição de imagem aumente, podendo limitar a largura de banda do recetor se a frequência IF for baixa. Contudo, esta arquitetura pode ser utilizada com uma IF elevada, mesmo com uma ADC cuja frequência de amostragem seja inferior à IF. Isto é possível devido

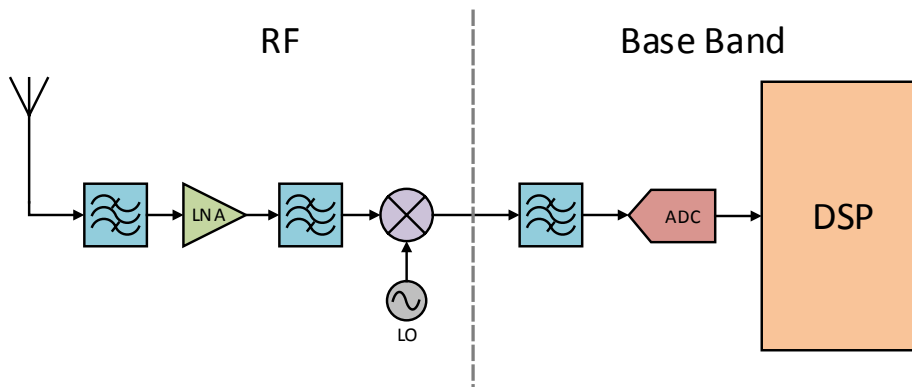


Figura 2.16: Esquema de um recetor homodino.

à natureza do processo de amostragem e suas características, que podem ser úteis para realizar *bandpass sampling* [CCR10]. Para se entender corretamente este conceito, na subsecção 2.6.2, explica-se de uma forma resumida o processo de amostragem.

A arquitetura desta abordagem, de digitalização em IF, é ilustrada na figura 2.17, onde o filtro do andar de IF é o filtro de *anti-aliasing* que tem de assegurar que, após a digitalização, não há sobreposição na primeira zona de Nyquist. Com este recetor, o número de operações no domínio digital aumenta e o número de componentes analógicos diminui.

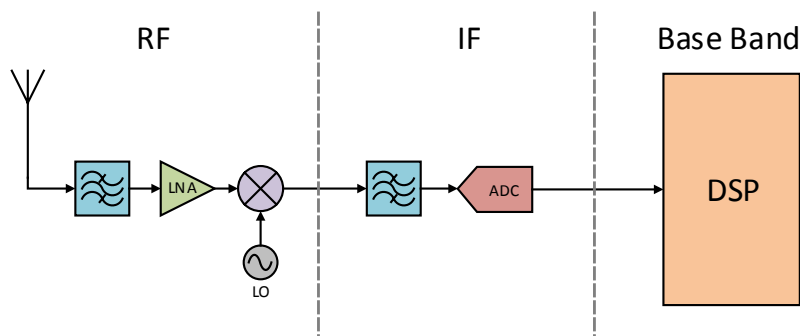


Figura 2.17: Arquitetura de um recetor com digitalização em IF.

2.6.1.3 Digitalização em RF

Por último, encontra-se a abordagem considerada ideal. Mais uma vez, faz-se o uso das propriedades do método de *bandpass sampling* para fazer a *down-conversion* do sinal RF para banda base. A diferença da arquitetura ideal para esta é a presença de um filtro *anti-aliasing*, como mostra a figura 2.18. Neste caso, é usado o mínimo de componentes fixos possível e toda a conversão para banda base é feita exclusivamente no domínio digital. Porém, ao contrário do recetor por digitalização em IF, este apresenta limitações ao nível dos módulos DAC e ADC, pois, para operar corretamente, estes têm de possuir, entre outros, elevada frequência de amostragem e largura de banda, o que pode levar a uma implementação com elevado custo [CCR10].

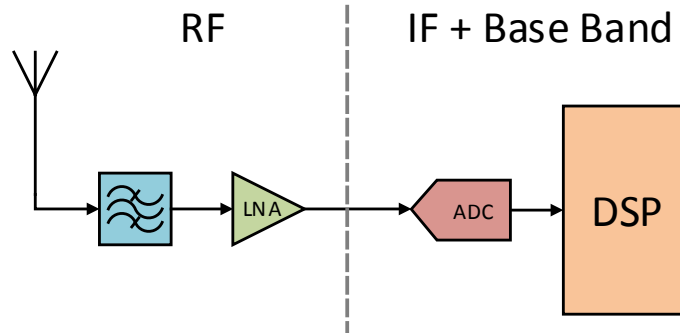


Figura 2.18: Arquitetura de um receptor com digitalização em RF.

2.6.2 Conceito de Amostragem

O processo de amostragem a uma frequência f_s pode ser descrito matematicamente como o produto de um sinal contínuo $x(t)$ com um trem de impulsos $p(t)$ com período $T_s = 1/f_s$, obtendo-se $x_s(t)$, dado pela equação 2.5.

$$x_s(t) = x(t)p(t) = \sum_{n=-\infty}^{+\infty} x(t)\delta(t - nT_s) \quad (2.5)$$

A equação 2.6 expressa a transformada de Fourier do sinal amostrado resultante $x_s(t)$. Desta expressão resulta que, no domínio da frequência, o sinal amostrado vai ser constituído por uma sequência de réplicas do sinal original espaçadas de f_s .

$$X_s(f) = F_s \sum_{k=-\infty}^{+\infty} X(f - kF_s) \quad (2.6)$$

Estas réplicas estão localizadas em zonas vizinhas do espetro, denominadas de zonas de Nyquist e que se encontram separadas de $f_s/2$. O conteúdo espectral de cada uma das réplicas assume a versão espelhada do conteúdo presente nas zonas contíguas. Por este motivo, surge o Teorema de Nyquist, que refere que a frequência de amostragem mínima de modo a efetuar-se a recuperação completa de um sinal terá de ser igual ou superior a duas vezes a frequência máxima do sinal original. Dito de outra forma, o sinal a amostrar deverá ser limitado em largura de banda por metade da frequência de amostragem ($f_s/2$). Caso estas condições não se cumpram, surge o fenómeno de sobreposição (*aliasing*), degradando-se o sinal original.

No entanto, demonstra-se que é possível amostrar um sinal com uma frequência máxima de $f_s/2$, desde que a sua largura de banda não exceda $f_s/2$. Isto resulta do facto de o método de amostragem introduzir uma periodicidade de f_s no sinal resultante. Ao amostrar um sinal na primeira zona de Nyquist, este será transposto para as zonas seguintes, o mesmo acontecendo para um sinal que seja amostrado na n -ésima zona de Nyquist.

Do resultado do processo pode concluir-se que um sinal, a uma frequência f_c , numa zona de Nyquist ímpar, vai aparecer na primeira zona de Nyquist como uma imagem invertida do sinal original. Por outro lado, se a frequência f_c estiver numa zona de Nyquist par, o mesmo vai surgir na primeira zona como uma réplica não invertida do sinal original. Esta relação

pode ser definida como expresso pela equação 2.7.

$$\text{Se } \text{fix} \left(\frac{f_c}{f_s/2} \right) \text{ é } \begin{cases} \text{par, } & f_{IF} = \text{rem}(f_c, f_s) \\ \text{ímpar, } & f_{IF} = f_s - \text{rem}(f_c, f_s) \end{cases} \quad (2.7)$$

Na figura 2.19 encontra-se ilustrado um exemplo de como o processo de amostragem afeta o sinal amostrado no domínio da frequência.

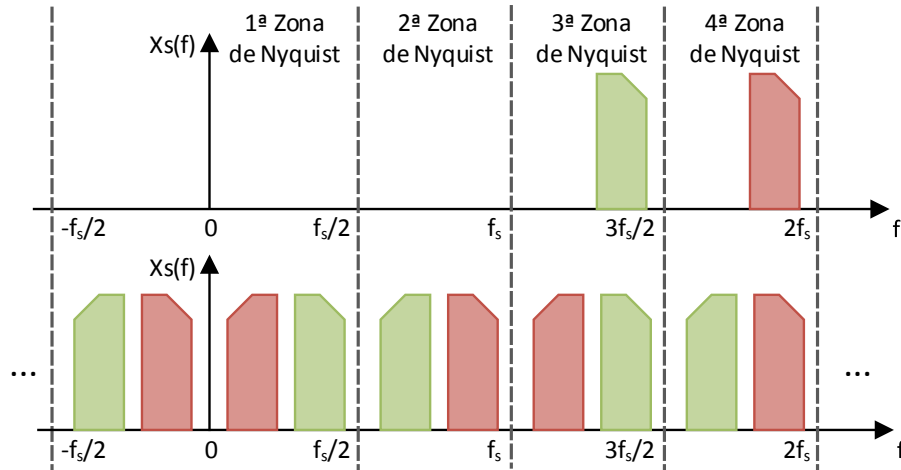


Figura 2.19: Representação espectral do processo de digitalização em banda base (adaptado de [Rib11]).

Como se verifica, sendo possível acomodar todo o espectro das réplicas na primeira zona de Nyquist sem haver sobreposição, o sinal não sofre de *aliasing* e não se degrada, mesmo se toda a largura de banda do sinal original é superior a $f_s/2$. Contudo, a soma de múltiplos sinais não pode exceder $f_s/2$ [CCR10] [Rib11].

Neste capítulo, introduziram-se alguns dos conceitos e aspetos fundamentais das redes celulares atuais, tendo-se dado especial atenção à organização, infraestrutura e interfaces. Explicou-se o conceito de C-RAN, focando os pontos-chave, e assinalaram-se alguns dos desafios relacionados com a sua implementação. Deu-se, ainda, especial atenção ao paradigma do SDR e às respetivas arquiteturas.

Se tivermos em conta as ideias descritas ao longo deste capítulo, é notoriamente perceptível a relevância que os sistemas SDR poderão ter na arquitetura C-RAN. O simples facto de se converter o processamento banda base para uma arquitetura SDR evidencia inúmeras vantagens, das quais poderemos destacar uma maior simplicidade do suporte de múltiplos *standards* de acesso rádio, a flexibilidade na atualização das camadas *software/hardware* e, sobretudo, a potencialidade de aumento da capacidade do sistema.

No próximo capítulo, pretende-se fazer um estudo sobre a tecnologia de acesso rádio LTE.

Capítulo 3

Conceitos LTE

Neste capítulo é resumido o *standard* LTE de forma a perceber as vantagens que traz ao ecossistema das comunicações móveis. Depois de se analisarem os aspetos mais amplos do LTE, faz-se uma descrição da arquitetura da rede, das suas camadas protocolares, dando algum destaque à camada física, bem como aos modos de transmissão usados (FDD e *Time Division Duplex* - TDD). Posteriormente, dá-se algum destaque aos diferentes tipos de modulação usados quer para *downlink* (*Orthogonal Frequency-Division Multiple Access* - OFDMA), quer para *uplink* (*Single-Carrier Frequency-Division Multiple Access* - SC-FDMA). Por último, introduzem-se algumas das mais importantes medidas de qualidade a aplicar no teste de um sistema LTE.

3.1 Introdução

Após a implementação, em larga escala, dos sistemas UMTS de terceira geração ou 3G, baseados em *Wideband Code-Division Multiple Access* (W-CDMA), em Novembro de 2004, o grupo 3GPP começou a trabalhar num projeto que visa a evolução da tecnologia UMTS a longo prazo, de modo a garantir a competitividade do sistema no futuro. As especificações que daí surgiram são formalmente conhecidas como E-UTRA e E-UTRAN, mas são usualmente referidas pelo nome do projeto, LTE. A primeira versão do LTE está documentada na *Release 8* das especificações do 3GPP. Este documento define os requisitos do LTE, onde são incluídas melhorias ao nível das taxas de transmissão (300 Mbit/s *downlink*, 75 Mbit/s *uplink*), da capacidade do sistema, da redução da latência, do aumento da eficiência espectral e do desempenho no limite das células [Agi09].

Além do projeto LTE, o 3GPP trabalhou num projeto complementar conhecido como o *System Architecture Evolution* (SAE), que define a separação entre o LTE e o novo *Evolved Packet Core* (EPC), que é um CN baseado numa rede comutada por pacotes, simplificada, que tem como objetivo oferecer um *throughput* mais elevado, baixo custo e baixa latência. O EPC foi desenhado também para proporcionar interoperabilidade com tecnologias de acesso já existentes. Da combinação do EPC e da *evolved* RAN (E-UTRA mais E-UTRAN) resulta o *Evolved Packet System* (EPS) [Mor08].

3.2 Arquitetura da Rede

Tal como o EPC, a arquitetura da LTE RAN também foi simplificada. A figura 3.1 mostra a rede de acesso E-UTRAN, que contém um novo elemento, o eNB, que fornece à interface rádio E-UTRA os protocolos de ligação com o UE: o *user plane* e o *control plane*, respetivamente.

Uma nova interface X2 liga os eNBs em rede, permitindo a comunicação direta entre eles, eliminando assim a necessidade de encaminhar os dados através de um RNC. O E-UTRAN está ligado ao EPC via uma interface S1 que interliga os eNBs numa relação de “muitos-para-muitos” entre os elementos *Mobility Management Entity* (MME) e *Serving Gateway* (S-GW) [3GP13d].

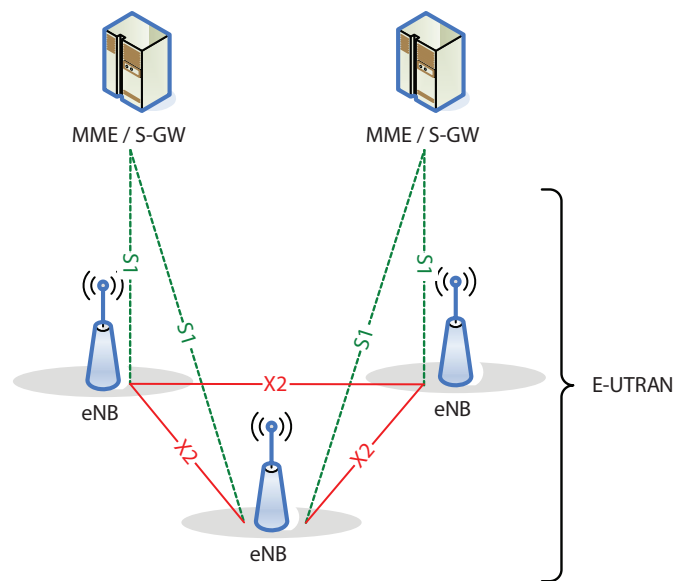


Figura 3.1: Arquitetura LTE com a rede de acesso E-UTRAN (retirado de [3GP13d]).

A figura 3.2 mostra uma divisão funcional entre o E-UTRAN e o EPC no EPS, onde se encontram representadas as camadas protocolares rádio, divididas pelas suas entidades funcionais, *user plane* e *control plane*. As entidades que fazem parte do *user plane* são o *Packet Data Convergence Protocol* (PDCP), o *Radio Link Control* (RLC), o *Medium Access Control* (MAC) e a PHY. O *control plane*, além destas, contém ainda o *Radio Resource Control* (RRC). Estas entidades, por sua vez, estão organizadas numa camada protocolar conhecida como *Access Stratum* (AS).

As principais funcionalidades de cada uma destas camadas protocolares encontram-se sumariadas nos pontos seguintes, onde se destacam apenas as pertencentes ao eNB [3GP14b, 3GP11b, 3GP14a, 3GP14c, STB09, Kha09].

- **Non-Access Stratum** (NAS)

O protocolo NAS, que termina no MME do lado da rede e no UE do lado do terminal, realiza funções de gestão de recursos, autenticação e controlo de segurança.

- **Radio Resource Control** (RRC)

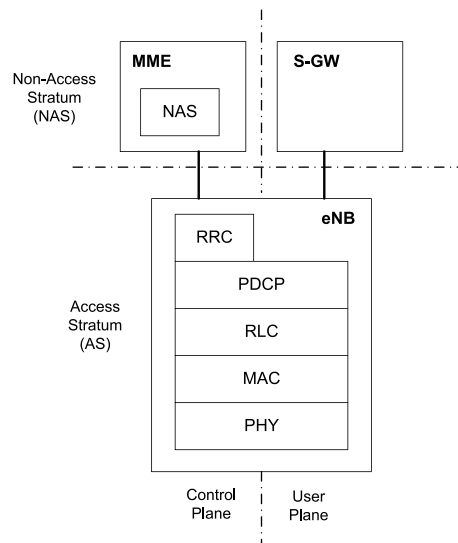


Figura 3.2: Divisão funcional entre o E-UTRAN e o EPC (retirado de [AGER10]).

É de salientar que as funcionalidades tradicionais do RRC estão agora implementadas no eNB. Tem como principais funções o controlo da transmissão de informação do sistema, que inclui informação vinda do NAS. É responsável pelo estabelecimento, modificação e libertação de ligações, paginação, *handovers*, pelo *reporting* de medidas e controlo dos UEs e pela configuração das camadas protocolares inferiores.

- ***Packet Data Convergence Protocol*** (PDCP)

O PDCP é a camada que assegura o processamento das mensagens do RRC no *control plane* e dos pacotes IP, no *user plane*. Entre as suas principais funcionalidades estão a compressão do cabeçalho dos pacotes IP, reduzindo o *overhead* e assegurando um uso mais eficiente dos canais rádio.

- ***Radio Link Control*** (RLC)

É a camada responsável pela segmentação e junção dos pacotes das camadas superiores de forma a adaptá-los ao tamanho no qual é possível transmitir pela interface rádio. O RLC é também responsável pelo mecanismo de retransmissão *Automatic Repeat Request* (ARQ). Note-se que esta camada é implementada nos eNBs, ao contrário dos sistemas 3G.

- ***Medium Access Control*** (MAC)

Realiza multiplexagem de canais lógicos, vindos da camada superior, em canais de transporte para a camada inferior, como ilustra a figura 3.3. Tem também a função de *scheduling* dos recursos da camada física, tanto no *downlink*, como no *uplink* e implementa ainda o mecanismo de correção de erros HARQ.

- ***Physical Layer*** (PHY)

É nesta camada que é feito o mapeamento dos canais de transporte, vindos da camada MAC, em canais físicos. Como é o último andar de processamento, realiza funções de

correção de erros como o *Forward Error Correction* (FEC), modulação/desmodulação dos canais físicos, mapeamento dos recursos no tempo e frequência, entre outros.

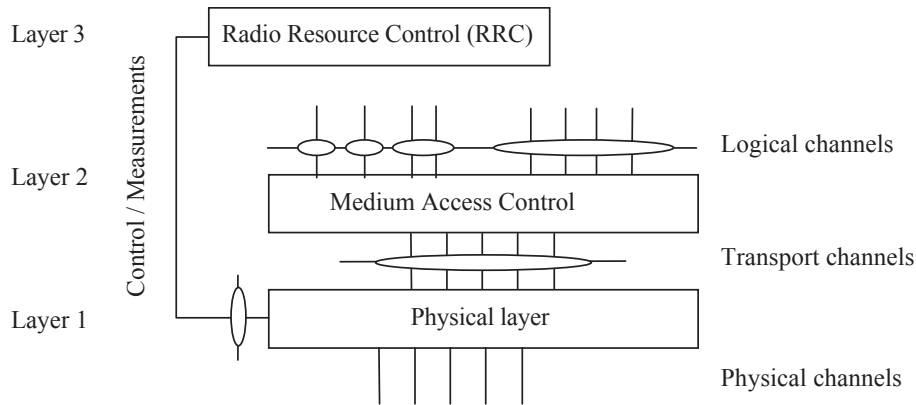


Figura 3.3: Arquitetura da interface rádio, E-UTRA (adaptado de [3GP11a]).

Os canais referidos anteriormente transportam diferentes tipos de informação. Um canal lógico é caracterizado pelo tipo de informação transferida, os canais de transporte dão a conhecer a forma sob a qual e as propriedades com que os dados são transmitidos e, por último, os canais físicos são os recursos tempo e frequência por onde são enviados os dados.

3.3 Camada Física

Nesta secção é explicada a estrutura da camada física, sendo abordados alguns dos aspetos mais importantes. Nomeadamente os esquemas de acesso múltiplo usados no LTE, a estrutura das *frames* rádio, os canais físicos usados e, por último, os sinais de referência e de sincronização.

3.3.1 Esquema de múltiplo acesso no *downlink*: OFDM e OFDMA

No LTE, a transmissão *downlink* e *uplink* é baseada em esquemas de múltiplo acesso, especificamente OFDMA para o *downlink* e SC-FDMA para o *uplink*.

O OFDMA é uma variante do OFDM, um esquema de modulação digital multiportadora, que é muito usado em redes sem fios, mas que é relativamente novo em redes celulares. Ao contrário de se enviar a informação a uma taxa de transmissão elevada numa única portadora, o OFDM faz uso de um número elevado de subportadoras ortogonais e estreitamente espaçadas que são transmitidas em paralelo. Cada subportadora é modulada a uma taxa reduzida, usando um esquema convencional de modulação, como o *Quadrature Phase Shift Keying* (QPSK) ou um *M-ary Quadrature Amplitude Modulation* (M-QAM) de 16 ou 64 conseguindo, por meio da combinação de centenas ou milhares de subportadoras, taxas de transmissão semelhantes às obtidas em sistemas convencionais com uma única portadora na mesma largura de banda.

A figura 3.4 ilustra as principais características de um sinal OFDM na frequência e no tempo. No domínio da frequência, múltiplas subportadoras adjacentes são independentemente moduladas com informação. No domínio do tempo, entre cada símbolo são introduzidos

intervalos de guarda de modo a combater a interferência entre símbolos, ou *Inter-Symbol Interference* (ISI), no recetor, causada pelo *multipath delay spread* (*fading*) dos canais rádio.

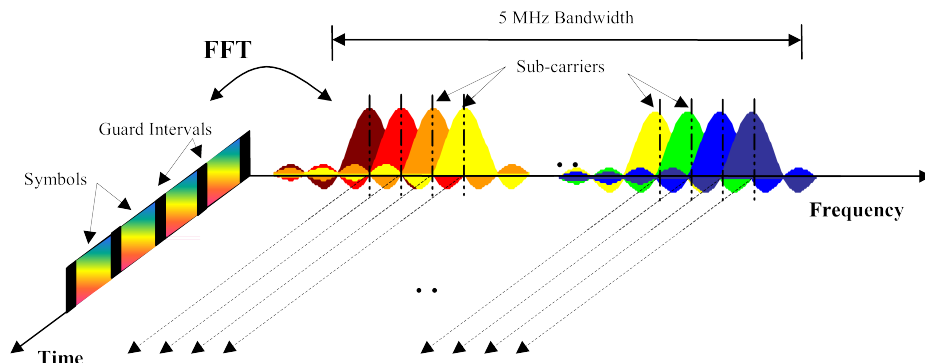


Figura 3.4: Sinal OFDM representado no tempo e frequência (retirado de [Agi09]).

O *delay spread* é a diferença de tempo entre a chegada da primeira e da última componente do sinal *multipath*, tipicamente na ordem de alguns μs , dependendo do tipo de ambiente (por exemplo, *indoor*, rural, suburbano ou centro da cidade). O intervalo de guarda tem que ser escolhido de modo a que seja superior ao máximo *delay spread* esperado. No E-UTRA, a banda de guarda, também conhecida como CP, é inserida no início de cada símbolo OFDM [Roh12].

O OFDMA é simplesmente uma extensão do OFDM usado pelo LTE e outros sistemas, que incorpora elementos do *Time Division Multiple Access* (TDMA) e que leva a um aumento da flexibilidade do sistema por multiplexar múltiplos utilizadores nas mesmas subportadoras, como se pode observar na figura 3.5. Este método pode beneficiar de um *trunking* eficiente de múltiplos utilizadores num canal partilhado, assim como também permitir o *hopping* de utilizadores na frequência para mitigar os efeitos do *fading* de banda estreita [Agi09].

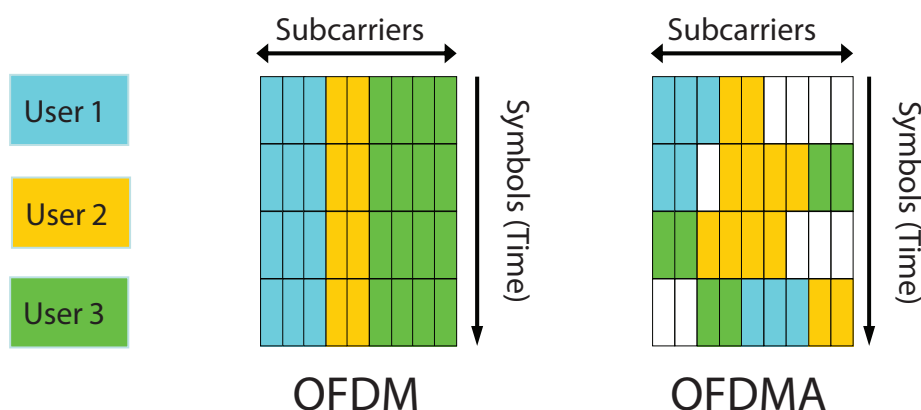


Figura 3.5: Comparação da alocação de subportadoras a múltiplos utilizadores, no OFDM e no OFDMA (retirado de [Agi09]).

Contudo, o OFDM tem duas grandes desvantagens. A primeira é o facto de as subportadoras estarem estreitamente espaçadas, o que faz com que o OFDM seja sensível ao ruído

de fase. Pela mesma razão, o OFDM é também sensível aos efeitos de Doppler, que causam interferência entre subportadoras. A outra grande desvantagem do OFDM é que, à medida que o número de subportadoras aumenta, o compósito dos sinais no domínio do tempo começa a parecer-se com ruído Gaussiano. Este, por sua vez, tem um elevado PAPR que pode causar problemas aos amplificadores e, conseqüentemente, condicionar a bateria dos terminais móveis [Agi08]. Esta foi umas das principais razões que levou o 3GPP a adotar um novo esquema de acesso para o *uplink*, o SC-FDMA. Este novo esquema de acesso é discutido na subsecção 3.3.2.

3.3.2 Esquema de múltiplo acesso no *uplink*: SC-FDMA

Como referido anteriormente, o elevado PAPR associado ao OFDM levou o 3GPP a procurar um novo esquema de transmissão para o *uplink* no LTE. O SC-FDMA foi escolhido porque combina o reduzido PAPR - uma vez que se trata de uma técnica de modulação de portadora única como o GSM e o *Code Division Multiple Access* (CDMA) - com a robustez ao *multipath fading* e a flexibilidade do OFDM na alocação de recursos na frequência.

Na figura 3.6, são visíveis as principais diferenças entre o OFDMA e o SC-FDMA, as quais permitem perceber as diferenças entre estes dois tipos de esquemas de modulação.

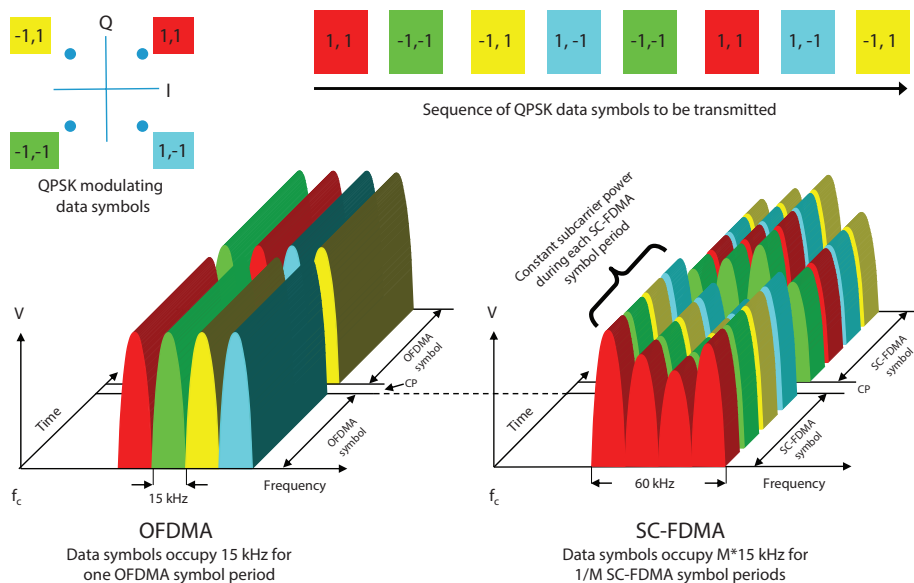


Figura 3.6: Representação no tempo e frequência dos esquemas de modulação OFDMA e SC-FDMA na transmissão de uma série de símbolos QPSK (retirado de [Agi09]).

Num sinal SC-FDMA, cada subportadora contém informação de todos os símbolos modulados a transmitir, uma vez que os dados de entrada são distribuídos pelas subportadoras disponíveis através do bloco da *Discrete Fourier Transform* (DFT), como mostra a figura 3.7. Em contraste, cada subportadora de um sinal OFDMA contém apenas informação relativa a símbolos modulados específicos. Este tipo de distribuição baixa o PAPR comparativamente ao OFDMA, que é usado no *downlink*, mantendo as características no que toca ao *multipath fading*.

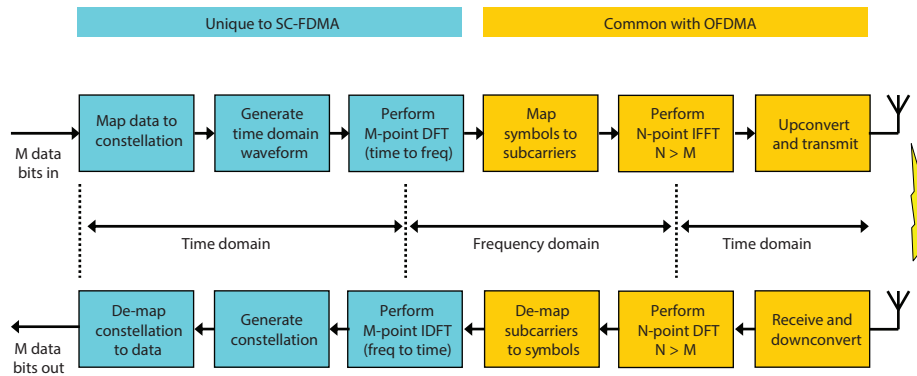


Figura 3.7: Modelo simplificado da cadeia de geração e recepção de sinais LTE (retirado de [Agi09]).

3.3.3 Estrutura da *Frame* Rádio

Embora, no LTE, se usem diferentes esquemas de múltiplo acesso para *downlink* e *uplink*, estes partilham uma estrutura de *frame* comum. No E-UTRA são definidos dois tipos: estrutura do tipo 1 para o modo FDD e a do tipo 2 para o modo TDD. Estes dois tipos são estudados nas subsecções seguintes.

3.3.3.1 *Frame* tipo 1 (FDD)

Cada *frame* rádio tem uma duração de 10 ms e consiste em 10 *subframes* de 1 ms. Cada *subframe* contém dois *slots* de 0.5 ms. Esta informação encontra-se detalhada na figura 3.8. Em FDD, tanto o *downlink* como o *uplink* partilham a mesma estrutura da *frame*, embora operem em diferentes zonas do espetro.

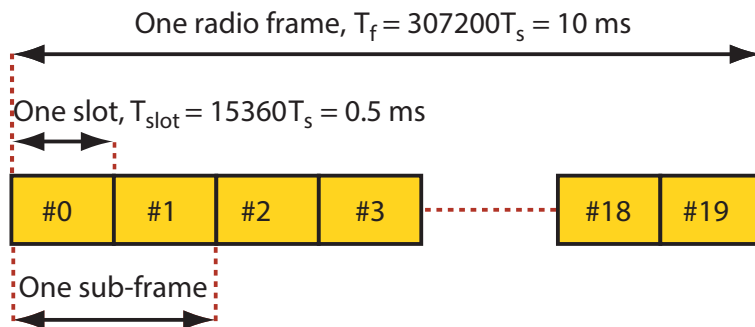


Figura 3.8: Estrutura da *frame* tipo 1 (FDD) (adaptado de [3GP13b]).

O tempo T_S expressa a unidade de tempo básica para o LTE, o que equivale a uma frequência de amostragem de 30.72 MHz, que, por sua vez, corresponde a um sinal com 20 MHz de largura de banda. Esta frequência obtém-se a partir do espaçamento das subportadoras, $\Delta_f = 15$ KHz, e o tamanho máximo da *Fast Fourier Transform* (FFT), para gerar os símbolos OFDM, de 2048 ($f_s = 15$ KHz \times 2048 = 30.72 MHz). Note-se que, apesar da diferença no tamanho da FFT consoante a largura de banda do sinal LTE, que resulta em

diferentes frequências de amostragem, o período de cada símbolo OFDM mantém-se o mesmo para qualquer que seja a largura de banda, pois ele depende apenas do espaçamento entre subportadoras, que é sempre de 15 KHz. A figura 3.9 mostra um exemplo do mapeamento dos símbolos OFDM e do CP numa *frame* rádio.

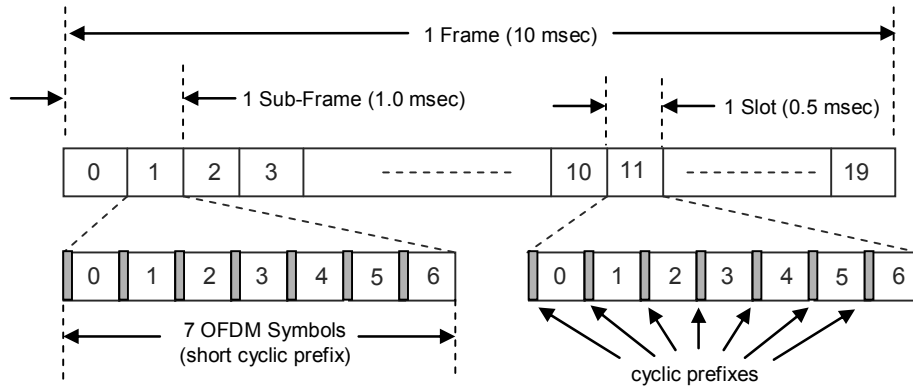


Figura 3.9: Exemplo do mapeamento dos símbolos OFDM e do CP numa *frame* rádio (retirado de [Fre07]).

3.3.3.2 *Frame* tipo 2 (TDD)

A estrutura da *frame* do tipo 2 está definida para o modo TDD. Na figura, 3.10 é mostrado um exemplo desta *frame*. Este exemplo é para uma periodicidade de *switch-point* de 5 ms e consiste em duas *half-frames* com duração de 5 ms cada. Cada *half-frame* contém cinco *subframes* com duração de 1 ms. Podem estar associadas a transmissões *downlink/uplink* ou a *subframes* especiais que contém os *pilot time slots* (*Downlink Pilot Timeslot* - DwPTS e *Uplink Pilot Timeslot* - UpPTS) separados por um intervalo de guarda, ou *Guard Period* (GP). Estes campos são conhecidos do *Time Division-Synchronous Code Division Multiple Access* (TD-SCDMA) e são mantidos no LTE para o modo TDD [Roh12] [3GP13b].

A alocação destas *subframes* é determinada por uma das sete configurações possíveis, presentes na tabela 3.1, onde “D” indica uma *subframe* reservada para uma transmissão *downlink*, “U” indica uma *subframe* reservada para uma transmissão de *uplink* e “S” indica uma *subframe* especial. As *subframes* 0 e 5 estão reservadas para transmissões *downlink* e a 2 para *uplink*. A composição das restantes *subframes* varia dependendo da configuração da *frame*. Para uma configuração *switch-point* de 5 ms, a *subframe* 6 é do tipo especial, como mostra a figura 3.10. Note-se que, sempre que se tem um *switch-point* de 10 ms, existe apenas uma *subframe* especial por *frame*.

3.3.3.3 Parâmetros de Modulação dos Símbolos OFDM e *Cyclic Prefix* (CP)

Um dos aspetos fundamentais dos sistemas OFDM é a capacidade que estes têm de se protegerem contra o *multipath delay spread*. A longa duração dos símbolos OFDM permite introduzir um intervalo de guarda entre cada símbolo por forma a eliminar a ISI resultante do *multipath delay spread*. Se este intervalo é maior que o *delay spread* do canal rádio, e se a cada símbolo OFDM for adicionado um CP, será então possível eliminar completamente a ISI [Agi09].

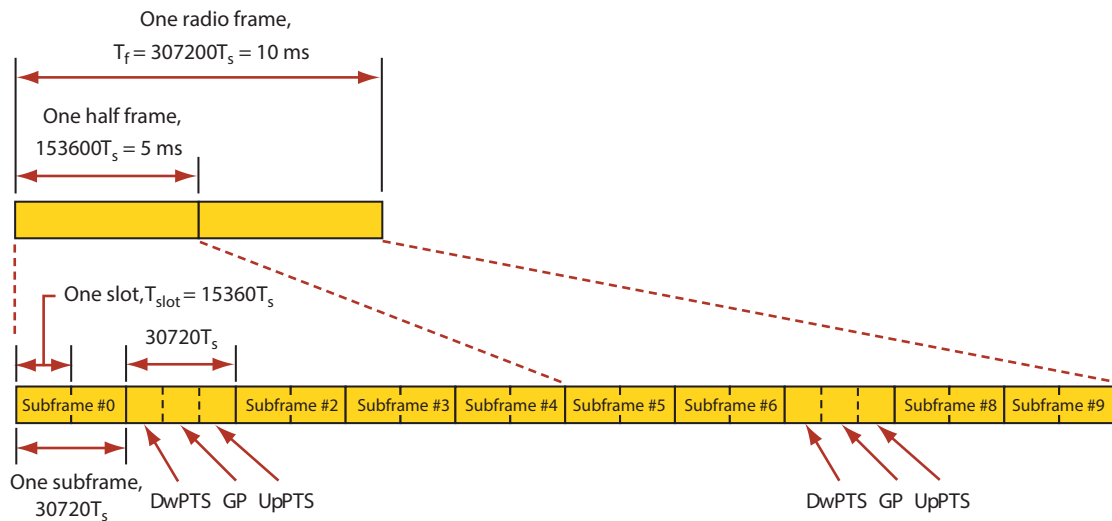


Figura 3.10: Estrutura da *frame* do tipo 2 (TDD) com periodicidade *switch-point* de 5 ms (adaptado de [3GP13b]).

A figura 3.11 mostra um exemplo da estrutura de um *slot* (0.5 ms) onde está representada a alocação dos símbolos OFDM e do CP no domínio do tempo.

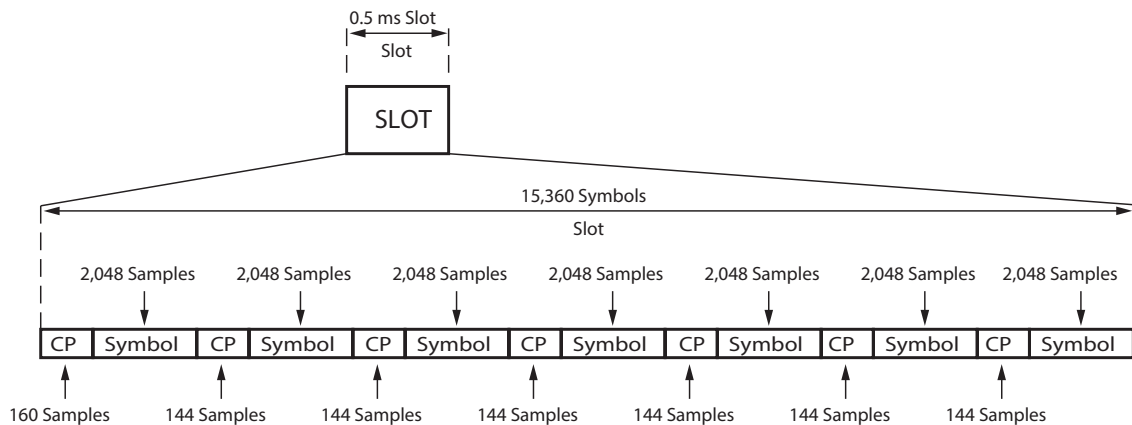


Figura 3.11: Ilustração detalhada de um *time slot* de um sistema LTE com 10 MHz de largura de banda e CP normal.

Um *slot* é composto por 6 ou 7 símbolos OFDM, dependendo do tipo de configuração usada para o CP, longa ou normal, respetivamente. Com um CP longo é possível cobrir células mais largas com maior *delay spread*, mas leva a uma redução do número de símbolos disponível em cada *slot*, como se pode observar na tabela 3.2.

Com uma frequência de amostragem de 30.72 MHz, estão disponíveis 307200 *samples* por *frame* rádio (10 ms) e, assim, 15360 por *time slot* (0.5 ms). Devido ao tamanho máximo da FFT, cada símbolo OFDM contém 2048 *samples*. Usando-se o CP normal, estão disponíveis 7 símbolos OFDM ou $7 \times 2048 = 14336$ *samples* por *time slot*. As restantes 1024 *samples* estão

Configuração <i>Downlink-Uplink</i>	Periodicidade <i>Downlink-Uplink</i> <i>switch-point</i>	Número da <i>Subframe</i>									
		0	1	2	3	4	5	6	7	8	9
0	5 ms	D	S	U	U	U	D	S	U	U	U
1	5 ms	D	S	U	U	D	D	S	U	U	D
2	5 ms	D	S	U	D	D	D	S	U	D	D
3	10 ms	D	S	U	U	U	D	D	D	D	D
4	10 ms	D	S	U	U	D	D	D	D	D	D
5	10 ms	D	S	U	D	D	D	D	D	D	D
6	5 ms	D	S	U	U	U	D	S	U	U	D

Tabela 3.1: Configurações de *Downlink-Uplink* para o modo TDD no LTE (retirado de [3GP13b]).

Configuração	Tamanho do <i>Resource Block</i>	Número de Símbolos	Tamanho do CP em Número de <i>Samples</i>	Tamanho do CP em μs
CP normal $\Delta_f = 15 \text{ KHz}$	12	7	160 para o primeiro símbolo 144 para os restantes	5.2 μs para o primeiro símbolo 4.7 μs para os restantes
CP longo $\Delta_f = 15 \text{ KHz}$	12	6	512	16.7 μs

Tabela 3.2: Parametrização da estrutura da *frame* (FDD e TDD) (retirado de [3GP13b]).

reservadas para o uso do CP. Decidiu-se que o primeiro símbolo OFDM tem um CP de 160 *samples*, enquanto que os restantes símbolos têm apenas 144 *samples*. O período do CP, em μs , obtém-se multiplicando o número de *samples* pelo período de amostragem (T_S). A tabela 3.3 sumaria os parâmetros OFDM para as várias larguras de banda do LTE. Constata-se que, para os sinais de *downlink*, a subportadora DC não é transmitida, mas é contabilizada para o número de subportadoras. Para o *uplink*, a subportadora DC não existe porque todo o espectro é deslocado para baixo, na frequência, por metade do espaçamento das subportadoras e é simétrico relativamente à componente DC.

3.3.3.4 *Resource Element* e *Resource Block* (RB)

Um *resource element* é a unidade mais pequena da camada física que, no domínio do tempo, ocupa apenas um símbolo OFDM ou SC-FDMA e, na frequência, apenas uma subportadora, como mostra a figura 3.12.

O recurso mais pequeno que pode ser alocado para transmitir, tanto no *downlink* como no *uplink*, é conhecido como RB. Um RB é definido por 7 símbolos OFDM consecutivos no domínio do tempo e por 12 subportadoras consecutivas no domínio da frequência, valores que são dados pela tabela 3.2. Assim, um RB é constituído por 7 símbolos \times 12 subportadoras *resource elements*, e corresponde a um *slot* de 0.5 ms no domínio do tempo e a 180 KHz no domínio da frequência ($N_{sub_portadoras} \times \Delta_f = 12 \times 15 \text{ KHz} = 180 \text{ KHz}$). A tabela 3.4 mostra a relação entre a largura de banda dos canais no LTE e o número máximo de RBs suportados.

Largura de Banda (MHz)	1.4	3	5	10	15	20
Espaçamento Subportadora	15 KHz					
Frequência de Amostragem ($f_s = N \times \Delta_f$) (MHz)	1.92 ($1/2 \times 3.84$)	3.84	7.68 (2×3.84)	15.36 (4×3.84)	23.04 (6×3.84)	30.72 (8×3.84)
Tamanho da N_{FFT}	128	256	512	1024	1536	2048
Largura de Banda Ocupada	1.095	2.715	4.515	9.015	13.515	18.015
Subportadoras Ocupadas (<i>Downlink</i>)	73	181	301	601	901	1201
Subportadoras Ocupadas (<i>Uplink</i>)	72	180	300	600	900	1200
Eficiência $BW_{ocupada}/BW_{total} \times 100\%$	90%	90%	90%	90%	90%	90%

Tabela 3.3: Parâmetros de modulação OFDM para o LTE (adaptado de [Hel08]).

Largura de Banda dos Canais (MHz)	1.4	3	5	10	15	20
Largura de Banda Ocupada (MHz)	1.095	2.715	4.515	9.015	13.515	18.015
Largura de Banda de Transmissão em Número de RBs	6	15	25	50	75	100

Tabela 3.4: Relação entre a largura de banda dos canais no LTE e o número máximo de RBs suportados (retirado de [Agi09]).

3.3.4 Canais e Sinais Físicos

No LTE, a interface E-UTRA contém sinais e canais físicos. Os sinais físicos são criados ao nível da camada física (L1) e usados para a sincronização do sistema, identificação da célula e estimação dos canais rádio. Estes sinais estão mapeados em *resource elements* específicos mas não transportam informação com origem nas camadas superiores. Ao contrário, os canais físicos transportam dados das camadas superiores, incluindo o controlo, *scheduling* e *payload* do utilizador.

3.3.4.1 Canais Físicos *Downlink* e *Uplink*

Por cada *subframe* transmitida, o terminal móvel recebe da BS informação das decisões de *scheduling*, incluindo o número de RBs alocados a um determinado utilizador, o tipo de modulação usada, o *coding rate* e o modo de transmissão MIMO usado em cada *subframe*. A fim de facilitar a comunicação entre a BS e o UE, foi definido um *Physical Downlink Control Channel* (PDCCH) por cada *Physical Downlink Shared Channel* (PDSCH). O canal PDSCH transporta os dados de tráfego do utilizador e informação de *paging*. O PDCCH contém decisões de *scheduling* para cada UE com o propósito de receber, equalizar, desmodular e decodificar a informação transmitida. Uma vez que a informação do PDCCH precisa de ser decodificada antes da informação do PDSCH, é necessário garantir que a informação do PDCCH se encontra nos primeiros símbolos OFDM de cada *subframe*. A informação de controlo contida no PDCCH é conhecida como *Downlink Control Information* (DCI). A DCI contém informação relativa à alocação de recursos, ao transporte (tipo de modulação, configuração MIMO, *coding rate*) e aos processos HARQ [Roh12].

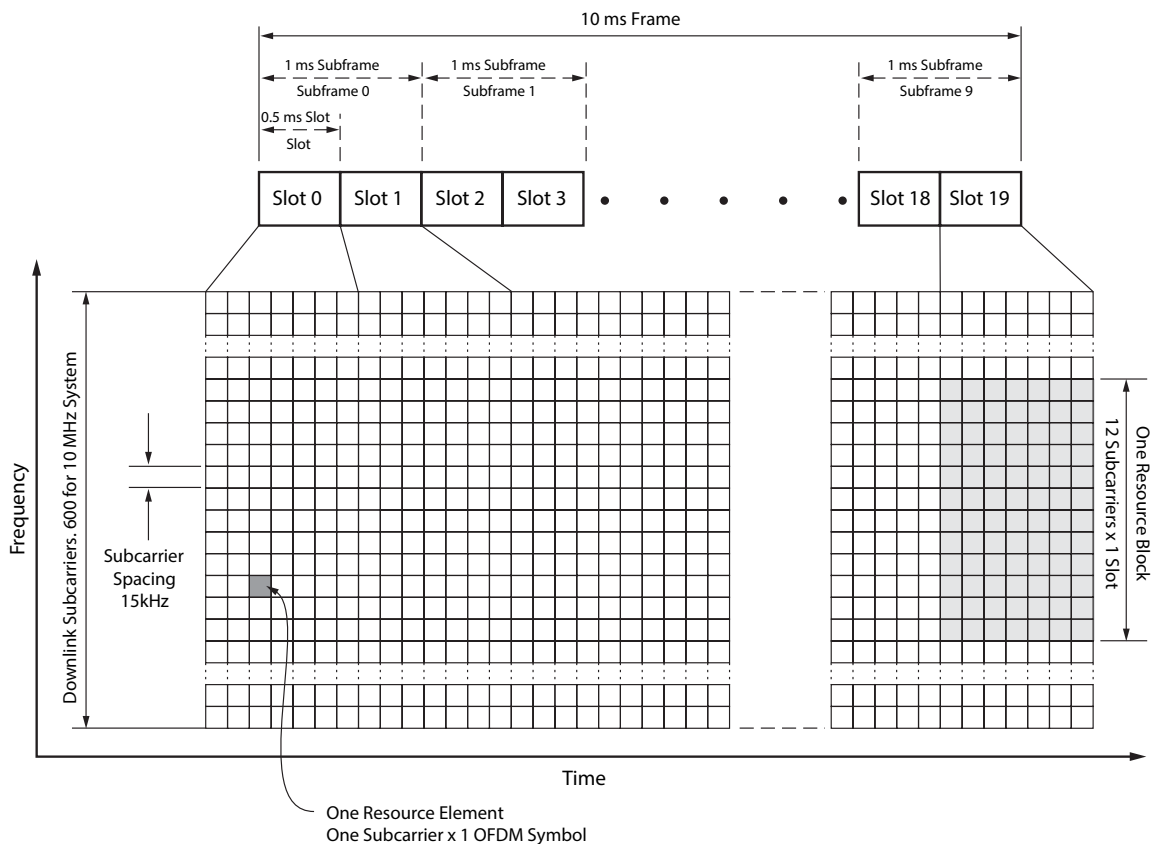


Figura 3.12: Diagrama temporal para um sistema FDD em LTE (retirado de [Xil10]).

O *Physical Control Format Indicator Channel* (PCFICH) é usado para definir o número de símbolos OFDM que a DCI ocupa numa *subframe*. A informação do PCFICH é mapeada no primeiro símbolo OFDM de cada *subframe* em *resource elements* específicos.

Para além dos canais de controlo, PDCCH e PCFICH, o LTE define ainda um outro conhecido como *Physical Hybrid ARQ Indicator Channel* (PHICH). Este contém as mensagens de *acknowledgment* dos pacotes recebidos no *uplink*. Logo após a transmissão *uplink* de um pacote, o UE vai receber, após um tempo pré-determinado, uma mensagem de *acknowledgment* no canal PHICH.

O *Physical Broadcast Channel* (PBCH) transporta o *Master Information Block* (MIB), que contém a largura de banda do sistema e a configuração do PHICH. A largura de banda do sistema é anunciada com base no número de RBs, como se pode inferir na tabela 3.4. Após a correta aquisição do MIB, o UE pode então aceder aos canais de controlo e dados e realizar as operações necessárias para aceder ao sistema [HT09] [STB09].

A figura 3.13 ilustra o mapeamento dos canais e sinais físicos numa *subframe* LTE, no *downlink*.

À semelhança do PDSCH no *downlink*, no *uplink* existe o *Physical Uplink Shared Channel* (PUSCH) que é o canal responsável por transportar os dados do utilizador do terminal móvel para a estação base. É no *Physical Uplink Control Channel* (PUCCH) que é enviada a *Uplink Control Information* (UCI) da qual fazem parte alguns tipos de informação de controlo,

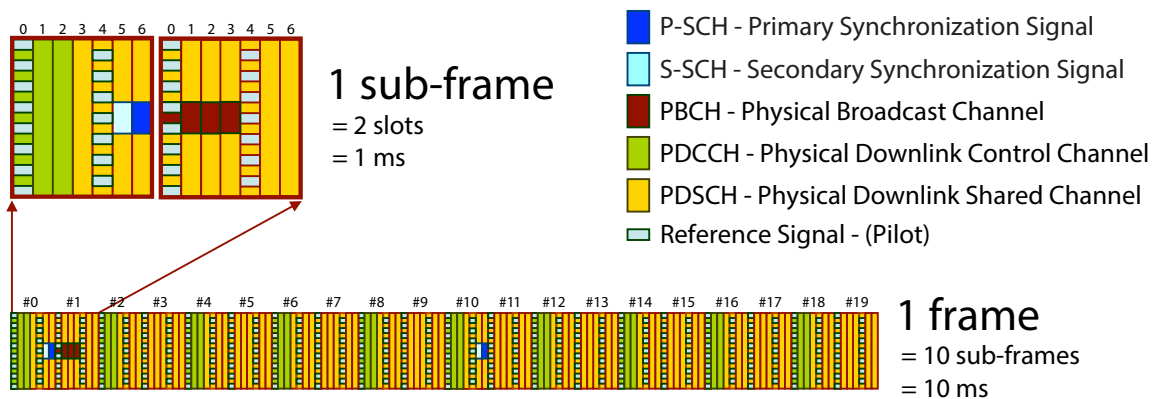


Figura 3.13: Mapeamento dos canais físicos numa *subframe* LTE no *downlink* (retirado de [R⁺13]).

tais como mensagens de ACK/NACK para a transmissão *downlink*, pedidos de *scheduling* e *feedback* com informação do canal de *downlink*, incluindo o *Channel Quality Indicator* (CQI), o *Precoding Matrix Indicator* (PMI) e o *Rank Indicator* (RI). A informação de *feedback* está relacionada com os modos de transmissão MIMO no *downlink*.

De modo a garantir que os esquemas de transmissão MIMO funcionam corretamente, cada terminal tem de implementar medidas de qualidade do canal rádio e reportar as características deste para a estação base (BS). O CQI é um indicador de qualidade do canal rádio medido pelo terminal móvel e, posteriormente, enviado para a BS. Permite ao UE propor à BS um conjunto de esquemas de modulação e de *coding rates* que estejam de acordo com a qualidade do canal rádio. O PMI é, no fundo, uma indicação da matriz de pré-codificação a usar pela BS para um dado canal rádio. O RI sinaliza o número de antenas usadas para transmitir, estimado com base na qualidade do canal e nos efeitos de correlação observados entre antenas adjacentes na receção.

Por fim, o *Physical Random Access Channel* (PRACH) é usado no acesso inicial ao sistema por meio do envio de preâmbulos de acesso aleatório [Kha09].

3.3.4.2 Sinais de Referência

Tanto no *downlink* como no *uplink* existem sinais de referência que são usados pelo recetor para estimar possíveis atenuações de amplitude e fase do sinal recebido. Estas atenuações são uma combinação de erros e imperfeições no sinal transmitido causadas pelas características do canal rádio. Sem o uso destes sinais de referência, os desvios de amplitude e fase do sinal recebido tornariam a sua desmodulação difícil, principalmente em esquemas de modulação elevados, como o 16-QAM ou o 64-QAM, em que um pequeno erro pode comprometer a desmodulação.

Os sinais de referência no *downlink* suportam funcionalidades de estimação do canal necessárias na equalização e desmodulação de controlo e dados. São também usados nas medidas do *Channel-State Information* (CSI) (CQI, PMI e RI). O LTE especifica cinco tipos de sinais de referência para o *downlink*: os *Cell-Specific Reference Signals* (CSR), os *Demodulation/UE-Specific Reference Signals* (DM-RS), os *CSI Reference Signals* (CSI-RS), os *MSBFN Reference Signals* (MBSFN-RS) e, por último, os *Positioning Reference Signals* (PRS).

O CSR é comum a todos os utilizadores de uma célula e é transmitido em todas as *sub-frames* de *downlink*. O DM-RS é destinado à estimação de canal realizada por cada UE. O principal objetivo do CSI-RS é o de mitigar problemas de densidade associados ao uso do CSR nas medidas CSI quando são usadas mais de oito antenas. Os sinais de referência *Multicast/Broadcast over Single Frequency Network* (MBSFN) são utilizados em desmodulação coerente nos serviços de *multicast/broadcast*. Finalmente, os PRS ajudam, como o próprio nome indica, no cálculo do posicionamento de um dado UE [HT09] [STB09].

Existem dois tipos de sinais de referência no *uplink*, os DM-RS e os *Sounding Reference Signals* (SRS). Ambos são baseados nas sequências de Zadoff–Chu [3GP13b]. Estas sequências são também usadas na geração dos *Primary Synchronization Signal* (PSS) e nos preâmbulos *uplink* [3GP13b].

3.3.4.3 Sinais de Sincronização

Além dos sinais de referência, o LTE define ainda sinais de sincronização. Os de *downlink* são usados num conjunto de procedimentos, incluindo a deteção dos limites das *frames*, determinação do número de antenas, procura inicial da célula, procura da célula vizinha e *handover*. No LTE estão definidos dois sinais de sincronização, o PSS e o *Secondary Synchronization Signal* (SSS). Estes sinais estão relacionados com a identificação física da célula. No LTE, existe um total de 504 identificadores para células definidos. Estão organizados em grupos de 168, cada um dos quais contém três identificadores únicos. O PSS transporta o identificador único 0, 1 ou 2, enquanto que o SSS transporta o identificador do grupo com valores entre 0 e 167 [Agi09].

3.4 Esquemas de Modulação no LTE

Os esquemas de modulação do *standard* LTE incluem o QPSK, o 16-QAM e o 64-QAM. A figura 3.14 mostra os diagramas de constelação dos três esquemas de modulação mencionados.

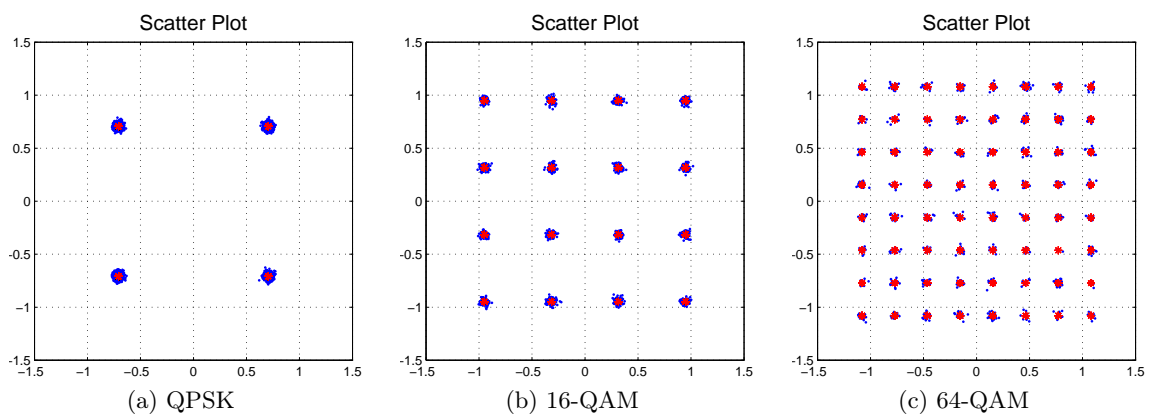


Figura 3.14: Diagramas de constelação dos esquemas de modulação QPSK, 16-QAM e 64-QAM usados no LTE.

No caso da modulação QPSK, cada símbolo modulado pode ter um de quatro valores diferentes, que são mapeados em quatro posições diferentes no diagrama de constelação. Este

tipo de modulação permite codificar 2 bits em cada um dos quatro símbolos. A modulação 16-QAM envolve a utilização de 16 escolhas diferentes de sinalização e, por conseguinte, utiliza 4 bits de informação para codificar cada símbolo. Para o tipo de modulação 64-QAM existem 64 posições diferentes no diagrama de constelação e cada uma das posições requer 6 bits para representar um único símbolo.

No LTE, o esquema de modulação a usar está dependente das condições do canal num determinado instante. Assim, é fundamental que exista mais do que um tipo de modulação. Quando o *Signal to Noise Ratio* (SNR) do canal rádio é elevado, o sistema recorre também a um esquema de modulação mais elevado, como o 64-QAM. Neste caso, o envio de um único símbolo resulta na transmissão de 6 bits, o que leva a um aumento do *throughput*. Contudo, à medida que as características do canal se degradam, a escolha do esquema de modulação recai sobre um cuja separação entre símbolos seja maior, como no caso do QPSK. O que se traduz num menor número de bits por símbolo e, conseqüentemente, numa taxa de transmissão mais baixa.

Os esquemas de modulação permitidos para os sinais e canais no *downlink* e *uplink* estão representados nas tabelas 3.5 e 3.6, respetivamente.

Canais <i>Downlink</i>	Esquema de Modulação
PBCH	QPSK
PDCCH	QPSK
PDSCH	QPSK, 16-QAM, 64-QAM
<i>Physical Multicast Channel</i> (PMCH)	QPSK, 16-QAM, 64-QAM
PCFICH	QPSK
PHICH	<i>Binary Phase Shift Keying</i> (BPSK) modulado em I e Q com fator de espalhamento 2 ou 4 (códigos Walsh)
Sinais Físicos	Esquema de Modulação
<i>Reference Signals</i> (RS)	Sequências pseudo-aleatórias complexas ($I + jQ$) derivadas do ID da célula
PSS	Uma de três sequências de Zadoff-Chu
SSS	BPSK

Tabela 3.5: Esquemas de modulação para o *downlink* no LTE (retirado de [3GP13b]).

Canais <i>Uplink</i>	Esquema de Modulação
PUCCH	BPSK, QPSK
PUSCH	QPSK, 16-QAM, 64-QAM
PRACH	<i>N-ésima</i> raiz Zadoff-Chu
Sinais Físicos	Esquema de Modulação
DM-RS	Zadoff-Chu
SRS	Baseado em sequências Zadoff-Chu

Tabela 3.6: Esquemas de modulação para o *uplink* no LTE (retirado de [3GP13b]).

3.5 Conceitos MIMO em LTE

Um dos objetivos fundamentais de um sistema de comunicações móveis, independentemente da sua arquitetura, é a capacidade de oferecer uma boa cobertura, bem como taxas de transmissão elevadas. Em certa medida, o uso de métodos convencionais, como esquemas de modulação mais elevados (64-QAM) ou formatos de modulação mais complexos como o OFDM, são uma forma, não obstante outro tipo de otimizações fossem possíveis através de técnicas baseadas no uso de múltiplas antenas. Os métodos MIMO podem melhorar as comunicações móveis de duas maneiras diferentes: aumentando, por um lado, de uma forma geral, as taxas de transmissão e, por outro, elevando a fiabilidade do *link* de comunicação. Os algoritmos MIMO usados no LTE podem dividir-se em três categorias: diversidade, *beamforming* e multiplexagem espacial.

Na diversidade e *beamforming*, é transmitida informação redundante por diferentes antenas. Como tal, estes métodos não contribuem, ao nível da camada física, para nenhum ganho em termos de taxa de transmissão, mas tornam o *link* de comunicação mais robusto. A técnica MIMO baseada em multiplexagem espacial consiste na transmissão de informação, não redundante, por diferentes antenas, aumentando de forma substancial a taxa de transmissão oferecida por um dado *link*. Os ganhos alcançados podem ser linearmente proporcionais ao número de antenas usadas na transmissão. De modo a acomodar estas melhorias, o *standard* LTE fornece múltiplos modos de transmissão que suportam até quatro antenas na transmissão *downlink*. Já no LTE-*Advanced* é permitido o uso de até oito antenas para a transmissão *downlink* [HT09] [Roh09].

3.5.1 Diversidade

O termo diversidade significa que a mesma informação pode ser transmitida por diferentes percursos, podendo ser obtida no espaço, tempo e frequência. O objetivo principal do conceito de diversidade é o envio da mesma informação através de diferentes percursos sujeitos a *fading* e, depois, combinar a informação recebida de cada um dos percursos de modo a mitigar os efeitos do *fading*.

A diversidade no tempo consiste no envio da mesma informação em diferentes períodos de tempo, separados por intervalos maiores do que o tempo de coerência (tempo no qual a resposta do canal é considerada constante). A grande desvantagem é o facto de não serem possíveis taxas de transmissão elevadas devido à repetição da informação. Por outro lado, a diversidade na frequência permite a transmissão do mesmo sinal de banda estreita em diferentes portadoras separadas de uma banda de coerência. Porém, este tipo de diversidade requer o uso de uma maior largura de banda.

3.5.1.1 Diversidade no Recetor

Este tipo de diversidade é muitas vezes usado no *uplink* por ser uma configuração simples e comum, na qual a BS utiliza várias antenas para receber múltiplas cópias do sinal transmitido. Estes sinais possuem desfasamentos de fase, que podem ser removidos por estimação do canal de cada antena. A BS pode, de seguida, somar os sinais em fase sem o risco de existir interferência destrutiva entre eles.

Neste tipo de diversidade, o algoritmo mais usado é conhecido como *Maximum Ratio Combining* (MRC) e é usado no modo 1 de transmissão no LTE, que se baseia na transmissão

numa única antena. Este modo é também conhecido como *Single Input Single Output* (SISO), em que apenas uma única antena é implementada ou *Single Input Multiple Output* (SIMO), em que múltiplas antenas são usadas. Dois tipos de métodos de combinação muitas vezes usados no recetor são o MRC e o *Selection Combining* (SC) [DPS13]. No MRC, os sinais recebidos são combinados, fazendo-se uma média entre eles, de modo a encontrar-se uma estimativa do sinal transmitido. No SC, apenas o sinal recebido com maior SNR é usado na estimativa do sinal transmitido.

O MRC é particularmente adequado em técnicas MIMO quando, num canal sujeito a *fading*, o número de sinais interferentes é elevado e estes apresentam um SNR relativamente parecido (*flat-fading*). Na prática, a maior parte dos canais de banda larga, como especificados no LTE, estão sujeitos a dispersão no tempo, o que leva à seletividade na frequência. Para combater estes efeitos é necessário recorrer à equalização linear no domínio da frequência de modo a tornar o método mais eficaz. As técnicas MIMO que lidam melhor com este tipo de degradação são discutidas de seguida.

3.5.1.2 Diversidade no Transmissor

A diversidade no transmissor recorre a múltiplas antenas no lado do transmissor, de modo a introduzir diversidade ao transmitir versões idênticas do mesmo sinal por múltiplas antenas. Este tipo de técnica é referido como *Space-Time Block Coding* (STBC). Neste tipo de modulação, os símbolos são mapeados no domínio do tempo e espaço (antena) de forma a obter diversidade.

O *Space-Frequency Block Coding* (SFBC) é uma técnica parecida com o STBC, que é usada no LTE para garantir diversidade no transmissor. A principal diferença entre as duas é que, no SFBC, a codificação é feita no domínio do espaço e frequência, em vez de no domínio do espaço e tempo, como no STBC. No LTE, o segundo modo de transmissão baseia-se neste tipo de diversidade. Tanto o SFBC como o *Frequency-Switched Transmit Diversity* (FSTD) são usados na transmissão, respetivamente, por duas e quatro antenas. A diversidade no transmissor contribui, desse modo, para a qualidade do *link*, atenuando os efeitos do *fading* [HT09].

Outros modos MIMO, especificamente a multiplexagem espacial, contribuem diretamente para o aumento das taxas de transmissão no LTE.

3.5.1.3 Multiplexagem Espacial

A multiplexagem espacial baseia-se no envio simultâneo de diferentes fluxos independentes de dados por cada antena transmissora. O uso da multiplexagem permite o aumento da taxa de transmissão proporcional ao número de antenas. Assim, no mesmo período de tempo e nas mesmas subportadoras, são transmitidos diferentes símbolos modulados a partir de diferentes antenas. Desta forma, pode-se concluir que a multiplexagem espacial faz um uso mais eficiente da largura de banda do sistema. Estes benefícios só se podem obter se não existir correlação entre a transmissão por diferentes antenas. É neste aspeto que os efeitos do *multipath fading* de um canal de comunicação ajudam no desempenho do sistema, já que estes efeitos podem descorrelacionar os sinais recebidos em cada uma das antenas.

3.5.1.4 *Beamforming*

Este tipo de diversidade faz uso de múltiplas antenas para alterar o seu padrão de radiação de forma a maximizar o seu ganho na direção do UE. Este tipo de *beamforming* serve de base ao modo de transmissão 7, apresentado na secção 3.5.2. O uso destas técnicas pode levar ao aumento da potência do sinal no recetor proporcional ao número de antenas a transmitir. Muitas vezes, este tipo de técnicas requer um *array* de antenas de pelo menos oito elementos [3GP13b]. O *beamforming* consegue-se através da atribuição de ganhos (ou pesos) a diferentes elementos do *array* de antenas. O lóbulo principal do diagrama de radiação pode ser orientado em diferentes direções ao aplicarem-se desvios de fase aos sinais das diferentes antenas.

3.5.1.5 *Cyclic Delay Diversity*

O *Cyclic Delay Diversity* (CDD) é uma outra técnica de diversidade que é usada no LTE em conjunto com a multiplexagem espacial em *open-loop*. Esta técnica introduz um atraso entre os sinais de múltiplas antenas para criar, de um modo artificial, efeitos multi-percurso no sinal recebido, com a redução do impacto de possíveis cancelamentos de sinais que podem ocorrer se o mesmo sinal for transmitido por múltiplas antenas, sendo que a resposta do canal é relativamente constante. Ao criar este tipo de artefatos, o UE *scheduler* do eNB pode escolher transmitir a informação nos RBs que apresentem condições de propagação mais favoráveis.

O LTE usa o conceito de *large delay*, que tem como objetivo posicionar os sinais nos picos da resposta em frequência que resulta da adição de um atraso. As subportadoras dos sinais de referência não têm aplicado o CDD, o que permite ao UE reportar a atual resposta do canal ao *scheduler* no eNB, que, por sua vez, depois usa esta informação para determinar o uso do *cyclic delay* e das alocações de frequência para esse mesmo UE [Agi09].

3.5.2 Modos de Transmissão MIMO

Para o LTE, foram definidos nove modos de transmissão para garantir a otimização do desempenho do sistema nos canais de *downlink* quando estes se encontram a operar em diferentes condições. Esses modos de transmissão encontram-se enumerados de seguida [Roh14a].

- Modo 1 - *Single-Antenna Port; Antenna Port0*
- Modo 2 - *Transmit Diversity*
- Modo 3 - *Open-Loop Spatial Multiplexing*
- Modo 4 - *Closed-Loop Spatial Multiplexing*
- Modo 5 - *multi-user MIMO (MU-MIMO)*
- Modo 6 - *Closed-Loop Rank 1 Precoding*
- Modo 7 - *Single-Antenna Port; Antenna Port5*
- Modo 8 - *Dual Layer Beamforming (Antenna Ports 7 and 8)*
- Modo 9 - *Up to 8 Layer Transmission (Antenna Ports 7-14)*

O modo de transmissão 1 utiliza a diversidade no recetor numa configuração SIMO e o modo 2 baseia-se na diversidade no transmissor. Os modos 3 e 4 são implementações *single-user* baseadas em multiplexagem espacial com pré-codificação *open-loop* e *closed-loop*, respetivamente. O modo 5 do LTE especifica uma implementação simples de MU-MIMO baseado no modo 4 cujo número máximo de camadas é um. O modo 6 permite *beamforming* e representa um caso especial do modo 4 em que o número de camadas vem agora definido para dois. Os modos 7-9 implementam versões de multiplexagem espacial sem o uso de *codebooks*, com um número de camadas de 1, até 2 e 4-8, respetivamente. O LTE-Advanced (release 10) introduziu melhorias no que diz respeito ao MU-MIMO no *downlink* ao introduzir os modos 8 e 9. Por exemplo, o modo 9 já suporta até 8 antenas no transmissor. Estes avanços resultam da introdução de novos sinais de referência, o CSI-RS e o DM-RS [Agi09] [LYC⁺13].

3.6 LTE-Advanced

O *International Telecommunications Union Radiocommunication Sector* (ITU-R) estabeleceu um conjunto de requisitos para a quarta geração de comunicações móveis (4G) no *International Mobile Telecommunications Advanced* (IMT-Advanced). Entre outros, estes requisitos incluem taxas de transmissão médias de 100 Mbit/s em redes com menor densidade de pontos de acesso ou cenários de elevada mobilidade e até 1 Gbit/s para redes de acesso local ou cenários de baixa mobilidade. Assim o 3GPP, na *Release 9*, iniciou a fase de estudos no que é conhecido agora como LTE-Advanced, num esforço para melhorar a eficiência espectral e as taxas de transmissão mantendo a compatibilidade com as *releases* anteriores.

Os requisitos do ITU-R, especificados em [ITU08], foram tidos em conta pelo 3GPP no estudo que levou à publicação do relatório técnico [3GP12] que define os requisitos do LTE-Advanced, onde são incluídas melhorias ao nível das taxas de transmissão (1 Gbit/s *downlink*, 500 Mbit/s *uplink*), da latência do sistema, da eficiência espectral e da mobilidade, com suporte para ligações até 350 Km/h e, em algumas bandas, até 500 Km/h.

Das principais funcionalidades introduzidas no LTE-Advanced fazem parte a *Carrier Aggregation* (CA), o CoMP e o *relaying*. Nas secções seguintes faz-se uma breve introdução a cada uma destas funcionalidades.

3.6.1 Carrier Aggregation

De modo a suportar uma largura de banda máxima de 100 MHz, o LTE-Advanced permite que um UE transmita ou receba até cinco *Component Carriers* (CCs), podendo cada uma ter uma largura de banda de 1.4, 3, 5, 10, 15 ou 20 MHz. Portanto, a máxima largura de banda é de 100 MHz. Uma vez que é importante manter a compatibilidade com as *releases* anteriores, o aumento da largura de banda é garantido através da agregação de portadoras da *release* 8/9. A CA pode ser usada tanto no FDD como no TDD. O número de portadoras pode ser diferente no *downlink* e *uplink*, embora o número de CCs no *uplink* não possa exceder o do *downlink*. A largura de banda de cada uma das componentes pode ser diferente.

Existem três modos diferentes de CA, no LTE-Advanced, como mostra a figura 3.15.

O primeiro é designado como *intra-band contiguous* e define-se por ter as CC na mesma banda de frequência de forma contígua. O segundo modo, *intra-band non-contiguous*, é idêntico ao anterior mas, neste, as CCs encontram-se dispostas de uma forma não contígua. Para o *inter-band*, os dois CCs residem em diferentes bandas de frequência.

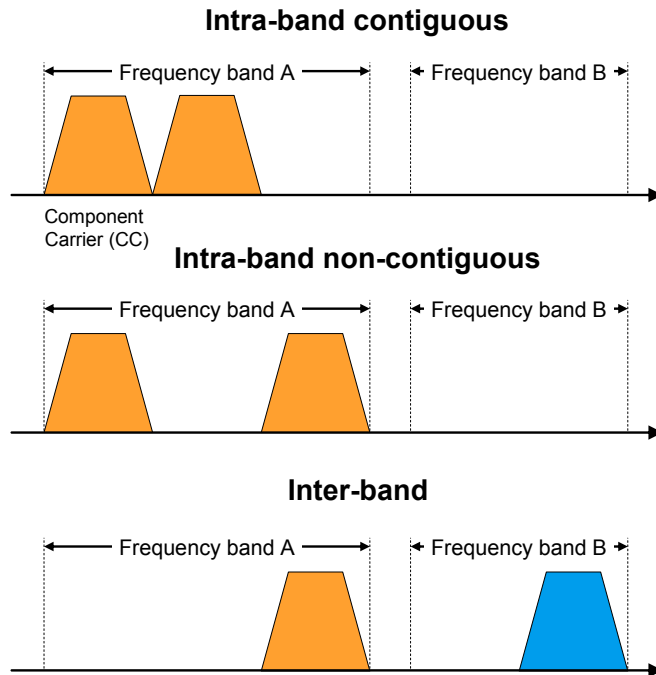


Figura 3.15: Ilustração dos possíveis cenários de CA (retirado de [Roh14b]).

3.6.2 Coordinated Multiple Point Transmission/Reception

Um dos principais fatores que levaram à introdução do CoMP foi o de melhorar o desempenho dos sistemas LTE no limite das células ao reduzir os efeitos da ICI. O CoMP pode ser alcançado de diversas formas e a coordenação pode ser feita tanto em redes homogêneas como nas HetNets. Este método é usado tanto em *downlink* como em *uplink*.

No contexto do LTE-Advanced, o CoMP envolve algumas técnicas de coordenação entre pontos de acesso. São elas o processamento conjunto, ou *joint processing*, e/ou *beamforming/scheduling* coordenado. As técnicas de *joint processing* requerem que múltiplos pontos de acesso transmitam dados de utilizador para o UE no caso do *downlink*, e recebam dados em diferentes pontos recetores para serem posteriormente combinados, no caso do *uplink*. O *beamforming/scheduling* coordenado é uma abordagem mais simples onde os dados de utilizador são transmitidos de apenas um único eNB. O mesmo acontece para o *uplink* [AGER10].

A figura 3.16 mostra um exemplo simples do CoMP, para o *downlink*. Neste caso, a informação de *downlink* é disponibilizada para a transmissão por dois transmissores, que não coexistem fisicamente.

3.6.3 Relaying/Relay Nodes

O uso dos *Relay Nodes* (RNs) é um outro método que permite melhorar a cobertura dos sistemas. O objetivo é reduzir a distância entre os transmissores e recetores, permitindo assim aumentar as taxas de transmissão, melhorar a mobilidade, a cobertura no limite das células, bem como estendê-la para zonas afetadas pelo efeito de *shadowing*. Um outro benefício é o de reduzir os custos de OPEX ao ter-se células com áreas menores, logo, que requerem uma menor potência.

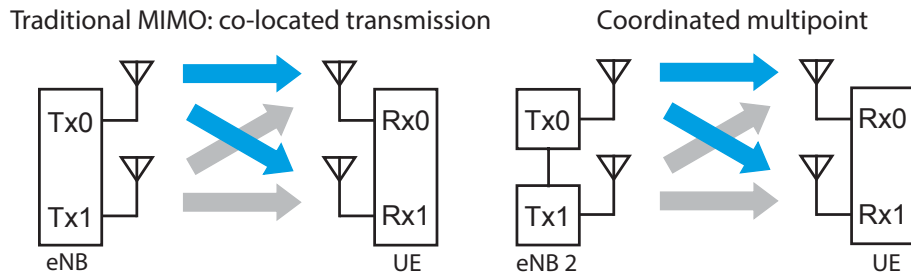


Figura 3.16: Comparação entre o MIMO e o CoMP no *downlink* (retirado de [Agi11]).

A principal vantagem dos RNs face aos repetidores é que eles descodificam o sinal rádio recebido antes de o voltarem a transmitir. Ao fazer isto, os RNs removem o ruído e a interferência antes de o sinal voltar a ser transmitido, alcançando assim um melhor desempenho do que no caso dos repetidores, que, como o próprio nome indica, se limitam a repetir o sinal recebido.

A figura 3.17 ilustra um cenário típico de uma rede de RNs. A ligação do RN à RAN é feita, sem fios, a partir de uma *Donor Cell's eNB* (DeNB). O RN vai ligar à *donor cell* do eNB de uma de duas maneiras: a primeira, *in-band*, na qual a ligação entre o DeNB e o RN partilha a mesma frequência da portadora que a do RN e o UE. Na *out-band*, as duas ligações não operam com a mesma frequência da portadora.

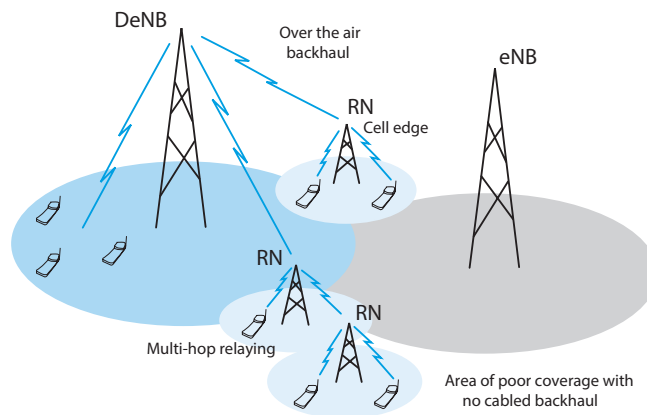


Figura 3.17: Ilustração de um possível cenário de utilização de RNs (retirado de [Agi11]).

3.7 Medidas de Qualidade

O sucesso dos sistemas LTE depende em parte da capacidade de os dispositivos funcionarem como o especificado. Um dos desafios é, nomeadamente, a gestão da potência durante a transmissão de sinal. Assim, esta última secção é reservada para a apresentação de algumas das medidas de qualidade que se podem implementar em sistemas LTE ao nível dos eNBs.

3.7.1 *Adjacent Channel Leakage Ratio*

Num sistema de comunicação digital como o LTE, a potência do sinal transmitido pode interferir com a transmissão dos canais adjacentes e prejudicar o desempenho do sistema. A medição do *Adjacent Channel Leakage Ratio* (ACLR) verifica se os transmissores do sistema estão a funcionar dentro dos limites especificados.

O ACLR é uma medida de qualidade que descreve a distorção fora da banda provocada, principalmente, pelas não linearidades do PA no transmissor. Esta medida é usada para quantificar o nível de potência de um canal adjacente relativo a um sistema de comunicação. O ACLR é o rácio da potência média do canal desejado, filtrada, e a potência média do canal centrado na frequência adjacente, ambas as potências em *dBm*. Este indicador vem expresso em valores de atenuação (*dBc*) e os requisitos aplicam-se fora das margens da largura de banda qualquer que seja o tipo de transmissor (portadora única ou multiportadora). Esta métrica é aplicada a todos os modos de transmissão previstos pelas especificações do fabricante [3GP13a]. A equação 3.1 apresenta a fórmula de cálculo do ACLR.

$$ACLR = 10 \cdot \log_{10} \left(\frac{P_{adjacent\ channel}}{P_{main\ channel}} \right) [dBc] \quad (3.1)$$

De modo a não prejudicar a qualidade dos sinais nos canais vizinhos, impõem-se requisitos mínimos na medição do ACLR para o eNB, incluindo os modos de operação FDD e TDD, que se encontram especificados nas tabelas 6.6.2.1-1 e 6.6.2.1-2 do documento [3GP13a], respetivamente.

3.7.2 *Error Vector Magnitude*

O *Error Vector Magnitude* (EVM) é uma medida de desempenho do modulador ou demodulador na presença de imperfeições. Essencialmente, é o vetor diferença entre os símbolos ideais e os símbolos medidos, num determinado instante do tempo. Se usado corretamente, esta medida pode ajudar a identificar possíveis fontes da degradação do sinal como o *phase noise*, o *I/Q imbalance*, as não linearidades dos PA e as distorções causadas pela filtragem. A figura 3.18 contém um diagrama que mostra como é calculado o EVM para um único vetor de erro. Pode-se verificar que a medição é feita comparando, no plano I/Q, os símbolos recebidos com os símbolos ideais (como os presentes na figura 3.14).

O resultado do EVM é definido como o valor do *Root Mean Square* (RMS) do rácio entre a potência do vetor de erro, P_{error} , e a potência do vetor de referência, P_{ref} , e vem expresso em percentagem, como indica a equação 3.2.

$$EVM = \sqrt{\frac{P_{error}}{P_{ref}}} \times 100 [\% rms] \quad (3.2)$$

Para um sistema LTE, o ponto de referência da medição do EVM é após a remoção do CP, da FFT e da equalização (figura 3.7). A medição do EVM é realizada, para cada portadora E-UTRA, ao longo de todos os RBs alocados e *subframes* de *downlink* em períodos de 10 ms. Os limites destes períodos não têm que coincidir com os da *frame* rádio. O valor de EVM é então processado como o valor RMS da média de cada EVM ao longo de 10 *subframes* consecutivas (10 ms) e de todos os RBs alocados no domínio da frequência, como mostra a

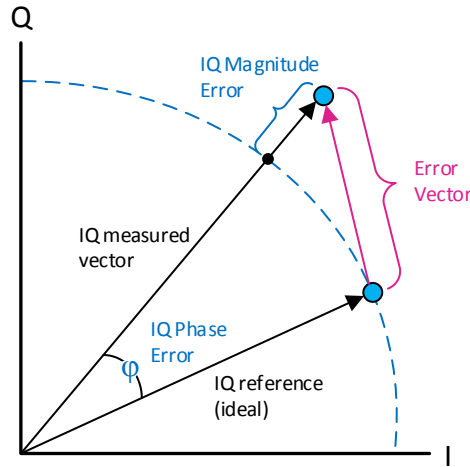


Figura 3.18: Ilustração do método de medição do vetor de erro para o EVM.

equação 3.3, onde N_i corresponde ao número de RBs e o $EVM_{i,j}$ ao EVM da i -ésima *subframe* e j -ésimo RB.

$$\overline{EVM} = \sqrt{\frac{1}{\sum_{i=1}^{10} N_i} \sum_{i=1}^{10} \sum_{j=1}^{N_i} EVM_{i,j}^2} \quad (3.3)$$

O EVM de cada portadora E-UTRA, para diferentes esquemas de modulação no PDSCH, deve ser menor que os limites presentes na tabela 3.7 [3GP13a].

Modulação (PDSCH)	EVM Máximo [%]
QPSK	17.5 %
16-QAM	12.5 %
64-QAM	8 %

Tabela 3.7: Valores de EVM máximo para o PDSCH para diferentes modulações (retirado de [3GP13a]).

Este capítulo, encerra a parte do documento dedicada à introdução dos conceitos fundamentais para a compreensão do trabalho realizado no âmbito desta dissertação. Foi dada especial atenção aos sistemas LTE que constituem a base do gerador desenvolvido. No próximo capítulo são apresentadas as arquiteturas dos sistemas implementados.

Capítulo 4

Arquitetura do Sistema

No âmbito desta dissertação pretende-se apresentar o projeto e a implementação, em FPGA, de um sistema capaz de gerar sinais LTE, ao nível da camada física, num cenário C-RAN. O trabalho realizado encontra-se dividido em três fases. A primeira fase prende-se com a geração de sinais LTE em banda base. Na fase seguinte é feita a inclusão de um *front end* analógico para a interface com o domínio de RF. Por último, pretende-se implementar um demonstrador C-RAN, usando para isso a plataforma de geração de sinais LTE desenvolvida na primeira fase.

4.1 Arquitetura Global

A figura 4.1 ilustra a arquitetura global do sistema que se pretende ver desenvolvido. Este sistema é constituído por dois módulos principais: o REC/BBU e o RE/RRH. O primeiro está encarregue da geração dos sinais LTE em banda base e da interface com o *link* de fibra ótica através do protocolo CPRI. O segundo módulo tem como objetivo receber os dados I/Q das *frames* do CPRI e de os enviar para o *front end* analógico a partir de uma interface desenvolvida sobre lógica da FPGA.

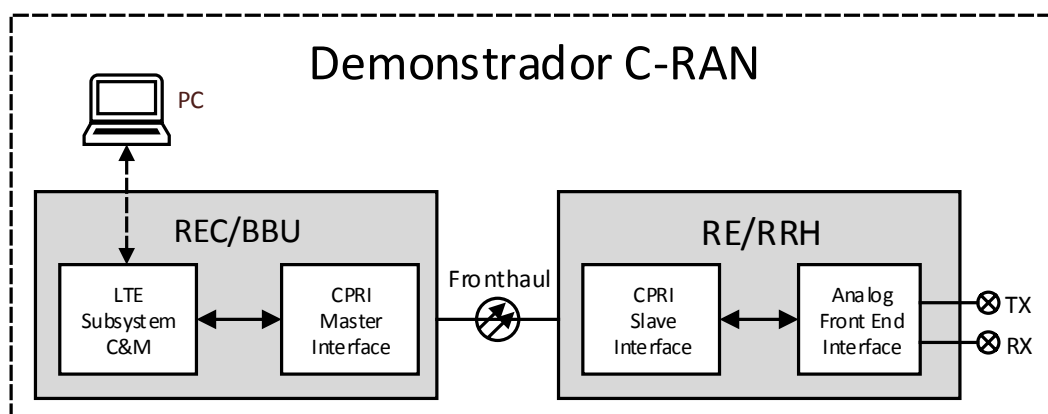


Figura 4.1: Diagrama de blocos global do sistema a desenvolver.

De seguida, apresentam-se as diversas fases do desenvolvimento do sistema, assim como o conjunto de conceitos que se pretendem ver implementados em cada uma das fases:

1. Geração de Sinais LTE

O objetivo desta primeira fase é desenvolver e implementar uma plataforma de geração de sinais LTE que explora o protocolo ao nível da camada física (L1 ou PHY). A base deste sistema é o projeto de referência **LTE Downlink Transmitter Subsystem** da Xilinx [Xil13]. Este projeto de referência implementa em *hardware* toda a cadeia de processamento da camada física do LTE.

2. Integração do *Front End* Analógico

Posteriormente, a fase seguinte tem como principal objetivo integrar no sistema anterior uma interface RF. Esta interface é construída com base num *front end* rádio para a conversão dos sinais LTE digitais em banda base para RF. Nesta fase, explora-se o projeto de referência disponibilizado pela Analog Devices para o *transceiver* RF utilizado [Ana14a].

3. Demonstrador C-RAN

Finalmente, na última fase explora-se o protocolo CPRI ao nível da camada *data link* (L2), de forma a possibilitar a integração da componente *fronthaul* com base numa ligação ótica entre os módulos REC/BBU e RE/RRH através de *transceivers* SFP/SFP+. O módulo REC/BBU comporta a geração e a transmissão dos sinais LTE em banda base para o módulo RE/RRH onde, por sua vez, este implementa a interface com o *front end* rádio.

Nas secções seguintes, apresentam-se as estratégias de desenvolvimento e validação dos módulos em dispositivos FPGA que compõem cada uma das fases mencionadas em cima. De forma a ter uma ideia do desempenho dos sistemas implementados é importante considerar a realização de determinados testes. Assim, indicam-se também alguns dos possíveis cenários de teste a realizar em cada fase de desenvolvimento do sistema.

4.2 Geração de Sinais LTE

A figura 4.2 apresenta uma visão simplificada da constituição do gerador de sinais LTE. A principal funcionalidade é a geração de sinais LTE em banda base ao nível da camada L1, sob a forma de *waveforms* moduladas. Este processo tem por base o envio de dados ou vetores de teste e de controlo a partir de um PC, sendo que estes transportam informação da camada MAC ou L2.

O bloco **LTE Downlink Transmitter Subsystem** implementa em FPGA toda a cadeia de processamento ao nível da camada física (L1), desde a codificação, modulação e mapeamento dos recursos para os canais e sinais físicos de *downlink* no LTE. O módulo **Downlink Transmitter** refere-se à ligação entre a estação base ou eNB e o terminal móvel ou UE. Por outro lado, o *Downlink Receiver* realiza a ligação entre o terminal móvel e a estação base.

De modo a que este módulo suporte a geração de sinais LTE é necessário, sobre a lógica da FPGA, desenvolver e implementar o conjunto de blocos representados na figura 4.2 como **Interconnect + Infrastructure**. Este bloco permite a interação entre o PC e o módulo responsável pela geração de sinais LTE.

O PC está ligado ao bloco **LTE Downlink Transmitter Subsystem** por meio de um conjunto de blocos (**Interconnect + Infrastructure**) que fornecem os fluxos de controlo e dados

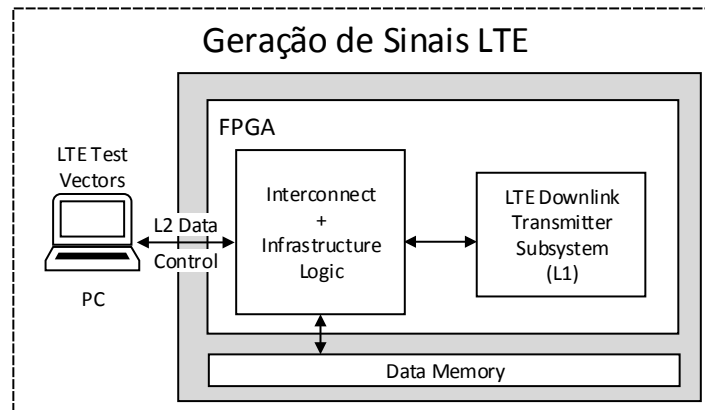


Figura 4.2: Diagrama de blocos proposto para o gerador de sinais LTE.

e o acesso à memória externa para a escrita e a leitura da *resource grid* de cada *subframe*, assim como a escrita dos símbolos OFDM gerados no bloco **LTE Downlink Transmitter Subsystem**. A estrutura global da lógica que interliga o bloco **LTE Downlink Transmitter Subsystem** ao PC e à memória de dados encontra-se ilustrada na figura 4.3. Note-se que a arquitetura é essencialmente constituída por lógica *Direct Memory Access* (DMA) que realiza a interface de controlo e de dados do bloco **LTE Downlink Transmitter Subsystem** e por um bloco **Memory Interconnect** que implementa a interface entre a memória externa e o bloco **LTE Downlink Transmitter Subsystem**. Adicionalmente, utiliza-se uma unidade de processamento para o controlo e monitorização dos fluxos de dados, assim como um bloco responsável pela geração de diferentes domínios de relógio necessários para o funcionamento dos diversos blocos lógicos usados.

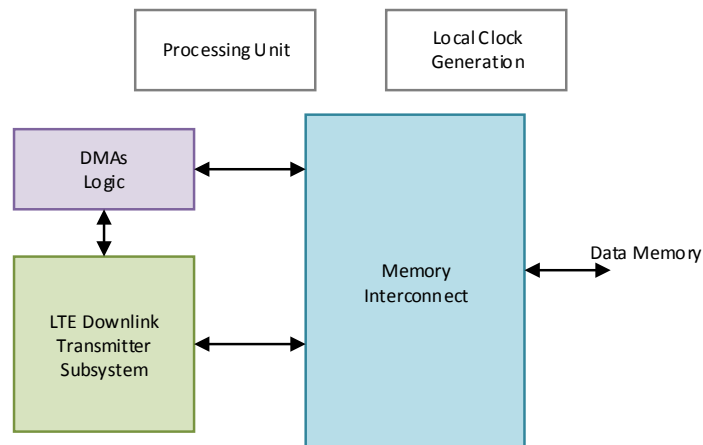


Figura 4.3: Ilustração da arquitetura entre os vários componentes do gerador de sinais LTE.

Cenários de Teste

De modo a ter-se uma ideia do desempenho do sistema implementado, é importante concretizar determinadas medições. Assim, para este sistema pretende-se validar a geração de

sinais LTE em *hardware*. Recorrendo-se a um *Vector Signal Analyzer* (VSA), é possível desmodular sinais em banda base ao recuperar os símbolos de diferentes esquemas de modulação, como o QPSK ou M-QAM, assim como validar a configuração das *frames* rádio LTE para sinais com diferentes características, como, por exemplo, várias larguras de banda E-UTRA, como especificadas na tabela 3.3.

4.3 Integração do *Front End* Analógico

Nesta secção faz-se uma descrição da arquitetura do sistema referido na secção anterior com a inclusão de um *front end* analógico para a conversão do sinal digital em banda base em RF. Esta conversão segue o método de digitalização em banda base, como descrito na subsecção 2.6.1.1.

A figura 4.4 mostra um diagrama de blocos de alto nível para o caminho de *downlink* e *uplink*. A cadeia de transmissão presente nesta arquitetura integra um DMA (DAC DMA) que encaminha o fluxo I/Q proveniente da memória de dados para o bloco **Analog Front End Interface** que, por sua vez, implementa a interface com o *front end*. Na receção, o bloco ADC DMA transfere o fluxo de dados da interface do *front end* para a memória de dados.

O caminho de transmissão é composto por dois canais e inclui filtros interpoladores digitais, uma DAC, filtros analógicos, modulador I/Q e um atenuador de ganho variável seguido de um *buffer/driver*. De forma análoga, no caminho de receção estão incluídos os LNAs, os desmoduladores de sinal RF nas componentes em fase e em quadratura, os filtros analógicos, o módulo ADC e, ainda, os filtros digitais. Este *front end* deve ainda permitir a configuração, por software, de alguns dos parâmetros relacionados com o modo de operação, como a frequência de amostragem e a frequência da portadora RF.

Note-se que a estrutura da arquitetura de geração de sinal é mantida; apenas são adicionados blocos lógicos de forma a permitir a interação com o *front end* analógico no envio e na receção dos dados.

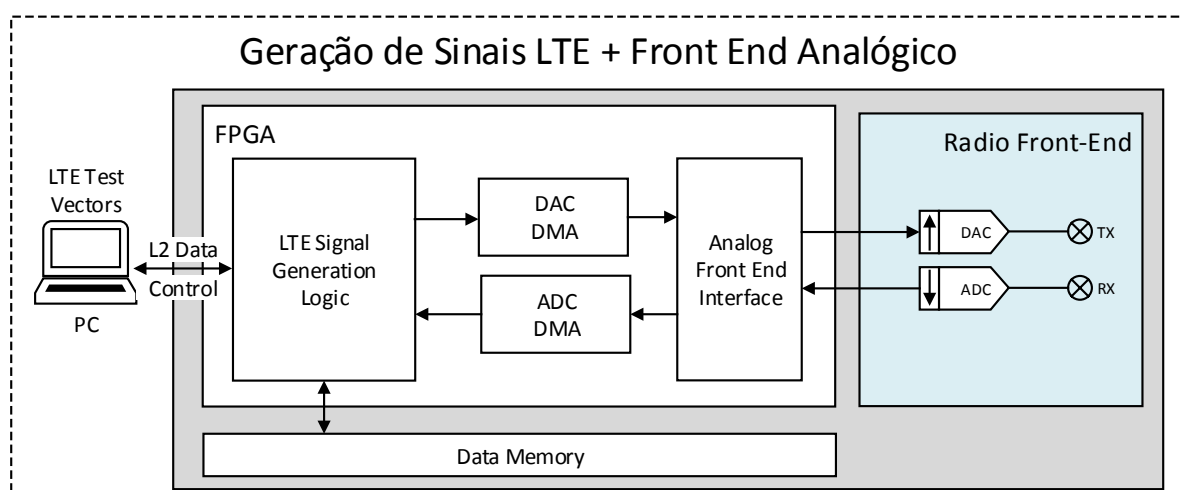


Figura 4.4: Diagrama de blocos proposto para implementação do *front end* analógico.

Cenários de Teste

Para além dos cenários considerados na secção anterior, é igualmente importante verificar o espectro do sinal à saída do *front end*, sendo possível avaliar os limites da potência do canal central relativamente à dos canais adjacentes. Estes limites são especificados em termos da *Spectrum Emission Mask* (SEM) e do ACLR. Outra medição de interesse é a avaliação da qualidade da modulação I/Q do sinal transmitido no *downlink*, também conhecida como requisitos de EVM. Os indicadores do ACLR e de EVM encontram-se referidos na secção 3.7.

4.4 Demonstrador C-RAN

Na presente secção, é apresentada a arquitetura do demonstrador C-RAN, incluindo a dos módulos REC/BBU e RE/RRH desenvolvidos na última fase deste trabalho. Tendo em conta que se pretende implementar um demonstrador C-RAN baseado em FPGA, este terá que ser capaz de gerar *waveforms* LTE e de as transmitir sob a forma de dados de utilizador através de uma interface CPRI baseada em fibra ótica. Além disso, terá ainda que permitir o C&M remoto do RE/RRH a partir do REC. A figura 4.1 ilustra uma visão global da constituição do demonstrador. Propõe-se assim, para a realização do demonstrador, uma solução baseada nos diagramas de blocos presentes nas subsecções seguintes.

4.4.1 Arquitetura do REC/BBU

A primeira componente do demonstrador deve implementar as funções de REC do CPRI. Este módulo tem que ser capaz de enviar dados de utilizador sob a forma de amostras I/Q, de sincronização e de C&M para o RE. Na figura 4.5 estão representados os blocos lógicos que constituem o módulo REC.

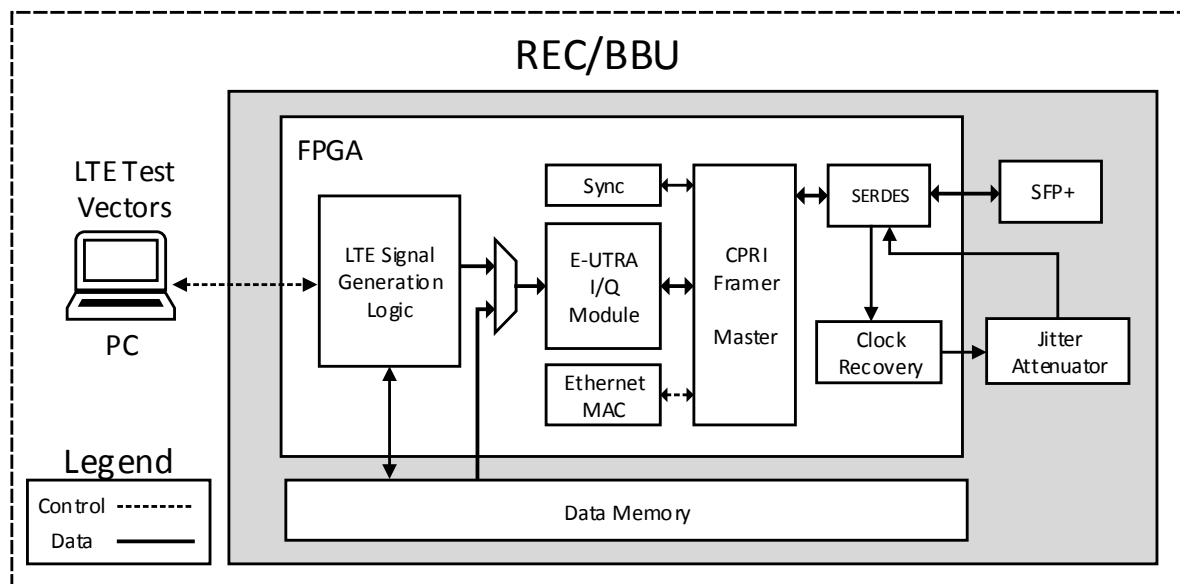


Figura 4.5: Diagrama de blocos proposto para o REC do demonstrador C-RAN.

Salienta-se que a parte responsável pela geração dos sinais LTE deste módulo é baseada,

na íntegra, no sistema proposto em 4.2. Assim, nesta subsecção, focam-se apenas os blocos necessários à realização do módulo REC.

Começa-se a análise do diagrama pelo bloco CPRI framer, que é responsável pela geração ou recuperação de *frames* CPRI. Este bloco deve cumprir os requisitos da especificação referidos na secção 2.4.1, destacando-se os diferentes SAPs do CPRI. É importante referir que este bloco é configurado como *master*.

A interface série do bloco CPRI framer é implementada a partir de lógica dedicada *Serializer/Deserializer* (SERDES), conhecida como *Multi-Gigabit Transceiver* (MGT), permitindo a comunicação com o módulo ótico SFP/SFP+. O relógio de referência para este componente é proveniente de um relógio de baixo *jitter* presente na KC705 (Si5326) [Xil14c].

A transmissão do plano de controlo ($SAP_{C\&M}$) é feita a partir do bloco *ethernet* pela interface *fast* (*Ethernet MAC*) C&M do CPRI framer. É, assim, possível, a partir desta interface, enviar para o módulo RE/RRH comandos de controlo contidos em *frames ethernet*. Desses comandos fazem parte a escolha da *line rate*, a largura de banda dos canais de dados I/Q e a monitorização do estado da ligação, entre outros.

Relativamente ao fluxo de dados, ou SAP_{IQ} , este é proveniente de uma instância DMA, a qual é responsável pela leitura das amostras I/Q do sinal LTE armazenadas em memória e sua injeção no bloco E-UTRA I/Q Module. Este módulo realiza a multiplexagem e desmultiplexagem das amostras I/Q para que estas possam ser enviadas e ser recebidas pela interface I/Q do bloco CPRI framer.

O bloco *clock* tem como função gerar os relógios necessários para o funcionamento dos blocos CPRI framer e *ethernet*. Por último, considera-se o uso de um PC para a monitorização e controlo do *link* CPRI.

4.4.2 Arquitetura do RE/RRH

De forma idêntica ao módulo anterior, a estrutura do módulo RE/RRH encontra-se esquematizada no diagrama de blocos da figura 4.6. Este diagrama serve de ajuda à explicação que se segue.

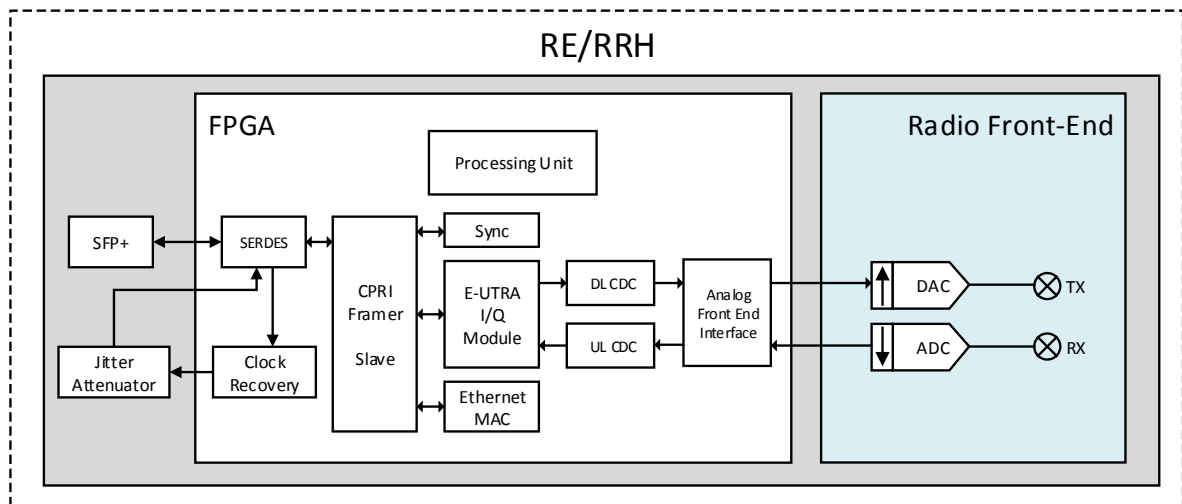


Figura 4.6: Diagrama de blocos proposto para o RE do demonstrador C-RAN.

Este módulo é caracterizado por RE, na especificação do CPRI, e RRH, no contexto

do C-RAN. A sua arquitetura é composta pelos blocos CPRI *framer*, E-UTRA I/Q Module, *ethernet* e *clock*, todos eles com funcionalidades semelhantes às já referidas para o caso do REC, exceto tratar-se agora de uma configuração *slave*.

A cadeia de *downlink* é responsável pelo encaminhamento do fluxo de dados I/Q proveniente do bloco E-UTRA I/Q Module para o bloco que implementa a interface da DAC e da ADC, o *ad9361*. Porém, é importante garantir a conversão entre domínios de relógio diferentes e, para o efeito, é adicionado o bloco *cdc dl*. É essencial não haver perda de amostras I/Q. De forma semelhante, a cadeia de *uplink* consiste nos blocos *ad9361* e *cdc up*, sendo este responsável por encaminhar os dados I/Q vindos da ADC para o bloco E-UTRA I/Q Module. Por último, à semelhança do referido na secção 4.3, também neste módulo se faz a inclusão do *front end* analógico.

Cenários de Teste

Neste último sistema, que implementa o demonstrador C-RAN, consideram-se os mesmos cenários de teste da secção anterior para a análise dos diversos sinais LTE. Pretende-se ainda validar a transferência dos sinais LTE para o RE/RRH através da ligação CPRI sobre *link* de fibra ótica.

Procurou-se, neste capítulo, apresentar a arquitetura dos sistemas a implementar em cada uma das fases deste trabalho. Os detalhes referentes a aspetos concretos da implementação dos sistemas, assim como as ferramentas e *hardware* utilizado, são apresentados e discutidos nos capítulos seguintes.

Capítulo 5

Gerador de Sinais LTE

Neste capítulo, abordam-se as considerações tomadas na implementação do gerador de *waveforms* LTE em plataformas de desenvolvimento comerciais, seguindo a arquitetura proposta no capítulo anterior.

5.1 Introdução

Para a implementação do gerador explorou-se o projeto de referência LTE *Downlink Transmitter Subsystem* da Xilinx [Xil13]. A estrutura interna deste subsistema está presente na figura 5.2, onde se encontram representados os principais blocos da cadeia de processamento. Este projeto de referência implementa a codificação, a modulação e o mapeamento de recursos para os canais e os sinais físicos de *downlink*, como descritos no capítulo 3 deste documento.

A implementação do gerador é feita sobre plataformas e ferramentas de desenvolvimento da Xilinx, nomeadamente o *kit* KC705 e o Vivado *Design Suite: System Edition* versão 2014.1. A *evaluation board* KC705 (apêndice A.1) possui uma FPGA da família Kintex-7 da Xilinx. Adicionalmente, as ferramentas de desenvolvimento SDK permitem desenvolver um sistema *embedded*, baseado num sistema *soft-processor* MicroBlaze que implementa as funções de controlo, de estado e de monitorização do sistema.

As secções seguintes têm como objetivo dar a conhecer a estrutura interna do projeto de referência, as funcionalidades que implementa, os diferentes processos de atualização, bem como as alterações introduzidas.

5.2 Projeto de Referência LTE

Como já foi referido anteriormente, este projeto de referência implementa a camada física de *downlink* de um sistema LTE. A forma como foi desenvolvido e as interfaces disponibilizadas permitem que os fluxos de controlo e dados sejam transferidos para o subsistema e para cada *subframe* nas interfaces de controlo e de dados, como mostra a figura 5.1. Por sua vez, o subsistema processa a informação e gera um *resource map* para cada *subframe* que é previamente armazenado em memória a partir da interface de memória. Quando uma *subframe* está completa, o subsistema lê da memória o *resource map* e processa cada um dos símbolos OFDM de modo a gerar amostras I/Q na saída. Posteriormente, os dados I/Q podem ser enviados para blocos de processamento RF (*front end* analógico) ou para o RE/RRH sobre uma interface CPRI. Face ao exposto, este subsistema pode ser usado para construir a cadeia

de processamento da camada física LTE num conjunto variado de aplicações como sistemas *small cells* ou C-RAN.

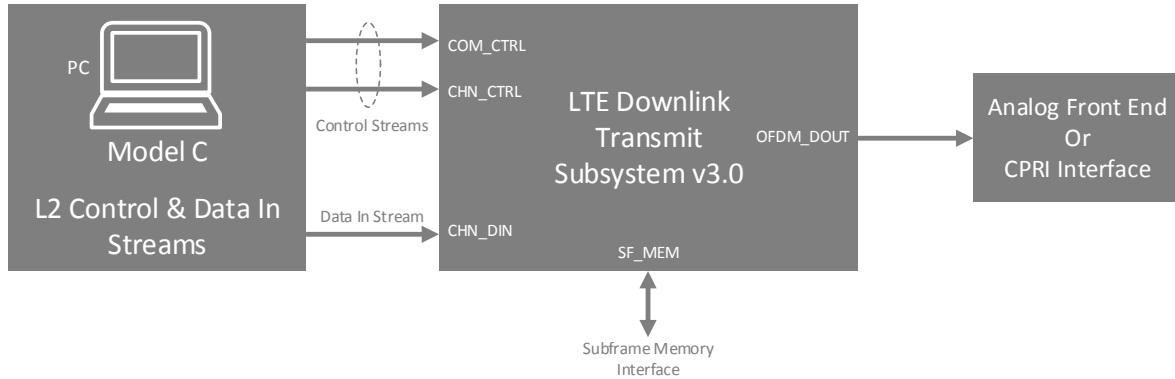


Figura 5.1: Ilustração das interfaces externas do LTE *Downlink Transmitter Subsystem*.

De seguida, são delineadas as principais características suportadas por este subsistema:

- **Canais:** PDSCH, PDCCH, PBCH, PHICH e PCFICH;
- **Sinais de Referência:** CSR, DM-RS e CSI-RS;
- **Sinais de Sincronização:** PSS e SSS;
- **Estrutura das *Frames*:** FDD e TDD;
- **Larguras de Banda:** 1.4, 3, 5, 10, 15 e 20 MHz;
- **Configuração de Antenas:** 1, 2 e 4 antenas;
- **Modos de Transmissão:** suporta todos os modos de transmissão referidos em 3.5.2;
- **Tipos de Modulação:** QPSK, 16-QAM e 64-QAM.

5.2.1 Descrição Funcional

Na figura 5.2 estão representados os principais blocos funcionais que constituem o subsistema LTE. Note-se que as interfaces presentes neste projeto de referência são do tipo *Advanced eXtensible Interface* (AXI), cujo protocolo se baseia na especificação *Advanced Microcontroller Bus Architecture* (AMBA). Os tipos de interfaces AXI usados neste subsistema consistem em AXI4 e AXI4-Stream, como descritos nas especificações [ARM12]. Assim, nesta secção, se descreve cada um destes blocos.

- ***Control De-aggregation:*** A informação de controlo é entregue ao subsistema por meio de duas interfaces AXI4-Stream: `COM_CTRL` e `CHN_CTRL`. Na primeira, é transmitida a informação de controlo do processamento de uma *subframe*. Na segunda, segue a informação de controlo acerca da codificação dos canais. Este bloco está assim encarregue de dividir esta informação e encaminhá-la para cada um dos blocos da cadeia de processamento.

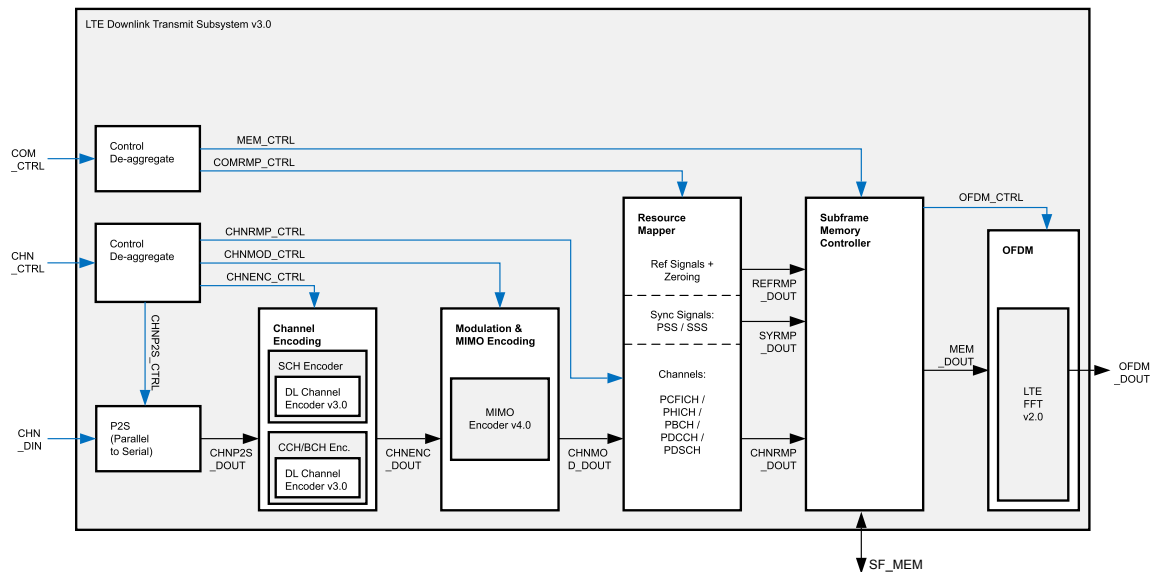


Figura 5.2: Estrutura do sistema LTE *Downlink Transmitter Subsystem* (retirado de [Xil13]).

- **Parallel-to-Serial (P2S):** A informação a codificar para cada canal é disponibilizada na interface CHN_DIN. A codificação dos canais é realizada sobre dados serializados, pelo que a primeira fase de processamento é responsável pela serialização dos dados que chegam na interface CHN_DIN.
- **Channel Encoder:** Os dados serializados são depois codificados usando o *Intellectual Property (IP) core* LTE *Downlink Channel Encoder* da Xilinx. São usadas duas instâncias do IP core: uma para a codificação do PDSCH e outra para a codificação do PDCCH e do PBCH. Os canais PCFICH e PHICH não são codificados neste bloco.
- **Channel Modulation and MIMO Encoding:** A informação codificada é posteriormente transferida para o bloco *Channel Modulation*. Neste bloco é feito o *scramble* e a modulação de acordo com as especificações [3GP11a]. No caso do PHICH, tanto a modulação como a codificação são feitos neste bloco. Os dados modulados passam depois pelo IP core LTE *MIMO Encoding* que realiza o *layer mapping* e a pré-codificação MIMO.
- **Resource Mapper:** Este bloco gera três fluxos de saída: sinais de referência, sinais e canais de sincronização. Cada um destes fluxos transporta os dados e a sua respetiva localização dentro do OFDM *resource grid*. As saídas para os sinais de referência e sincronização são geradas diretamente a partir da informação de controlo (COM_CTRL). O processo de geração dos sinais de referência realiza também o *zeroing* do *resource map*. O *mapping* dos dados de saída do canal CHNRMP_DOUT é feito a partir da geração da informação do *resource mapping* do canal e da combinação deste com a informação que vem dos blocos anteriores na interface CHNMOD_DOUT. Este bloco é também responsável pelo *beamforming* e pela inserção do DM-RS.
- **Subframe Memory:** Os dados do bloco anterior entram no bloco *Subframe Memory Controller*, que traduz as localizações da *resource grid* em endereços de memória. A

resource grid de cada *subframe* é armazenada externamente ao sistema e é acessada a partir de uma interface AXI4 (SF_MEM da figura 5.1). Após a escrita de uma *subframe* completa, é feita a leitura dos símbolos OFDM que a compõem. De seguida, estes são enviados para o bloco OFDM, onde é realizada a operação *Inverse Fast Fourier Transform* (IFFT). Este bloco gera os dados de controlo para o OFDM.

- **OFDM:** Este bloco recebe os símbolos OFDM, processa a IFFT para a largura de banda apropriada, e adiciona o CP de forma a gerar as amostras I/Q da saída. Este bloco utiliza o IP *core* LTE FFT da Xilinx. Os dados à saída deste bloco têm sempre uma dimensão de 128 bits, 32 bits por cada antena e 16 bits por amostra I/Q, como ilustra a figura 5.3.

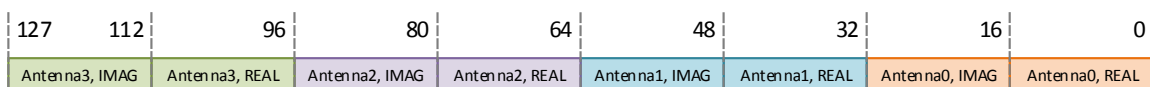


Figura 5.3: Organização das amostras I/Q à saída do módulo LTE *Downlink Transmitter Subsystem*.

5.2.2 Modelo C

Este projeto de referência faz-se acompanhar de um modelo C, que permite a geração de vetores de testes e a validação do *Hardware Description Language* (HDL). Este modelo é fornecido como um ficheiro executável para sistemas Linux.

5.2.2.1 Descrição Funcional do Modelo

Este modelo tem como objetivo a verificação do subsistema LTE, sendo usado para gerar vetores de entrada e saída para os procedimentos de teste. Este modelo consiste em dois subsistemas: um que representa o modelo comportamental do sistema e um outro, o gerador de vetores de teste.

Gerador de Vetores de Teste

O gerador produz vetores que são construídos de modo a testar as configurações das *frames* LTE, que são permitidas pelas especificações do *standard* e que se encontram descritas na secção 3.3 e nos documentos [3GP13b] e [3GP13c].

De notar que estes vetores não descrevem o comportamento das camadas protocolares superiores (L2 e L3) do LTE. Por exemplo, para o propósito do modelo os canais PDSCH e PDCCH são tratados como fluxos aleatórios de dados independentes, dimensionados para caberem na *subframe* LTE. Consequentemente, os dados gerados por este modelo destinam-se somente a validar a configuração da *frame* LTE, não contendo por isso dados válidos que representam informação proveniente das camadas protocolares superiores.

Modelo Comportamental

O modelo comportamental descreve cada etapa da cadeia de processamento do subsistema e gera vetores de dados com o resultado do processamento individual dos blocos constituintes do

subsistema, permitindo numa análise mais abstrata validar o sinal nas suas diferentes etapas. Estes são comparados com a saída de cada bloco de processamento, como o de codificação do canal, modulação, mapeamento de recursos e do que implementa a IFFT. Em conjunto com interfaces de monitorização, estes permitem a validação de todo o subsistema.

A estrutura do modelo segue a do subsistema da figura 5.2. Cada bloco desta figura tem um modelo correspondente que se encontra embutido no modelo C.

Modo de Operação

De modo a criar os vetores de teste é usado um ficheiro de configuração como parâmetro do modelo C. Neste ficheiro são especificadas as configurações das *subframes* para o teste que se pretende efetuar [Xil13]. Este permite especificar tanto uma configuração fixa para a *subframe* como pode ser usado para definir uma gama variável de configurações. No último caso, o modelo cria configurações aleatórias que se enquadram dentro dos limites especificados.

Baseado no ficheiro de configuração, o modelo C é responsável por criar um conjunto de vetores que correspondem aos diferentes fluxos de controlo e dados que posteriormente podem ser usados para demonstrar a funcionalidade do subsistema. A figura 5.4, apresenta o fluxograma de funcionamento do modelo C.

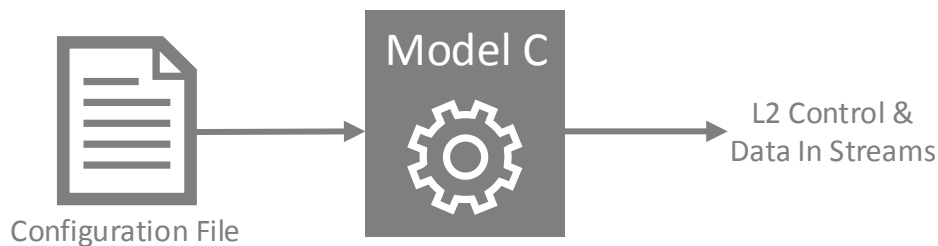


Figura 5.4: Fluxograma de funcionamento do modelo C.

5.3 Atualização e Validação do Projeto de Referência

Nesta secção, descreve-se o processo de atualização do projeto de referência. Originalmente, o projeto foi desenvolvido para a versão 2013.3 do Vivado *Design Suite* e para a plataforma Zynq-7 da Xilinx. Atendendo a uma estimativa dos recursos necessários para o desenvolvimento e implementação da arquitetura do sistema pretendida, surgiu a necessidade de adotar uma plataforma de *hardware* com maior disponibilidade de recursos. Tendo em conta este objetivo foi escolhida a família Kintex-7, nomeadamente o modelo KC705-325T, tendo sido igualmente necessário atualizar o projeto para esta nova plataforma. Por outro lado e de modo a beneficiar das correções de erros e melhorias significativas ao nível de desempenho foi igualmente atualizado o projeto de modo a suportar a ferramenta de desenvolvimento mais recente à data (Vivado *Design Suite* versão 2014.1).

Ao migrar para uma versão mais recente da ferramenta de desenvolvimento, a atualização dos ficheiros do projeto e do dispositivo são tipicamente atualizados de modo automático, sem intervenção do utilizador. Relativamente aos IP *cores*, é facultado ao utilizador a possibilidade de manter as anteriores versões ou proceder à atualização individual de cada um. Caso se opte por manter a atual versão de um dado IP, o estado deste é atualizado para *locked*, deixando de ser possível personalizar os seus parâmetros de configuração.

Por último, foi modificado o dispositivo de desenvolvimento final associado ao projeto para a *board* Kintex-7, cuja descrição pormenorizada pode ser encontrada no apêndice A.1.

O projeto resultante deste processo de atualização foi validado em simulação comportamental a fim de assegurar o seu correto funcionamento, tal como ilustrado na figura 5.5. Na figura é possível observar sobre a área delimitada a vermelho os indicadores de ocorrência de erros durante o processo de simulação. Na área assinalada a verde extraem-se os resultados finais da simulação, onde se destacam os mais importantes.

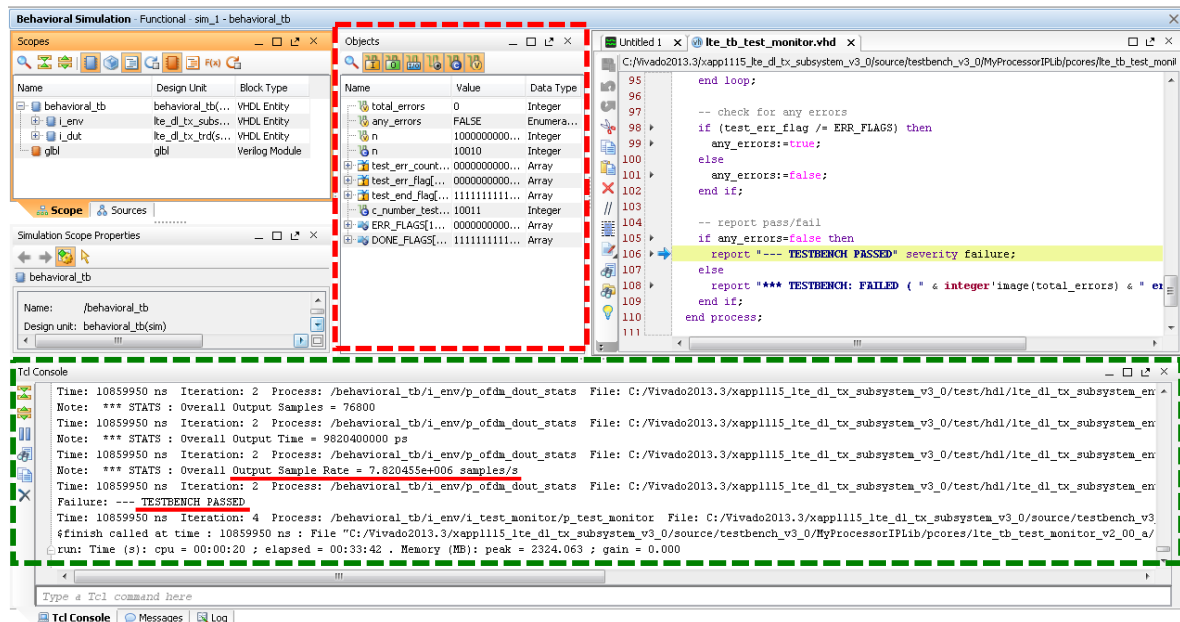


Figura 5.5: Resultado da simulação comportamental do projeto de referência do LTE *Downlink Transmitter*.

5.4 Implementação do Gerador de Sinais LTE

Esta secção descreve as considerações tidas em conta durante a fase de implementação do sistema proposto em 4.2. É fornecida informação relativamente às características, configuração e *trade-offs* entre desempenho e área dos principais blocos IP usados.

5.4.1 Arquitetura do Sistema

Este sistema contém múltiplos IP *cores* AXI *Interconnect* [Xil14f], cada um deles configurado tendo em conta os requisitos de *throughput*. As instâncias *axi_interconnect_0*, *axi_interconnect_1* e *axi_interconnect_2* são usadas para interligar *masters* e *slaves* de elevada velocidade, que incluem otimizações para elevado *throughput* e elevada frequência de operação. Assim estes *interconnects* terão que estar também otimizados para um elevado *throughput*. São usados como *buffer* para os dados gerados pelo bloco *lte_dl_tx_trd_0* e como meio de acesso aos dados da memória externa a partir de múltiplos *cores* DMA. A instância *axi_cpu_interconnect* é usada pelo processador como meio de acesso aos registos internos dos periféricos. Possibilitando a escrita e a leitura do espaço de registos dos DMAs

e assim controlar o modo de operação destes [Xil14d]. O modo de operação e a descrição das configurações usadas no AXI DMA são descritos em detalhe nesta secção.

Blocos AXI Memory Interconnect

A instância `axi_interconnect_2` disponibiliza ao sistema a frequência de operação e o *throughput* mais elevados, possuindo uma dimensão de dados de 512 bits e uma frequência de relógio de 200 MHz. A dimensão dos dados e a frequência do relógio coincide com as do bloco `axi_dds_ctrl` (*Memory Interface Generator* (MIG)) de modo a que, entre eles, não sejam necessários conversores de relógio e de dimensão de dados. Isto porque, se o dimensionamento dos dados e da frequência do relógio do bloco `axi_interconnect_2` for inferior ao do controlador de memória, é criado um estrangulamento da largura de banda do sistema. Para ajudar a cumprir os requisitos temporais de uma interface AXI de 512 bits a 200 MHz, é adicionado um banco de *register slices* entre os blocos `axi_interconnect_2` e `axi_dds_ctrl`.

A figura 5.6 mostra a configuração usada entre o controlador de memória, os DMAs e o bloco `lte_d1_tx_trd_0`, utilizando uma estrutura hierárquica de *interconnects*. O redimensionamento dos dados é feito ao nível dos AXI *Interconnects*.

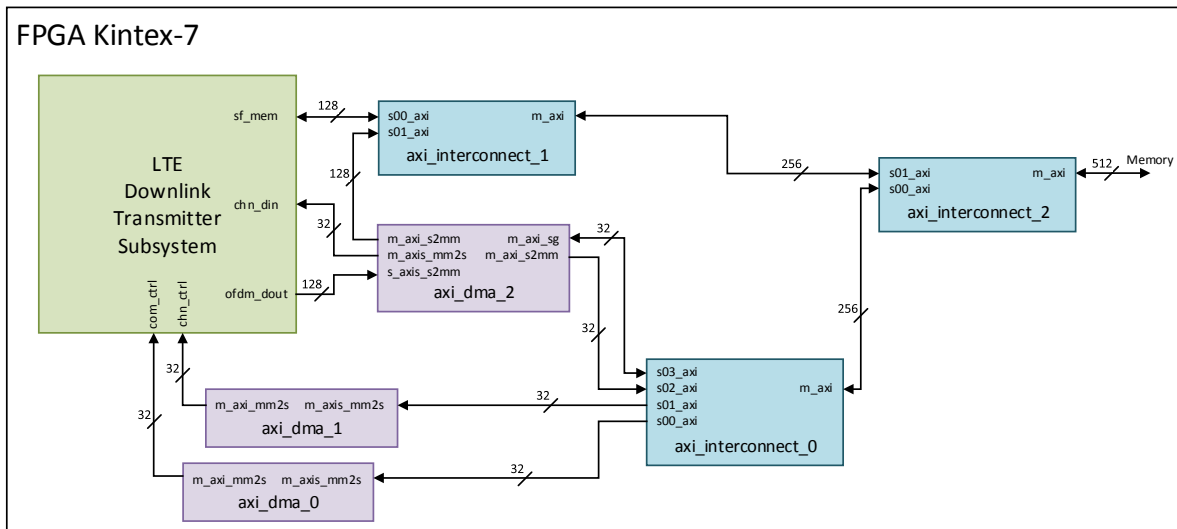


Figura 5.6: Componente de *hardware* relativa ao fluxo de geração de sinais LTE.

Blocos AXI Peripheral Interconnect

A interface *Data Peripheral* (DP) do processador MicroBlaze é responsável pela escrita e leitura, na interface AXI4-Lite, dos registos de todos os periféricos do sistema, de modo a controlar e obter informação acerca do estado dos mesmos. Estes blocos têm interfaces com dimensão 32 bits e não requerem um *throughput* e uma frequência de relógio elevados de modo a operarem. Portanto, estes periféricos encontram-se ligados no sistema por meio de um *core* AXI *Interconnect* separado (`axi_cpu_interconnect`).

Os periféricos presentes neste *interconnect* são o módulo *Universal Asynchronous Receiver Transmitter* (UART), o agregador de interrupções, o módulo de depuração do processador e os DMAs.

Blocos AXI DMA

O *core* AXI DMA é usado para realizar transferências de escrita/leitura do domínio AXI4 para o domínio AXI4-Stream e vice-versa. Este dispositivo permite efetuar transações de dados entre a memória do sistema e qualquer periférico com interface AXI4-Stream com um elevado desempenho. A interface AXI4 é usada na transmissão de dados e na leitura dos *buffer descriptors* através do AXI *Interconnect*. Estes *buffers* não são mais que registos armazenados em memória que contêm uma descrição de uma determinada transferência. Estes, por sua vez, são usados apenas quando este periférico se encontra a operar no modo *scatter gather*.

Este *core* incorpora funcionalidades como o modo *scatter gather* que possibilita a transferência de grandes quantidades de informação de/para a memória sem a intervenção do processador. A inicialização, o estado e a gestão dos registos internos é feita através de uma interface *slave* AXI4-Lite, pelo processador.

Pode-se ainda utilizar este *core* num modo de baixo desempenho, bastando para isso desativar o mecanismo *scatter gather*. Neste modo as transferências realizadas ao definir um endereço de origem ou de destino e depois especificar o número de *bytes* num registo interno [Xil14d].

No gerador implementado foram usadas três instâncias do *core* AXI DMA, duas delas estão configuradas em modo simples e a terceira em modo *scatter gather*. Os dois *cores* configurados em modo simples são usados para transferir os dados dos vetores de teste armazenados em memória, visto que a quantidade de informação destes vetores é relativamente reduzida, na ordem de algumas dezenas ou centenas de Kbytes. Estes permitem apenas operações de leitura pelo que as interfaces *streaming S2MM* se encontram desativadas. Por último, a terceira instância encontra-se configurada em modo *scatter gather*. Este permite tanto operações de leitura como de escrita pelo que ambas as interfaces *streaming*, *MMS2* e *S2MM*, se encontram ativas. Neste modo está presente uma nova interface AXI4 (*SG*) e tem como objetivo a leitura/escrita dos *buffer descriptors* de/para a memória. A leitura e a escrita da informação é feita por meio de duas interfaces AXI4 independentes, *MM2S* e *S2MM* respetivamente. A dimensão das interfaces do lado *streaming* (*MM2S*) é de 32 bits enquanto que a do lado *memory* (*S2MM*) é de 128 bits.

As interfaces de 32 bits, *MM2S*, dos DMAs estão ligadas às interfaces *master* do AXI *Interconnect* (*axi_interconnect_0*). Este por sua vez implementa *upsizers* que convertem os 32 bits das interfaces *master* nos 256 bits nativos do *interconnect*. Os DMAs funcionam com uma frequência de relógio de 200 MHz pelo que não são necessários conversores de relógio assíncronos do lado do *interconnect*. O tamanho máximo dos *burst* foi mantido no seu valor original 16 bits e a opção de permitir transferências não alinhadas é usada, para garantir que a leitura dos dados pode ser feita a partir de qualquer *offset* de memória. Além disso, os AXI *Interconnects* estão configurados para o máximo desempenho, o que faz com que sejam adicionados FIFOs de dados do lado *master* e *slave*. Estas definições entram em linha de conta com as recomendações de desempenho para periféricos AXI descritas no guia de referência AXI [Xil12].

De modo a alcançar uma utilização ótima do controlador de memória, as transações nas interfaces *master* dos DMAs têm de ocorrer em regiões de memória distintas e necessitam de estar alinhadas ao KB/MB.

Processador MicroBlaze

As interfaces *master* ICache e DCache do processador MicroBlaze encontram-se ligadas ao *interconnect axi_interconnect_0* e têm um relógio de 100 MHz associado. O processador corre a aplicação *software* da memória principal, esta por sua vez configura e monitoriza todo o sistema. Utiliza-se esta frequência de relógio para otimizar tempos e área [Xil14h]. O relógio de 100 MHz assegura a implementação de um conversor múltiplo inteiro síncrono de relógio no AXI *Interconnect*, ou seja, este relógio é um submúltiplo inteiro do de 200 MHz. Esta relação é caracterizada por baixa latência e menor área relativamente aos conversores assíncronos.

Controlador de Memória (MIG)

O único *slave* ligado ao AXI *Interconnect* é o MIG. A interface AXI do controlador de memória tem uma dimensão de 512 bits e tem um relógio de 200 MHz associado. Esta configuração coincide com a interface AXI, o relógio e a dimensão nativa correspondente a uma *Dual In-Line Memory Module* (DIMM) DDR3 com 64 bits e com uma frequência de relógio de 800 MHz. Note-se que, esta configuração permite o máximo desempenho do controlador de memória para dispositivos Kintex-7 com *speed grade -2*. Na interface *slave* são acrescentados *register slices* para garantir que a mesma cumpre com os requisitos de tempo a 200 MHz [Xil14i]. É de salientar que, este controlador opera a 1/4 da frequência de relógio da memória externa (200 MHz) e permite a distribuição desse relógio pelo sistema. Adicionalmente, a partir deste relógio é possível também gerar um relógio com metade da frequência, ou seja, 100 MHz usados pelo processador e pelos periféricos. Este último, por sua vez, alimenta um gerador de *resets* para o sistema.

A figura 5.7, mostra o diagrama de blocos da arquitetura do gerador de sinais LTE implementada em *hardware*.

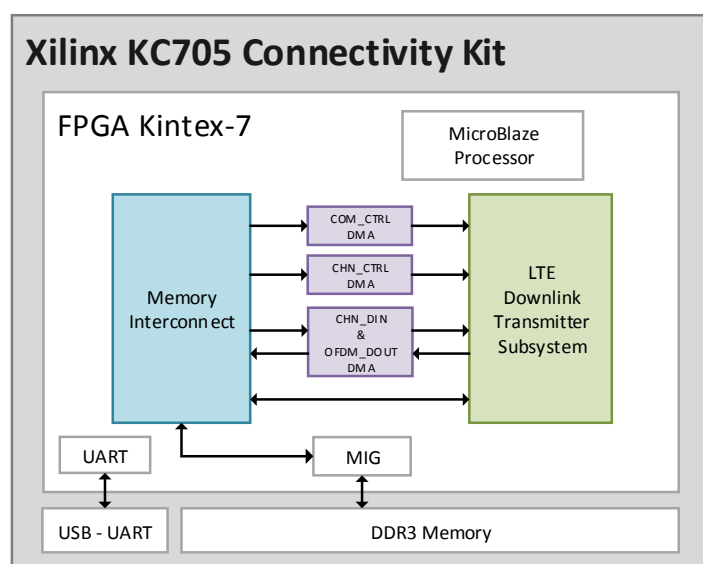


Figura 5.7: Diagrama de blocos do sistema desenvolvido para a geração de sinais LTE.

Componente de *Software*

O processador MicroBlaze presente no gerador corre uma aplicação que tem como função permitir a comunicação com um *script* MATLAB[®]. Este modo de operação é realizado via UART, a operar a uma *baudrate* de 115200 bps, e permite enviar os vetores de teste para a memória *Synchronous Dynamic Random Access Memory* (SDRAM) presente no *kit* de desenvolvimento. Adicionalmente, o processamento de diferentes conjuntos de dados pelo módulo LTE pode ser configurado com recurso a comandos de controlo, dotando o sistema de flexibilidade. Para tal foi desenvolvida e validada a camada intermédia que gere a interação entre as componentes de *software* e *hardware*, denominados *drivers*. Posteriormente, é possível analisar e validar o sinal, contido em memória. Por último, é relevante indicar a organização do conteúdo da memória SDRAM. De modo a acomodar as diferentes regiões de memória da aplicação e tendo em conta que o módulo de memória SDRAM presente na placa KC705 é de 1 GB DDR3, a figura 5.8 apresenta a organização da memória escolhida.

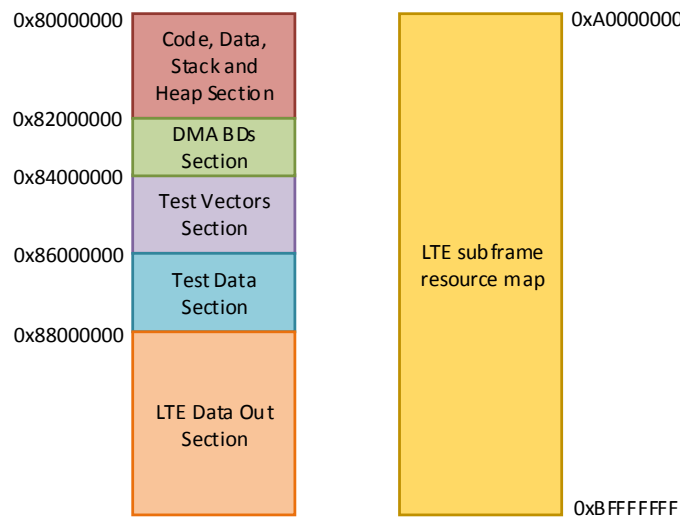


Figura 5.8: Organização do conteúdo da memória SDRAM.

A região de memória reservada para o código e dados está situada no *base address* da SDRAM. De seguida, encontram-se as secções destinadas ao armazenamento dos *buffer descriptors* dos DMAs, aos vetores de teste e ainda uma pequena zona para dados de testes. Por último, permanece o espaço de endereçamento destinado aos sinais digitais em banda base e ao mapeamento das *subframes* LTE.

5.4.2 Recursos de Implementação e Estimativa de Consumo Energético

De modo a finalizar a secção relativa à implementação da plataforma de geração de sinais LTE, apresentam-se alguns dados estatísticos relativos à mesma. Os dados apresentados referem-se à utilização de recursos da FPGA e ao seu consumo energético. Esta informação obtém-se a partir de um relatório gerado automaticamente pela ferramenta de desenvolvimento da Xilinx após a implementação do projeto e está presente na tabela 5.1 e na figura 5.9.

De um modo geral, estes dados permitem concluir acerca da complexidade do sistema implementado, à possibilidade de adicionar novos níveis lógicos de controlo e quanto à porta-

Recurso	Utilizados	Disponíveis	Porcentagem [%]
FF	77655	407600	19
LUT	58609	203800	29
Memory LUT	5586	64000	9
I/O	119	500	24
BRAM	151.5	445	34
DSP48	77	840	9
BUFG	5	32	16
MMCM	1	10	10
PLL	1	10	10

Tabela 5.1: Consumo de recursos da FPGA, após a implementação do gerador de sinais LTE.

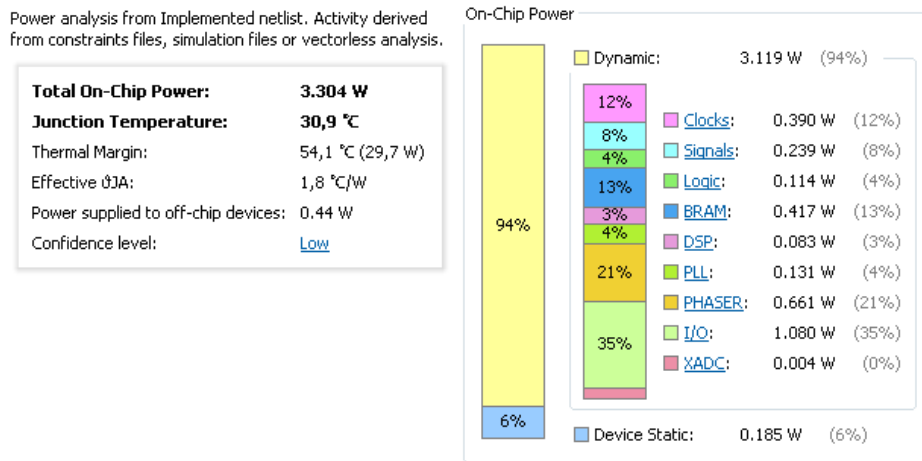


Figura 5.9: Estimativa de consumo energético após a implementação do gerador de sinais LTE.

bilidade do projeto para outro dispositivo. Porém, são também uma forma de avaliar o grau de complexidade deste sistema perante os outros dois sistemas propostos neste trabalho.

Este capítulo apresentou os aspetos mais relevantes da implementação do gerador de sinais LTE desenvolvido. Termina-se assim a fase de descrição do funcionamento do sistema referido em 4.2. O próximo capítulo foca a integração do *front end* rádio no módulo responsável pela geração de sinais LTE.

Capítulo 6

Integração do *Front End* Analógico

Neste capítulo expõem-se as principais características do *front end* analógico, mais propriamente do *transceiver* RF, assim como o projeto de referência facultado que permite demonstrar e validar o seu correto funcionamento. Seguidamente abordam-se os detalhes de implementação e validação do projeto de referência, sendo que no final do capítulo descreve-se todo o processo usado na integração das cadeias de transmissão e receção dos sinais provenientes do gerador de sinais LTE desenvolvido.

6.1 Introdução

Para que o módulo de geração de sinais LTE cumpra a arquitetura apresentada na figura 4.4, é necessário integrar um *front end* rádio para a conversão do sinal digital banda base em RF. Deste modo, a escolha do *front end* rádio recaiu sobre a placa de expansão AD-FMComms3-EBZ da Analog Devices (apêndice B.1), com interface *FPGA Mezzanine Card* (FMC), que por sua vez assegura a compatibilidade com os *kits* de desenvolvimento baseados em FPGA da Xilinx, entre os quais a KC705. Este *front end*, consiste de um *transceiver* RF (AD9361) e vem acompanhado de um projeto de referência, baseado em MicroBlaze. Este projeto permite o controlo das funcionalidades do *transceiver*, o envio de sinais provenientes da memória ou dos *Direct Digital Synthesizers* (DDSs), assim como a depuração das interfaces das DACs e das ADCs. Posteriormente este foi estudado com o objetivo de perceber as capacidades de operação da DAC, ADC e as frequências de transmissão e receção. Nas secções seguintes faz-se uma descrição pormenorizada das características do *front end* analógico e dos aspetos relevantes do projeto de referência, assim como a implementação e validação do mesmo sobre a plataforma de desenvolvimento.

6.2 Descrição Geral do *Front End*

Neste secção é apresentado o *front end* da Analog Devices usado para implementar o andar de RF do gerador de sinais LTE. O AD9361 é um dispositivo que combina um *front end* RF com um misturador de sinal banda base flexível e sintetizadores de frequência integrados, com o objetivo de simplificar o desenvolvimento de aplicações, com base em FPGAs, através de uma interface digital configurável. Na figura 6.1 é apresentado um diagrama de blocos funcional do *transceiver* AD9361.

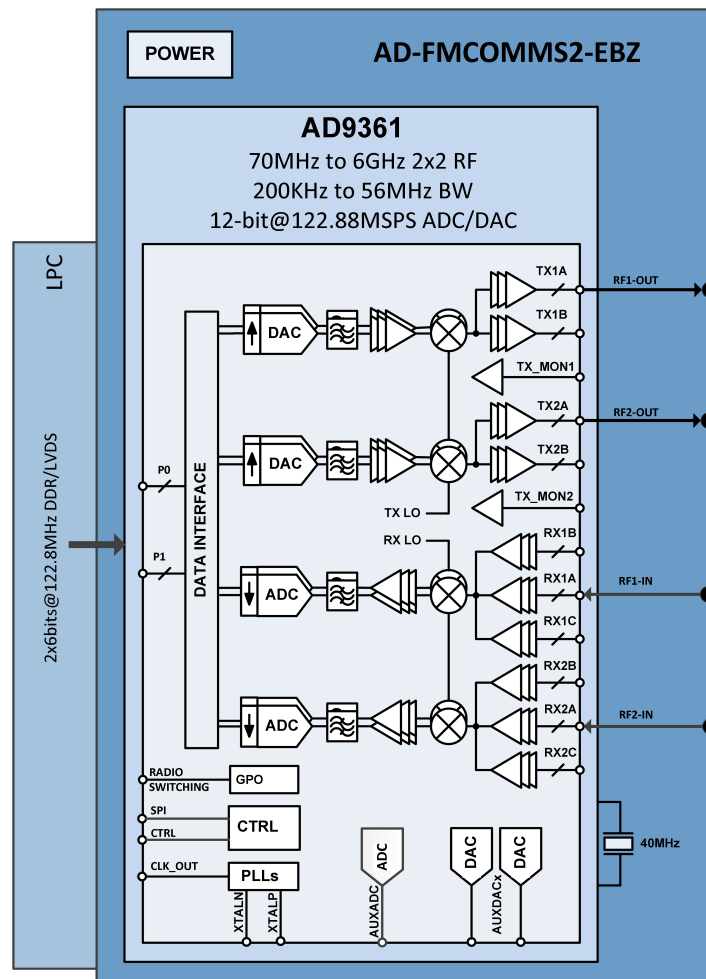


Figura 6.1: Diagrama funcional do *transceiver* AD9361 da Analog Devices (retirado de [Ana14a]).

A partir da programação de registos internos é possível adaptar este *transceiver* a múltiplos *standards* de comunicação, incluindo sistemas FDD e TDD. Este tipo de flexibilidade permite a interligação do dispositivo com vários *base band processors* por intermédio de um ou dois canais de 12 bits paralelos ou por uma interface *Low-Voltage Differential Signaling* (LVDS) de 12 bits.

O AD9361 opera na gama dos 70 MHz aos 6 GHz, cobrindo grande parte do espectro, quer nas bandas licenciadas como nas não licenciadas. O mesmo suporta canais com largura de banda dos 200 KHz aos 56 MHz, sintonizáveis a partir de *software*. Este *transceiver* implementa uma DAC com resolução de 12 bits e operação até 320 MSPS. Internamente são incluídos filtros interpoladores para o aumento da taxa de amostragem até um fator máximo de 48x. A remoção das frequências imagem resultantes do processo de conversão para o domínio analógico é conseguida com dois filtros analógicos passa-baixo antes dos moduladores I/Q. Estes moduladores realizam a translação do sinal em banda base para uma dada frequência de saída de 70 MHz a 6 GHz. No sentido de receção de sinal, após um LNA, o sinal é desmodulado em dois sinais em quadratura. Posteriormente, os sinais são amplificados num amplificador

de ganho variável (0 dB ou -6 dB). Antes da digitalização os sinais passam por um filtro de *anti-aliasing* analógico, onde são removidas as harmônicas. O sinal é convertido para o domínio digital por uma ADC com resolução de 12 bits para I e Q com uma frequência de operação máxima de 640 MSPS. O final da cadeia de recepção é constituído por um conjunto de filtros decimadores para a redução da taxa de amostragem até um fator de 48x.

Na secção B.2, do apêndice B, resume-se de uma forma detalhada as características dos elementos constituintes dos caminhos de recepção e transmissão descritos no último parágrafo.

São ainda incluídos geradores de relógios de referência para os diversos componentes. O *transceiver* AD9361 utiliza *Phase Locked Loops* (PLLs) para gerar as frequências de relógio dos osciladores locais para o transmissor e recetor, assim como do oscilador (PLL de banda base) utilizado pelos conversores de dados (DACs e ADCs), filtros digitais e relógio de dados. Estas PLLs requerem um relógio de referência de entrada, que pode ter origem num oscilador ou num cristal externo e por um condensador variável [Ana14a].

A figura B.2 apresenta um diagrama de blocos detalhado do *transceiver* RF.

6.3 Projeto de Referência

Esta secção tem como objetivo o estudo do projeto de referência que implementará o andar de RF do gerador de sinais LTE. São apresentadas algumas medidas de qualidade de modo a comparar e avaliar as configurações aplicadas ao *transceiver* RF com as especificações do fabricante.

6.3.1 Estrutura Geral

O projeto de referência, fornecido pela Analog Devices e que permite analisar as capacidades do *front end*, é baseado num processador MicroBlaze com interface AXI4-Lite para os periféricos. O diagrama da figura 6.2 mostra a estrutura do sistema embutido implementado na FPGA. São também fornecidas um conjunto de funções numa *Application Programming Interface* (API), que através de *Serial Peripheral Interface* (SPI), permitem realizar o controlo, em tempo real, do *transceiver* do *front end*. Estas funcionalidades são programáveis e incluem ganhos, sincronização, máquinas de estado de controlo, frequências de amostragem, controlo dos filtros digitais, frequência do transmissor e do recetor, largura de banda dos filtros analógicos, entre outras. O dispositivo permite também a monitorização de sinais internos a partir de um conjunto de funções dedicadas.

É ainda fornecido o *core axi_ad9361* que implementa a interface com a DAC e a ADC. A partir deste *core*, é possível configurar dois métodos de envio de sinal para a DAC. Um deles é feito a partir de um DDS, que produz um sinal analógico - tipicamente a forma de onda de um seno - ao gerar um sinal digital variante no tempo, com uma determinada frequência e com uma certa fase, e depois realizar uma conversão do domínio digital para o domínio analógico na DAC. Outro método, é o envio de um sinal através da configuração de um DMA que efetua a transferência de dados da memória SDRAM para a DAC.

A recepção é feita por um outro DMA que é responsável pela captura das amostras disponibilizadas pelo *core axi_ad9361* e de as copiar para a memória SDRAM. Salienta-se que ambos os DMAs possuem interfaces do tipo *First-In First-Out* (FIFO).

O controlador de memória, *axi_dds_ctrl*, é implementado utilizando o IP *core MIG*.

As interfaces FIFO de ambos os DMAs, possuem os seguintes sinais: `clk`, `enable`, `data`, `underflow` e `overflow`. Deste modo, o *core axi_ad9361* possui como entrada e saída de

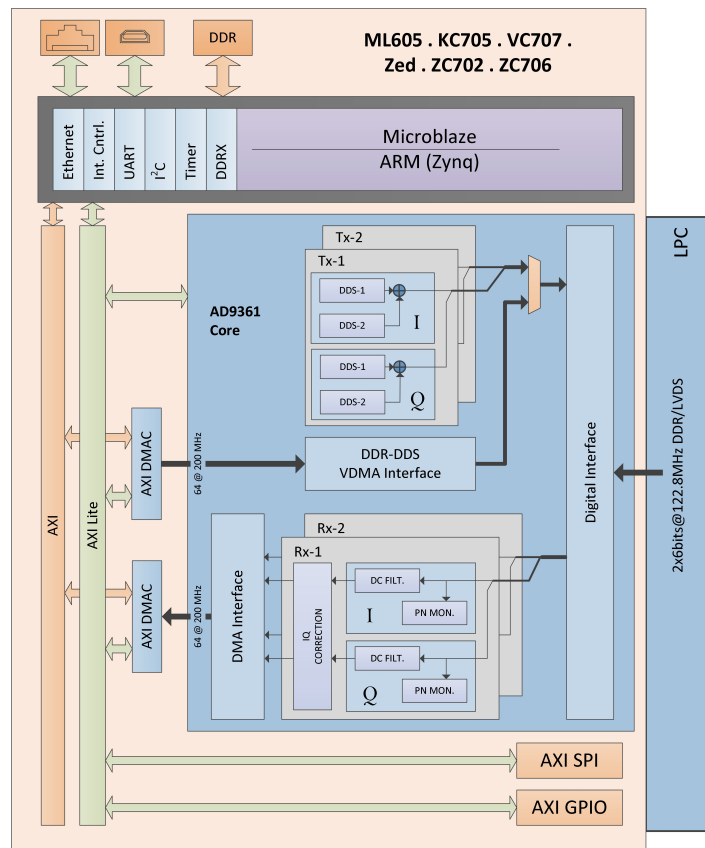


Figura 6.2: Estrutura do projeto de referência para interação com o AD-FMComms3-EBZ da Analog Devices (retirado de [Ana14a]).

dados quatro portas de dimensão 16 bits cada. Assim, são implementados dois canais de 32 bits cada na transmissão e recepção. Estes 32 bits constituem um par I/Q, em que cada amostra é representada por 16 bits. No entanto, como a DAC e a ADC são de 12 bits, os 4 bits menos significativos dos 16 são ignorados. A ligação entre os DMAs e o *core axi_ad9361* é feita a partir de dois blocos: *util_dac_unpack* e *util_adc_pack*. O bloco *util_dac_unpack* tem a função de dividir os 64 bits, da interface FIFO do DMA da DAC, em quatro pares de 16 bits (I e Q). O bloco *util_adc_pack* realiza a função inversa, recebe quatro pares de 16 bits e concatena-os num único sinal de 64 bits para o DMA da ADC.

Conclui-se, então, que a frequência do relógio da interface FIFO da DAC depende da arquitetura do sistema, tal como do número de canais, da frequência de amostragem e da largura de banda do sinal. Como a frequência de amostragem da DAC se encontra limitada a 320 MSPS, a frequência do relógio, *clk*, é no máximo 61.44 MHz para uma configuração com dois transmissores e dois recetores. No caso da configuração com um transmissor e um recetor a frequência do relógio pode ir aos 122.88 MHz. O modo de operação da ADC é semelhante ao da DAC.

6.3.2 Implementação e Validação

Nesta secção, aborda-se o processo de implementação e de validação do projeto de referência descrito na subsecção anterior. Para uma correta validação, foi necessário proceder à sua atualização, visto ter sido desenvolvido na versão 2013.4 do Vivado.

O processo de atualização, foi semelhante ao descrito na secção 5.3. Necessitou-se apenas de gerar os *cores*, fornecidos pela Analog Devices, na versão 2014.1 e de atualizar os *IP cores* da Xilinx.

De seguida, o projeto de referência, foi corretamente validado com a versão 2014.1 da ferramenta de desenvolvimento. A API fornecida permite a utilização dos DDSs ou do DMA para a injeção de amostras I/Q a uma frequência programável a partir dos registos internos do *transceiver* no *front end*.

O modo utilizado na demonstração foi o uso do DMA. Após a execução do programa o sistema é configurado para gerar um seno em cada um dos dois canais e de o enviar para a DAC usando uma portadora de 2.4 GHz. O sinal é recebido, convertido para banda base e digitalizado pelas duas ADCs (uma para cada canal). As amostras I/Q geradas pelas ADCs podem ser observadas utilizando o *Hardware Manager* do Vivado.

Como primeiro cenário de teste considerou-se o envio de um sinal nulo de modo a observar apenas a portadora transmitida pelo *front end*. A figura 6.3 mostra o espectro do sinal transmitido com a frequência da portadora em $f_{DC} = 2.4\text{ GHz}$. A escolha desta frequência baseia-se no facto de ser a que vem por defeito no projeto de referência descrito em 6.3.1. Note-se que, o relógio de referência utilizado (40 MHz) proveio de um *Vector Signal Generator* (VSG) do laboratório, Rohde&Schwarz SMW200A.

Verificou-se que a frequência da portadora não apresenta nenhum desvio em relação ao valor esperado. Contudo, observa-se algum ruído de fase.

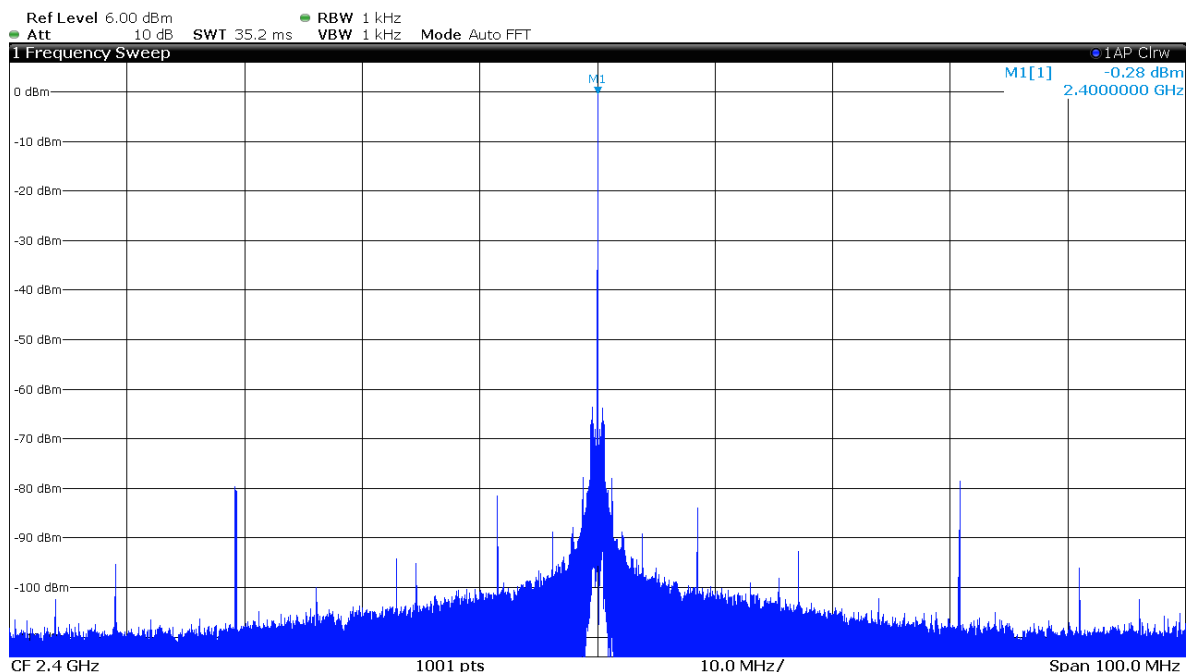


Figura 6.3: Espectro da portadora de 2.4GHz transmitida pelo *front end*.

No segundo cenário de teste foi criado um tom de frequência $f_t = 1 \text{ MHz}$ gerado a partir de um dos DDSs implementados no bloco `axi_ad9362`. Na figura 6.4 está ilustrado o espectro do sinal obtido.

O tom de 1 MHz é observado a 2.401 GHz, como seria de esperar. Consequentemente, com este teste foi possível verificar o fenómeno de I/Q *imbalance* pelo aparecimento de uma harmónica não ideal a $f_{DC} - f_t$ causado pelo desvio de fase e também de amplitude entre os sinais I e Q. O aparecimento destes desvios explicam-se pelo facto da modulação I/Q ser feita no domínio analógico e por isso sujeita a diferenças nos ramos I e Q do *transceiver*. Podem então surgir pequenos desvios de fase, entre os osciladores locais diferentes do ideal de 90° , bem como diferenças ao nível do ganho de cada ramo I e Q. A relação de amplitude dos tons $f_{DC} - f_t$ e $f_{DC} + f_t$ situou-se em -60.69 dBc . Da figura 6.4 ainda é possível identificar uma componente originada pelo LO *leakage*, com a presença da portadora na saída. A relação desta componente face ao tom desejado é de -70 dBc .

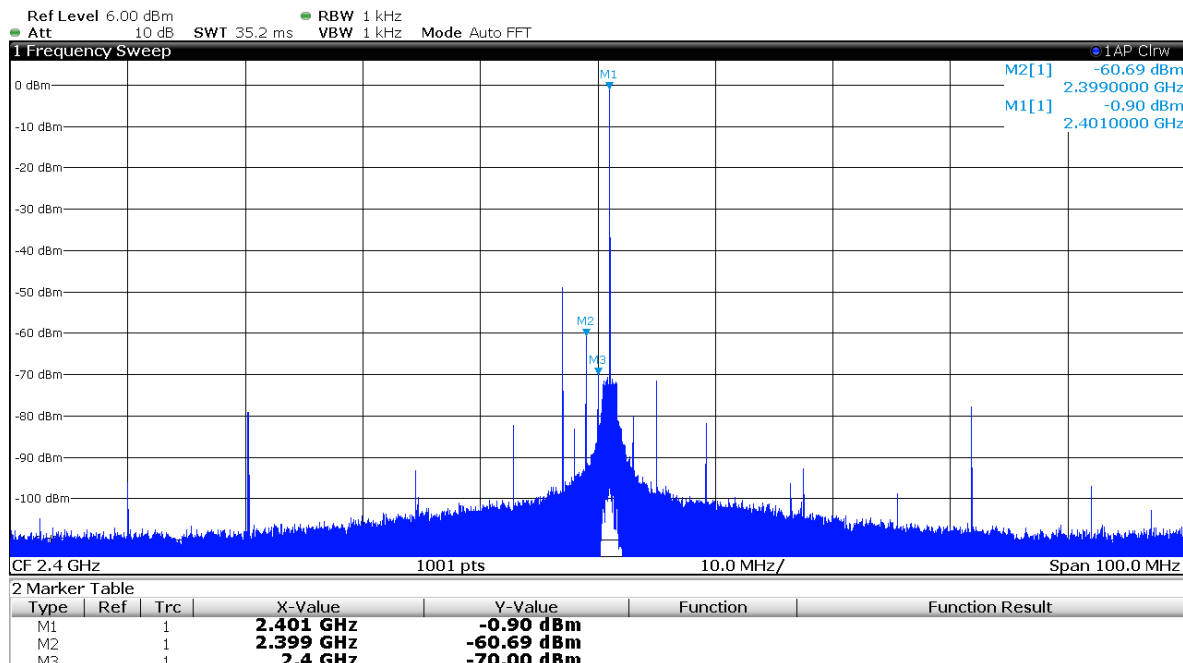


Figura 6.4: Espectro do sinal de um tom amostrado a 122.88 MSPS, com uma portadora de 2.4GHz.

Considerou-se ainda, na secção B.3 do apêndice, o teste para várias bandas do E-UTRA onde são realizadas algumas métricas que ajudam a avaliar o comportamento deste *front end*. Por último, foram ainda validadas algumas das funções da API fornecida, por exemplo, a atenuação do sinal à saída do transmissor, diferentes frequências de amostragem, a largura de banda dos filtros analógicos, a frequência e fase dos DDSs, entre outras.

6.4 Integração com Gerador LTE

Na última secção deste capítulo, apresenta-se o processo de integração do *front end* analógico em termos de blocos de *hardware* e da componente de *software*. A inclusão recai sobre

o sistema validado no capítulo anterior, sendo apenas necessário incluir os blocos para a comunicação com o *front end*.

6.4.1 Fluxo de Dados I/Q

Atendendo ao sistema cuja implementação foi descrita na secção 5.4 e à figura 4.4 é possível verificar quais os blocos que faltam incluir no sistema desenvolvido para que este cumpra a arquitetura proposta para este módulo. Os blocos em questão são o `axi_ad9361_dac_dma` e o `util_dac_unpack` que correspondem à cadeia de *downlink*, e o `util_adc_pack` e o DMA `axi_ad9361_adc_dma` que estabelecem a cadeia de *uplink*. Por último, a interface com as DACs e as ADCs é feita utilizando o bloco `axi_ad9361`. A descrição pormenorizada de cada um destes blocos é feita na secção 6.3.1 deste capítulo. A figura 6.5 demonstra o diagrama de blocos do fluxo dos dados I/Q, implementado no sistema. É de salientar que a interface deste sistema com o gerador de sinais LTE faz-se através do bloco `axi_interconnect_0`.

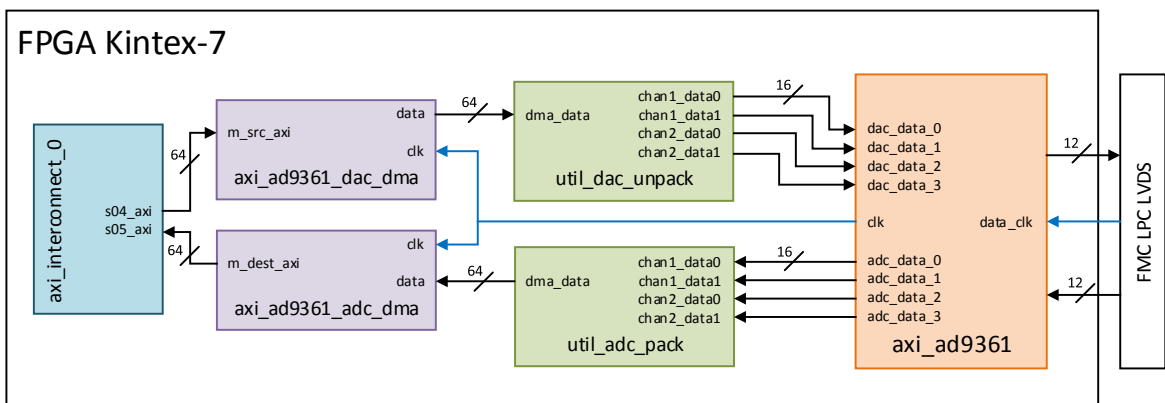


Figura 6.5: Diagrama de blocos do fluxo de dados I/Q para a interface do *front end* analógico.

6.4.2 Restantes Blocos

Note-se que, para além dos periféricos de *hardware* mencionados anteriormente, outros módulos integram o projeto Vivado tais como o SPI que implementa todo o mecanismo de controlo digital do AD9361 e o *General Purpose Input/Output* (GPIO) que permite o *reset* assíncrono do *transceiver* e o controlo dos *switches* do *front end* utilizados no modo TDD. Por outro lado, a UART, para além, das funções mencionadas em 5.4, fornece todo o mecanismo de controlo do *transceiver*, a partir do PC.

6.4.3 Circuito de Relógio

O relógio de referência do *transceiver* AD9361, foi modificado em relação à configuração inicial. Originalmente, este relógio provinha de um cristal dedicado, com uma frequência de 40 MHz. Como não era fácil extrair este relógio e de modo a mitigar os desvios de relógio entre o *transceiver* e os equipamentos de medida, optou-se por remover o cristal e utilizar um gerador de relógios externo. Esta alteração leva a que se aumente a correlação entre os domínios de relógio do sistema. Porém, este relógio externo deve cumprir com as especificações de ruído de fase presentes em B.2.3.

6.4.4 Componente de *Software*

De modo a acomodar as funções desenvolvidas para o sistema proposto em 4.2 e as da API do *front end*, realizaram-se alterações necessárias à componente de *software*. Como resultado criaram-se duas novas regiões de memória face às que já existiam, uma para os dados da DAC e outra para os dados da ADC, como mostra a figura 6.6.

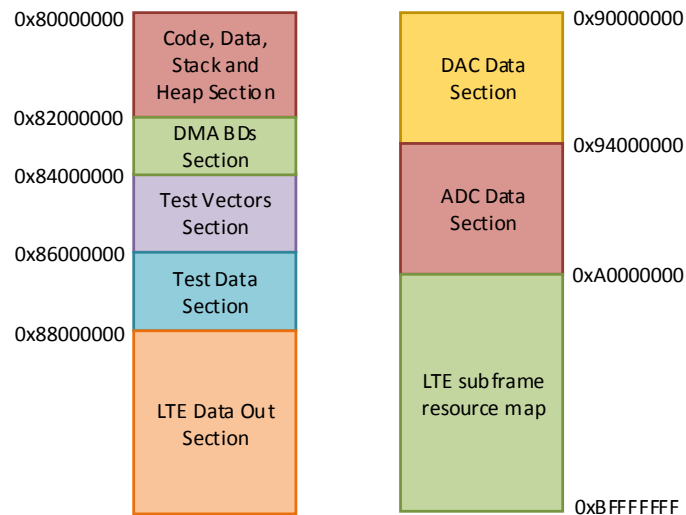


Figura 6.6: Organização do conteúdo da memória SDRAM.

O programa que corre no MicroBlaze começa por configurar a frequência da cadeia de transmissão e receção, as frequências de amostragem por defeito para a DAC e ADC e a cadeia de filtros digitais. Posteriormente, são ainda realizados testes de comunicação para a DAC e ADC, averiguando a validade das configurações escolhidas. Para o correto funcionamento deste módulo, é seleccionado o DMA como fonte de dados para a DAC, em vez dos DDSs. Devido à mudança do relógio de referência, descrita na subsecção 6.4.3, foi necessário proceder à modificação das configurações do *transceiver* AD9361, de acordo com o relógio de referência escolhido.

6.4.5 Recursos de Implementação e Estimativa de Consumo Energético

Analogamente à subsecção 5.4.2, apresentam-se os dados estatísticos relativos à implementação do sistema implementado no capítulo anterior juntamente com a componente do *front end* rádio. Os relatórios obtidos para o consumo de recursos e energia, encontram-se descritos na tabela 6.1 e na figura 6.7, respetivamente.

Recurso	Utilizados	Disponíveis	Percentagem [%]
FF	96355	407600	24
LUT	71065	203800	35
Memory LUT	7180	64000	11
I/O	205	500	41
BRAM	176	445	40
DSP48	137	840	16
BUFG	7	32	22
MMCM	1	10	10
PLL	1	10	10

Tabela 6.1: Consumo de recursos da FPGA após a implementação da interface do *front end* analógico.

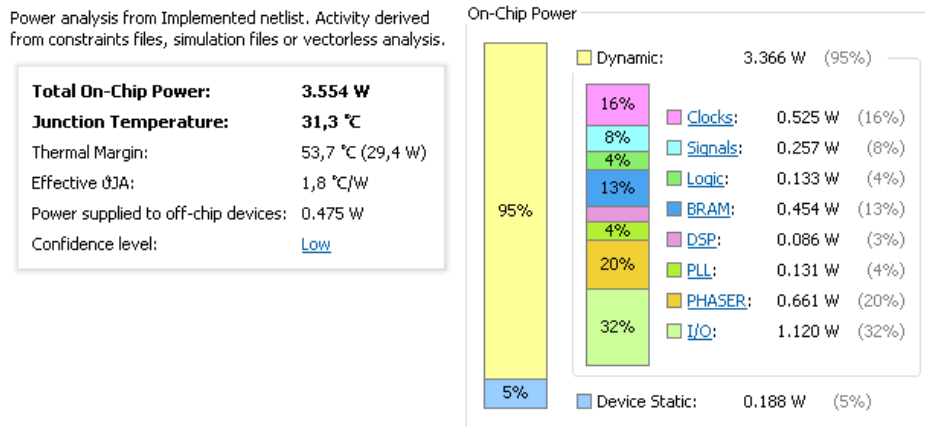


Figura 6.7: Estimativa de consumo energético após a implementação da interface do *front end* analógico.

Constata-se que houve um acréscimo no consumo de recursos da FPGA e, conseqüentemente, do consumo de potência. Isto deve-se ao facto de neste módulo terem sido adicionados módulos necessário para realizar o interface com *transceiver* rádio, assim como dos componentes que permitem a depuração das interfaces das ADCs.

Este capítulo apresentou os aspetos mais relevantes da implementação do sistema de comunicações desenvolvido terminando assim a fase de descrição do funcionamento do mesmo. Deste modo, no capítulo seguinte é apresentado um demonstrador para cenários C-RAN, baseado nas plataformas desenvolvidas nestes dois últimos capítulos.

Capítulo 7

Demonstrador C-RAN

Neste capítulo são expostos alguns dos detalhes do processo de desenvolvimento do demonstrador C-RAN, desde o módulo REC ao RE passando pelo *fronthaul*. A interface entre os módulos REC e RE com o *fronthaul* é feita a partir do protocolo CPRI. Deste modo, começou-se por estudar o projeto de referência *CPRI Hardware Demonstration Design* da Xilinx e que é de seguida apresentado.

7.1 Introdução

Tendo em conta o diagrama de blocos da figura 7.1, o demonstrador a desenvolver é constituído por dois módulos, o REC e o RE. O módulo REC implementa toda a lógica de interface com PC, a geração de sinais LTE, a multiplexagem e desmultiplexagem das amostras I/Q (EUTRA I/Q Module), o C&M e a interface com o *link* ótico através do bloco que implementa o protocolo CPRI (CPRI framer). Por sua vez, o módulo RE é composto pelo bloco CPRI framer, EUTRA I/Q Module, C&M, FIFOs de conversão de domínios de relógio para *downlink* e *uplink* (FIFO DL/UP) e pela interface com o *front end* analógico.

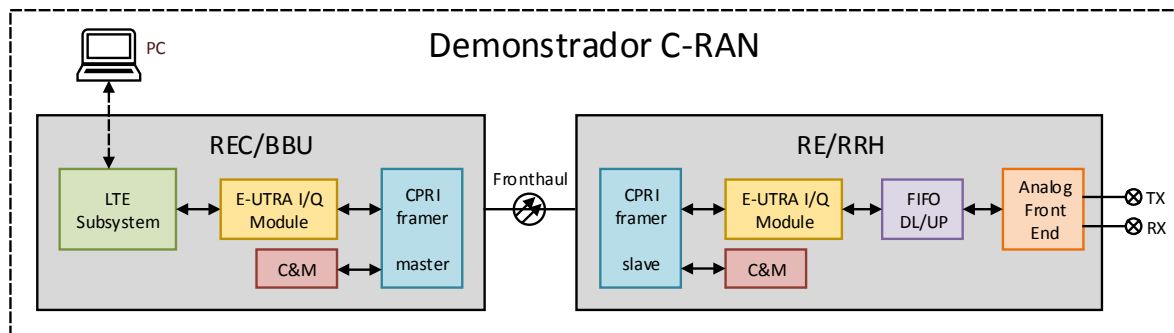


Figura 7.1: Ilustração do diagrama de blocos do demonstrador C-RAN.

Feita uma breve descrição dos componentes que integram cada um dos módulos constituintes do demonstrador C-RAN, na secção seguinte descreve-se o projeto de referência que serve de base à implementação do bloco CPRI framer [Xil14a].

7.2 Projeto de Referência CPRI

A figura 7.2 ilustra a estrutura interna do projeto de referência. Este exemplo inclui uma instância do IP *core* CPRI da Xilinx que implementa as camadas L1 e L2 da especificação. A versão deste periférico é a v8.2 e está em conformidade com a especificação 6 do protocolo CPRI [Com13]. Salienta-se ainda o facto de este projeto se encontrar preparado para o *kit* de desenvolvimento KC705. O *core* CPRI foi parametrizado para operar à sua máxima velocidade com um relógio de referência a 307.2 MHz. Neste exemplo, o *core* é projetado para operar em *loopback* via um conector *SubMiniature version A* (SMA). Outras configurações atribuídas ao *core* determinam o seu modo de operação, das quais se destacam a *line rate* de 9830.4 Mbit/s, a interface para *Requirement 21* (R21) e a *Gigabit Media Independent Interface* (GMII). Além disso, foram adicionados módulos de injeção de vetores de entrada e monitorização das interfaces do *core* CPRI e módulos de depuração como o *Virtual Input/Output* (VIO) e o *Integrated Logic Analyzer* (ILA).

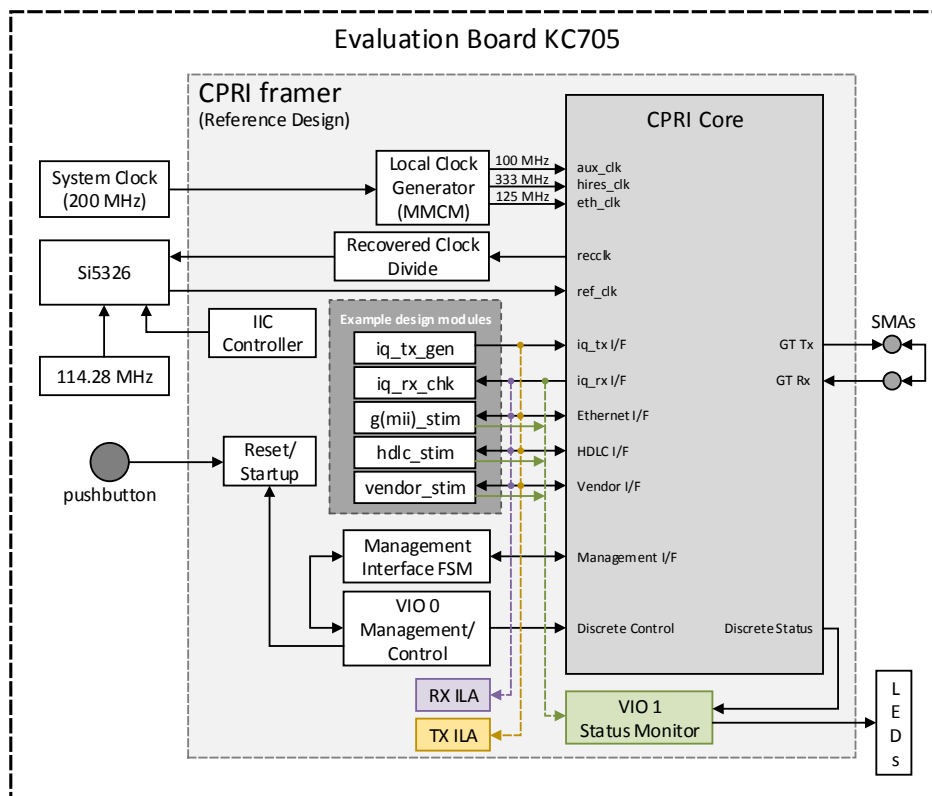


Figura 7.2: Ilustração do esquema do projeto de referência *Hardware Demonstration Design* da Xilinx (adaptado de [Xil14a]).

As interfaces série (TX e RX) do *core* estão ligadas aos *transceivers* SMA da placa KC705 e têm como objetivo estabelecer um caminho de *loopback*.

O relógio de referência para o *transceiver* é proveniente do componente Si5326, da Silicon Labs, presente na placa KC705 [Xil14c]. O propósito principal deste relógio é o suporte para aplicações que realizam recuperação de relógio a partir dos módulos SFP/SFP+. Posteriormente, é distribuído como relógio de referência para os *transceivers* GTX. Este dispositivo é

inicializado e configurado a partir de um barramento *Inter-Integrated Circuit* (I2C), com o objetivo de facultar a frequência do relógio de referência (15.36 MHz) a partir de um relógio externo (114.285 MHz). Contudo, este relógio só se encontra disponível quando o *core* CPRI está configurado em modo *slave* ou em *loopback*.

O relógio do sistema (200 MHz) é encaminhado para um *Mixed-Mode Clock Manager* (MMCM) que, por sua vez, gera os restantes relógios *aux_clk*, *hires_clk* e *eth_clk* (para o GMII) ou 100, 333 e 125 MHz, respetivamente.

Adicionalmente, este sistema vem ainda provido de indicação visual do seu estado, utilizando os GPIO LEDs da placa de demonstração.

7.2.1 Alterações ao Projeto de Referência

De modo a possibilitar a integração do projeto de referência nos módulos do REC e do RE desenvolvidos foi necessário efetuar algumas alterações quer ao nível dos blocos que o constituem quer das *constraints*.

Os módulos de injeção de vetores de entrada e monitorização das interfaces do core CPRI e os módulos de depuração VIO foram removidos. Os blocos do *example design* como o *iq_tx_gen*, o *iq_rx_chk*, o *(g)mii_stim* foram retirados, contudo os restantes (*hdlc_stim* e o *vendor_stim*) foram preservados. Por último, os módulos Management Interface FSM e *reset/startup* também deixaram de fazer parte do sistema.

Com o objetivo de aumentar a flexibilidade e modularidade da arquitetura global do sistema, foi extraído o módulo responsável por implementar a lógica que gera as diversas frequências de sinal de relógio, as quais se pretende que sejam partilhadas pelos diversos módulos do sistema.

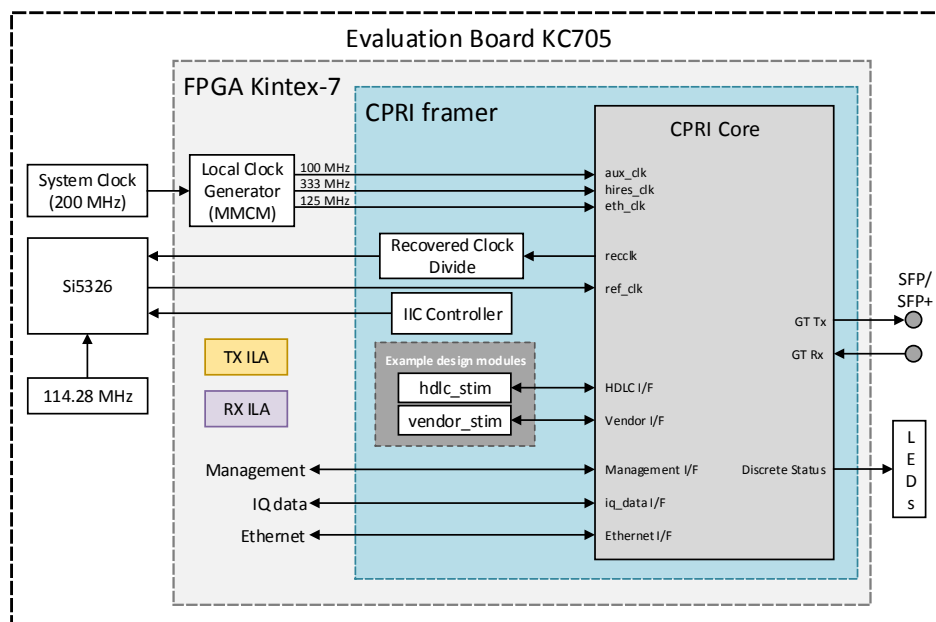


Figura 7.3: Diagrama de blocos atualizado do projeto de referência do CPRI.

Tendo em conta que se pretende validar o módulo CPRI sobre um *link* ótico e respeitando de igual forma a arquitetura a demonstrar, foram alteradas as *physical constraints* de modo a

substituir as interfaces SMA pelo módulo SFP+. A figura 7.3, mostra a nova arquitetura do módulo CPRI após as alterações discutidas nesta subsecção.

7.3 Implementação do *Fronthaul* do Demonstrador

As arquiteturas referidas nas subsecções 4.4.1 e 4.4.2 para os módulos REC/BBU e RE/RRH do demonstrador, respetivamente, vão ser baseadas no projeto de referência descrito na secção anterior. Desta forma, descreve-se de seguida o processo de implementação dos módulos que constituem o demonstrador.

7.3.1 Módulo REC

O módulo REC é responsável pela geração e transmissão de sinais LTE e pelas operações de C&M. Assim, como referido em 4.4.1, este módulo é constituído pelos blocos **CPRI framer**, **eutra_iq_module** e **ethernet**. A descrição de cada um destes blocos é feita nas secções seguintes. O diagrama de bloco completo da componente de *hardware* implementada em FPGA do módulo REC, encontra-se ilustrado na figura 7.4.

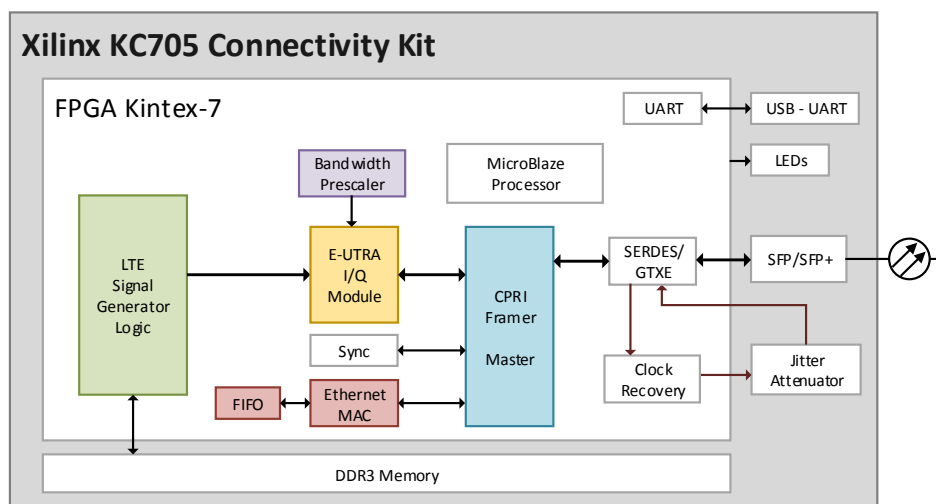


Figura 7.4: Diagrama de blocos do sistema desenvolvido para o REC/BBU.

7.3.1.1 Bloco CPRI *Framer*

O bloco **CPRI framer** presente em ambos os módulos do demonstrador, corresponde ao projeto de referência CPRI com as alterações mencionadas na secção 7.2.1 deste capítulo.

Consideram-se as interfaces da camada L2 como o fluxo de dados I/Q, *ethernet*, HDLC, sincronização da camada L1 e *Vendor Specific*. Ao nível da L1, o *core* implementa a técnica de TDM para realizar a multiplexagem dos fluxos de informação, assim como os mecanismos de sincronização. A interface *management* é utilizada na configuração do modo de operação e na leitura do estado do *core* e suporta AXI4-Lite. O C&M é executado com base numa interface GMII, como já foi referido. É importante referir ainda que, este bloco instancia a interface com os módulos SERDES da FPGA, designadamente, com os *transceivers* GTX. A figura 7.5 apresenta a arquitetura interna do *core* CPRI.

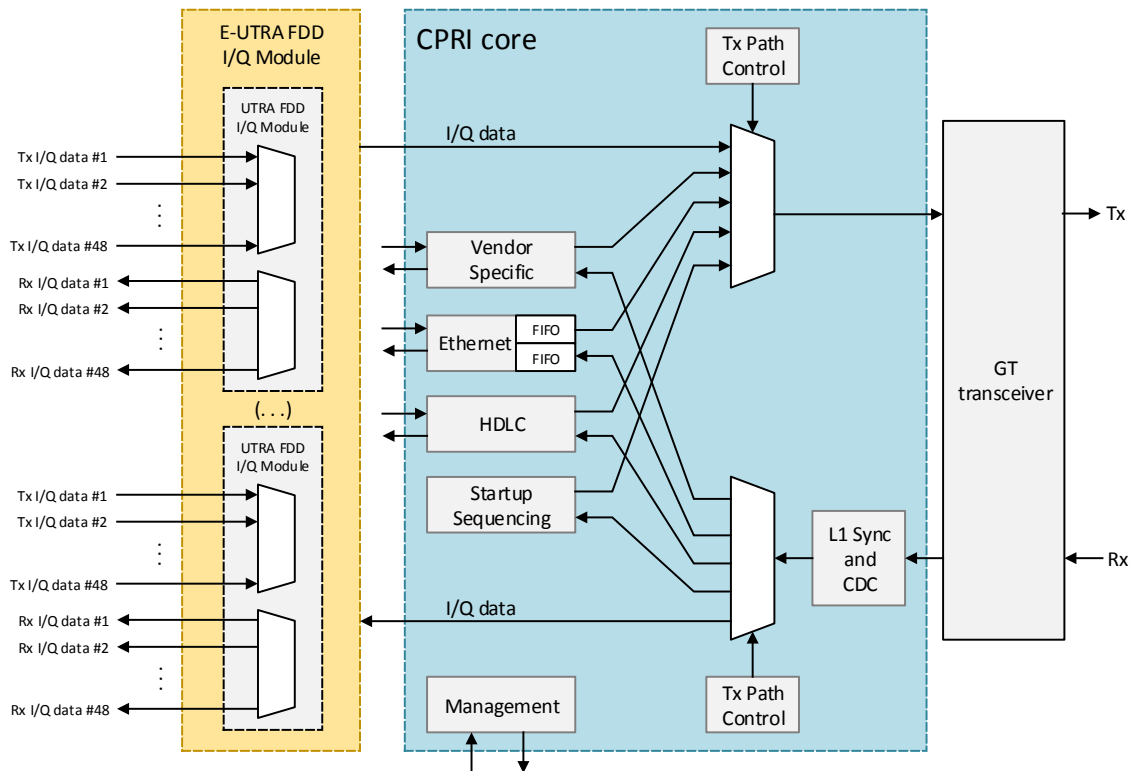


Figura 7.5: Arquitetura interna do IP *core* CPRI versão 8.2 (adaptado de [Xil14g]).

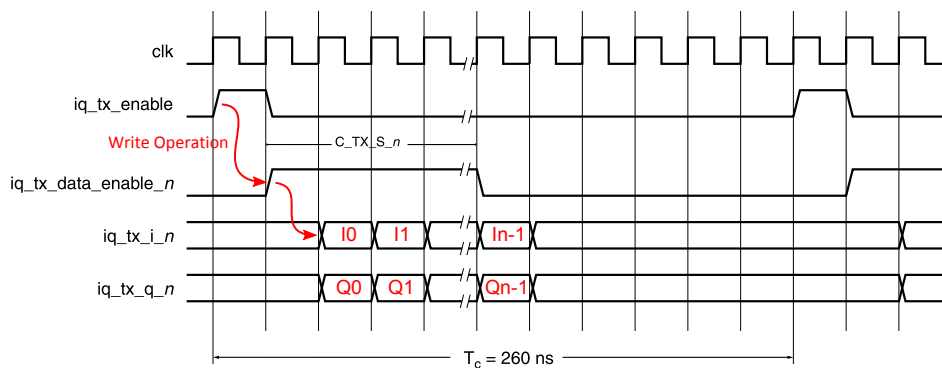
Além das interfaces descritas anteriormente, o *core* dispõe ainda de um bloco de *Status/Alarm* que reflete o estado interno do *core* e do *link*, o *Start-up Sequencer* que realiza a negociação da *line rate* e dos parâmetros de C&M no início da ligação entre os módulos REC e RE. Por último, estão ainda disponíveis os módulos de multiplexagem e desmultiplexagem das amostras I/Q para sistemas UTRA e E-UTRA, presentes na figura 7.5. De seguida, é apresentado o módulo de multiplexagem/desmultiplexagem de amostras I/Q para os sistemas E-UTRA.

7.3.1.2 Módulo E-UTRA I/Q

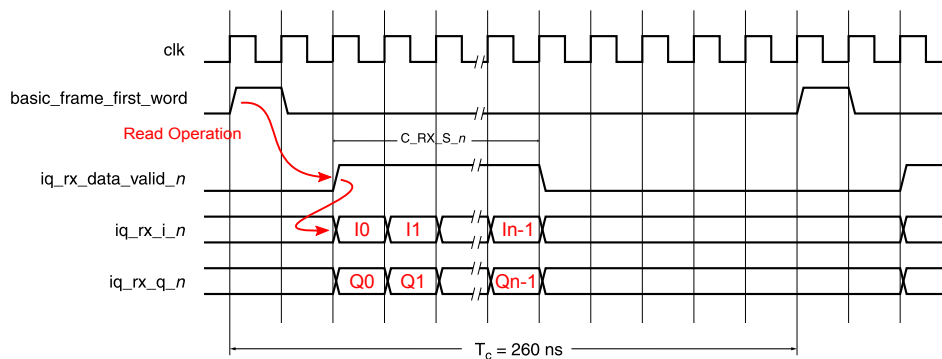
Nesta subsecção, apresenta-se um exemplo que permite compreender a interface de dados I/Q do módulo `eutra_iq_module`. Este é implementado com base no módulo `UTRA FDD` e permite a transmissão e a receção de múltiplas amostras por canal. Este bloco multiplexa e desmultiplexa até dois canais, cada um com oito amostras (par I/Q) por *basic frame* ou oito períodos t_{chip} em AxCs, correspondente a um sinal LTE com 20 MHz de largura de banda, como apresentada na tabela 3.3. Para o demonstrador desenvolvido, são consideradas amostras I/Q de 16 bits.

A partir dos diagramas temporais presentes nas figuras 7.6(a) e 7.6(b), é possível verificar como é feita a multiplexagem/desmultiplexagem das amostras I/Q de cada canal. De salientar que o pulso `iq_tx_data_enable_n` está ativo durante um período de $C_TX_S_n$ amostras, o mesmo se verifica na receção. Verifica-se que, apesar do relógio `clk` assinalar, respetivamente, os instantes de leitura e escrita, a largura de banda determina a quantidade de amostras

processadas durante um t_{chip} ou, com o mesmo significado, num *basic frame* CPRI. A relação entre o número de amostras em cada *basic frame*, a largura de banda do sinal e a frequência de amostragem a ela associada encontra-se na tabela 3.3.



(a) Diagrama temporal da interface I/Q de transmissão.



(b) Diagrama temporal da interface I/Q de recepção.

Figura 7.6: Ilustração dos diagramas temporais da interface de dados I/Q do *core* CPRI em sistemas E-UTRA (adaptado de [Xil14g]).

Note-se que o número de bits por amostra e o número de amostras por canal são configurados antes da síntese do projeto. Assim, o dimensionamento deste módulo foi feito tendo em conta um sinal LTE de 20 MHz e com amostras I/Q de 16 bits. Posteriormente, desenvolveu-se o periférico `eutra_bw_prescaler` que, de acordo com a largura de banda do sinal configurada, altera o período dos sinais `iq_tx_data_enable_n` e `iq_rx_data_enable_n`, permitindo o envio de sinais LTE de 5 a 20 MHz de largura de banda. Face ao exposto, foi necessário adicionar um componente GPIO ligado à entrada deste módulo para condicionar a duração dos pulsos de *enable* do fluxo de transmissão e recepção.

7.3.1.3 Módulo de C&M

Para finalizar a descrição dos componentes que constituem o módulo REC, resta ainda referir o bloco `ethernet` que é responsável pelo C&M dos módulos. Este bloco é implementado com os periféricos `axi_ethernet` e `axi_ethernet_fifo`, que tem como função mover os dados *ethernet* a transmitir ou a receber de/para o *core* `axi_ethernet`. Este último, facultava ainda uma interface AXI4-Lite para uma ligação simples ao processador para permitir o acesso aos seus registos [Xil14e].

7.3.1.4 Arquitetura de DMAs

Face à arquitetura dos DMAs descrita em 5.4.1 houve necessidade de modificar a sua constituição. Esta alteração justifica-se pelo facto de os DMAs utilizados suportarem apenas uma interface de leitura e escrita. Para isso, introduziu-se um novo DMA que tem como função a leitura e a escrita dos sinais LTE do bloco `lte_dl_tx_subsystem` em memória. Durante o processo de escrita os sinais são armazenados na região de memória `LTE Data Out`, como indicado na figura 6.6. No processo de leitura, os sinais são lidos da secção de memória `DAC Data` e encaminhados para o periférico `etra_iq_module`. Assim, o `axi_dma_2` vê a sua configuração alterada de modo a possuir apenas uma interface de leitura em modo simples. No que diz respeito, ao novo DMA (`axi_dma_3`), foram ativados os modos de leitura e escrita e também o modo *scatter gather*, para que o mesmo funcione de modo autónomo. A figura 7.7, mostra a nova arquitetura de DMAs desenvolvida.

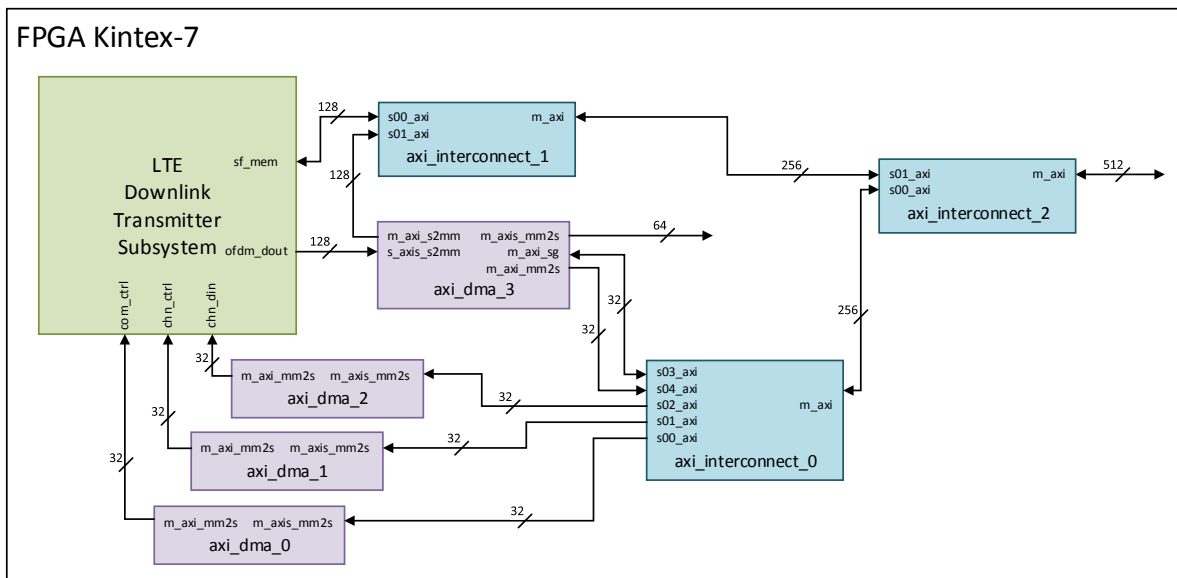


Figura 7.7: Diagrama de blocos da arquitetura de DMAs do módulo REC/BBU.

7.3.1.5 Depuração do Sistema

Para além dos módulos descritos nas subsecções anteriores, é igualmente importante referir o bloco responsável pela depuração do sistema, o qual permite validar todos os sinais antes do CPRI `framer`. Assim, a depuração do sistema é feito a partir de um bloco ILA introduzido nas interfaces I/Q de transmissão e receção do módulo `etra_iq_module`. Deste modo, é possível monitorizar os sinais os fluxos de dados que seguem para o *link* CPRI.

7.3.1.6 Componente de Software

À semelhança dos sistemas implementados nos capítulos 5 e 6, o MicroBlaze do módulo REC/BBU corre uma aplicação que tem, para além das já referidas, a função de estabelecer as configurações iniciais para o *core* CPRI, como a *line rate* do *link*, a largura de banda dos sinais LTE e ainda mapear as placas que estão ligadas por CPRI. As considerações

feitas em 2.4.1 são úteis no dimensionamento do *link* CPRI na medida em que permitem encontrar a quantidade de informação que é possível incluir num *basic frame*, dependendo da *line rate* e largura de banda do sinal LTE que se pretende transmitir. De seguida, são feitos os cálculos que permitem determinar a *line rate* do *link* CPRI para a largura de banda máxima de um canal E-UTRA (20 MHz). Para um sinal LTE de 20 MHz ($S = 8$) com amostras I/Q de 16 bits e MIMO 2×2 , a dimensão do I/Q *block* é dada pela seguinte relação: $IQ_{data_width} \times IQ_{pair} \times S \times N_{channels}$. Assim, o número de bits que o I/Q *block* tem de acomodar num t_{chip} é $16 \times 2 \times 8 \times 2 = 512 \text{ bits}$. Da tabela 2.1, conclui-se que a opção da *line rate* do CPRI mínima neste caso é a 4, que corresponde a 3072.0 MHz.

No caso do RE/RRH, o programa espera por comandos provenientes do REC e da interface *fast C&M* implementada pelo bloco `ethernet`.

Ao longo desta secção detalhou-se o método de implementação da interface CPRI no módulo REC/BBU que compõem o demonstrador. A próxima subsecção foca a integração do *front end* analógico no módulo RE/RRH.

7.3.2 Módulo RE

Nesta secção, é apresentado o método de integração dos componentes do CPRI com os módulos que interagem com o *front end* analógico ao nível dos blocos de *hardware* e da componente de *software*. Esta integração incide sobre a plataforma desenvolvida no capítulo 6, apenas ao nível da componente de interface com as DACs e ADCs. Assim, pretende-se incluir a lógica necessária ao estabelecimento das cadeias de *downlink* e de *uplink*. No sentido de *downlink*, o objetivo consiste em redirecionar os sinais digitais LTE em banda base recebido do módulo REC, para a conversão do mesmo em RF. No que diz respeito ao *uplink*, pretende-se enviar o sinal digitalizado, pela ADC do *front end*, por meio do *link* CPRI para o módulo REC. Salienta-se, ainda o facto, de o *core* CPRI se encontrar configurado como *slave*.

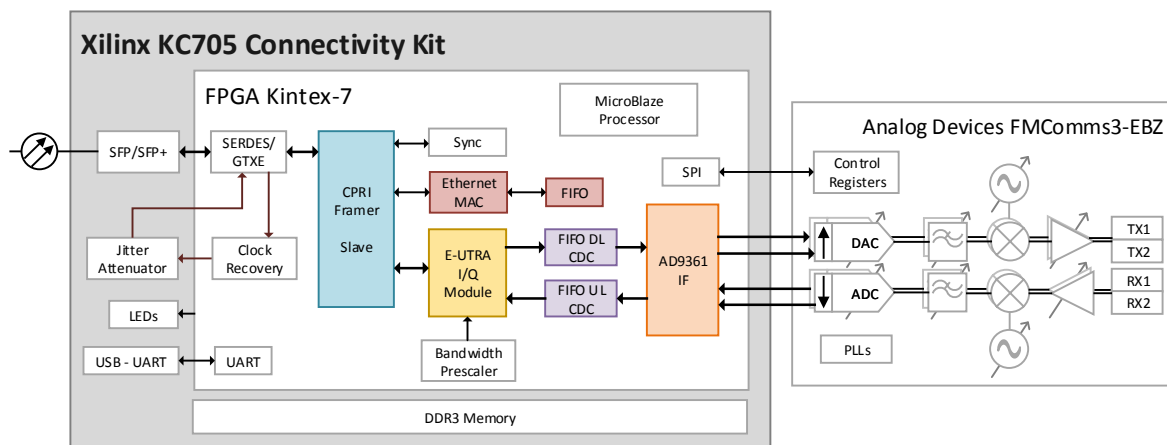


Figura 7.8: Diagrama de blocos do sistema desenvolvido para o RE/RRH.

7.3.2.1 Fluxo de Dados

De acordo com a figura 4.6 e considerando os sistemas cuja implementação foi exposta em 6.4 e 7.3.1 é possível verificar os blocos que faltam incluir no RE/RRH para que se cumpra a

arquitetura proposta para este módulo do demonstrador. Os blocos em questão são o CDC DL que corresponde à cadeia de *downlink* e o CDC UL que constitui a cadeia de *uplink*. A figura 7.9 mostra o diagrama de blocos que concretiza o fluxo de dados I/Q, implementado em FPGA.

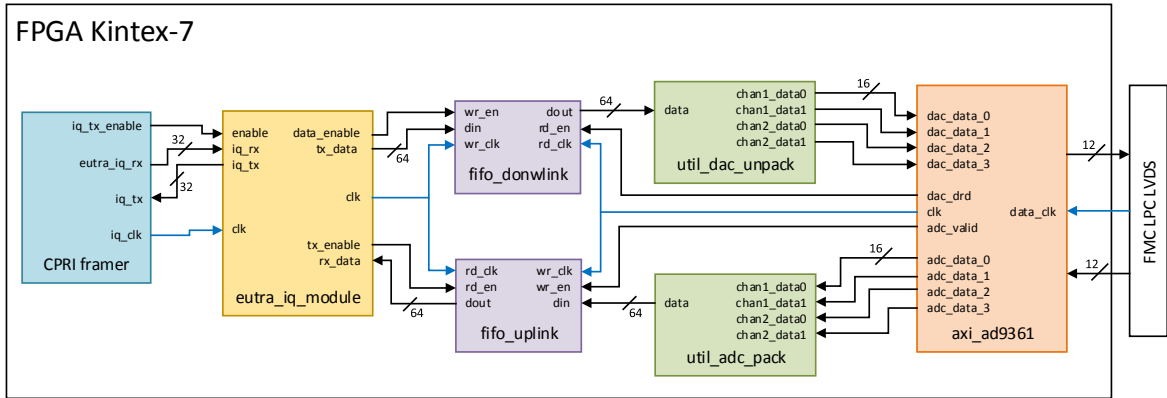


Figura 7.9: Diagrama dos blocos lógicos que constituem o fluxo de dados do módulo RE.

Tendo em conta as considerações feitas nas subsecções 7.3.1.2 e 6.3.1 quanto à interface de dados dos *cores*, é essencial proceder à introdução de um bloco FIFO, derivado do *core* FIFO Generator v12.0 na configuração nativa presente na ferramenta de desenvolvimento Vivado [Xil14b]. Este FIFO contém relógios de escrita e leitura independentes, e é utilizado na passagem de dados I/Q, entre o *core* CPRI e o *front end*, sem perdas e com o mínimo de latência possível. Para o *downlink*, o componente *fifo_downlink* recebe um relógio de escrita proveniente do periférico que implementa o módulo *eutra_iq_module* e um relógio de leitura do *core* que realiza a interface com a DAC (*axi_ad9361*). A entrada dos dados de 64 bits é feita concatenando os sinais I(MSB) e Q(LSB) do canal 1 e 2 do *core* *eutra_iq_module*, cada um com 16 bits. Para a DAC, são enviados 64 bits relativos a dois pares I/Q, um por cada antena. No *uplink*, o *fifo_uplink* concretiza uma operação semelhante à anterior, contudo neste caso o relógio de escrita corresponde ao do *core* *axi_ad9361*, mais concretamente da ADC, e o relógio de leitura provém do periférico *eutra_iq_module*. Adicionalmente, introduziu-se um módulo para a conversão das quatro saídas de 16 bits do *core* *axi_ad9361* numa única de 64 bits. Assim, na entrada de dados do *fifo_uplink* são concatenadas as quatro saídas que representam os fluxos de amostras I/Q de cada antena. A saída deste FIFO é transmitida para as entradas I e Q do canal 1 e 2 de transmissão do *core* *eutra_iq_module*.

7.3.2.2 Considerações sobre o Relógio de Referência

Para cumprir com os requisitos descritos em 6.4.3, utilizam-se componentes externos, capazes de sintetizar relógios com uma determinada frequência e de reduzir o *jitter* com recurso a uma PLL interna. Assim, recorreu-se ao módulo de avaliação da Texas Instruments CDCDE72010EVM (apêndice C). Esta mudança levou a que se modificasse o *core* CPRI framer de modo a devolver o relógio recuperado de 15.36 MHz do *link* CPRI. Este relógio é devolvido do *core* CPRI em modo diferencial do tipo LVDS sendo posteriormente convertido em *single ended* de forma a ser direcionado como referência ao módulo CDCDE72010EVM.

Este módulo vai ter que ser capaz de devolver dois relógios de referência, um para o *front end* e um outro para o equipamento de medidas. Atendendo aos requisitos referidos em B.2.3

e de modo a manter uma relação direta entre os relógio de entrada e de saída do módulo, escolheu-se uma referência de 30.72 MHz. Como a referência para o equipamento de medidas não deve exceder os 20 MHz, optou-se por uma de 15.36 MHz. Tendo em conta estes valores e que o VXCO presente neste módulo é de 491.52 MHz, alguns cálculos são necessários de modo a determinar os coeficientes M , N , FB e P [Tex08b]. A equação 7.1 generaliza a relação entre a frequência de saída (F_{out}) e a de referência (F_{in}).

$$F_{out} = F_{in} \cdot \frac{N \cdot FB}{M \cdot P} \quad (7.1)$$

Para o caso do relógio de 15.36 MHz, sabendo que $F_{VXCO} = F_{out} \cdot P$, extrai-se o *output divider*, $P = 32$. Ao fixar o valor do *feedback* $FB = 80$ obtém-se a seguinte razão: $N/M = 5/2$. Assim, escolheu-se $M = 100$, o que implica $N = 40$. Seguindo a mesma linha de raciocínio para o relógio de 30.72 MHz, verificou-se que os coeficientes mantêm os mesmos valores, sendo que somente o *output divider* é atualizado para $P = 16$. Estes coeficientes são introduzidos na *Graphical User Interface* (GUI) disponibilizada pelo fabricante para a configuração do módulo de avaliação, como é possível verificar na figura C.2 [Tex]. A aplicação permite ainda especificar o tipo de saída (LVDS) e ainda identificar os coeficientes determinados anteriormente no esquema interno do CDCE72010. A figura 7.10 mostra a arquitetura completa do módulo RE/RRH tendo em conta todas as considerações de relógios de referência feitas nesta subsecção.

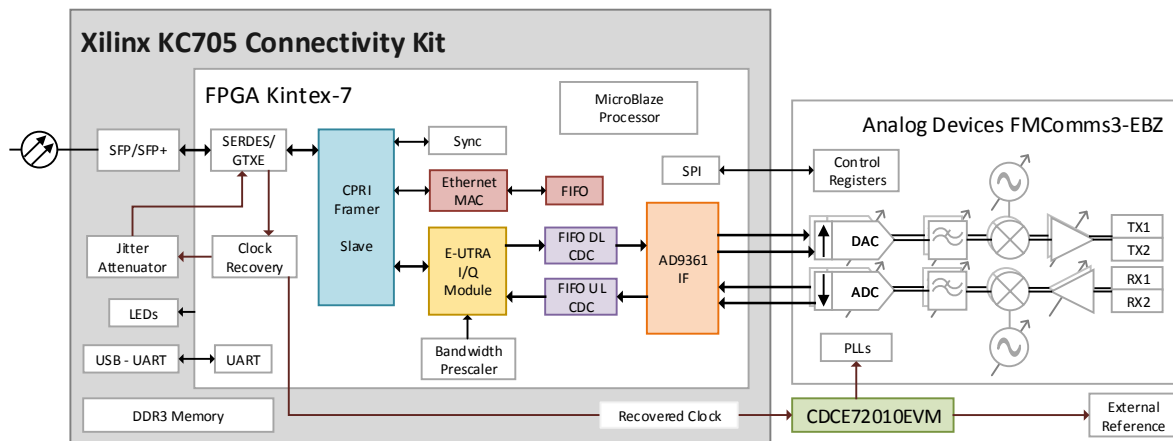


Figura 7.10: Diagrama de blocos da arquitetura do módulo REs com as considerações de relógio.

7.3.2.3 Depuração do Sistema

À semelhança do que foi descrito na subsecção 7.3.1.5 do módulo REC, também neste se introduziram blocos para a depuração deste componente, os quais permitem validar os sinais recebidos no RE face aos transmitidos pelo REC. Assim, a depuração do sistema é feita, por um lado, a partir de dois blocos ILA inseridos nas interfaces I/Q de receção e transmissão do *core eutra_iq_module* e nas interfaces de dados da DAC e ADC. Por outro lado, a UART faculta informações quanto à configuração inicial do *front end* e aos comandos recebidos pela interface de C&M.

7.3.2.4 Componente do *Software*

Durante as configurações iniciais, a aplicação entra em modo de espera por comandos provenientes do REC, confirmando a recepção de novos *frames* na interface de C&M. Como já foi referido, o modo de indicar ao *core* CPRI o número de amostras contidas em cada *basic frame* é realizado com um módulo de GPIO. Assim, foi desenvolvida uma rotina que recebe o número de amostras pela interface C&M e configura o período do *enable* do módulo *eutra_iq_module* e também redefine a frequência de amostragem da DAC e da ADC do *front end*.

7.3.3 Recursos de Implementação e Estimativa de Consumo Energético

De modo a finalizar a secção relativa à implementação dos módulos que constituem o demonstrador C-RAN, são apresentados nas tabelas 7.1 e 7.2 os níveis de utilização dos recursos da FPGA Kintex-7, dos módulos REC/BBU e RE/RRH, respetivamente. Adicionalmente, nas figuras 7.11 e 7.12, apresentam-se as estimativas de consumo energético de cada um dos módulos.

Recurso	Utilizados	Disponíveis	Percentagem [%]
FF	97880	407600	24
LUT	79615	203800	39
Memory LUT	7063	64000	11
I/O	136	500	27
BRAM	197	445	44
DSP48	77	840	9
BUFG	14	32	44
MMCM	3	10	30
PLL	1	10	10
GT	1	20	5

Tabela 7.1: Consumo de recursos da FPGA após a implementação do módulo REC.

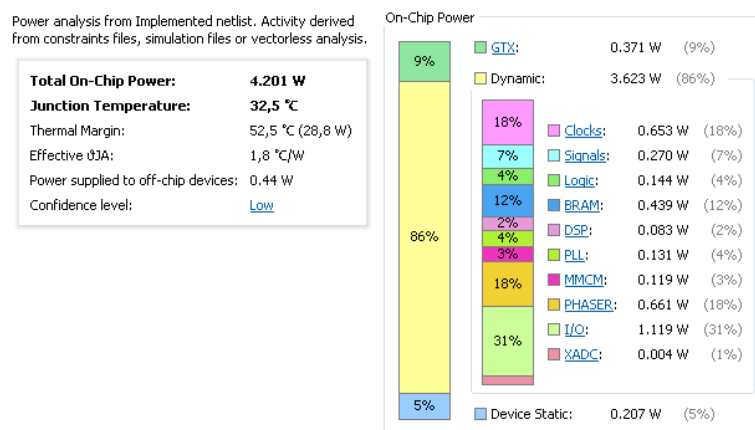


Figura 7.11: Relatório da estimativa de consumo de energético da FPGA no projeto do REC.

Recurso	Utilizados	Disponíveis	Percentagem [%]
FF	42990	407600	11
LUT	38463	203800	19
Memory LUT	4719	64000	7
I/O	194	500	39
BRAM	59	445	13
DSP48	60	840	7
BUFG	15	32	47
MMCM	3	10	30
PLL	1	10	10
GT	1	20	5

Tabela 7.2: Consumo de recursos da FPGA após a implementação do módulo RE.

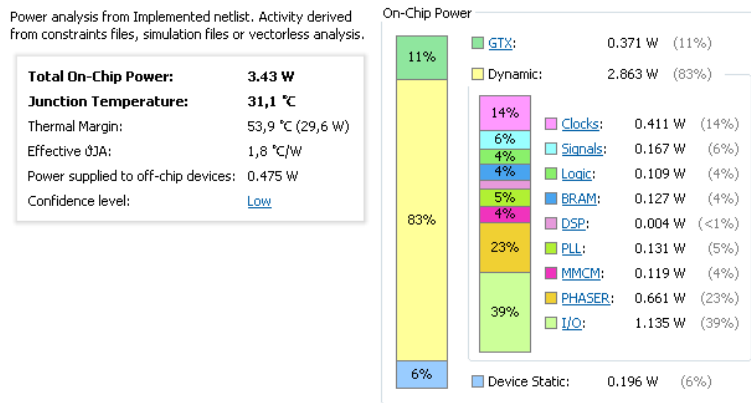


Figura 7.12: Relatório da estimativa de consumo de energético da FPGA no projeto do RE.

Os dados apresentados nesta subsecção permitem avaliar a complexidade destes módulos comparativamente aos sistemas implementados nos capítulos 5 e 6 deste documento. Mais uma vez, é possível concluir quanto ao grau de complexidade dos módulos quer em termos de recursos como de estimativa de consumo energético.

7.4 Setup Laboratorial

Na figura 7.13, é possível encontrar o *setup* laboratorial que serviu de base ao demonstrador C-RAN implementado. A descrição de cada um dos itens assinalados na figura 7.13 está presente na tabela 7.3.

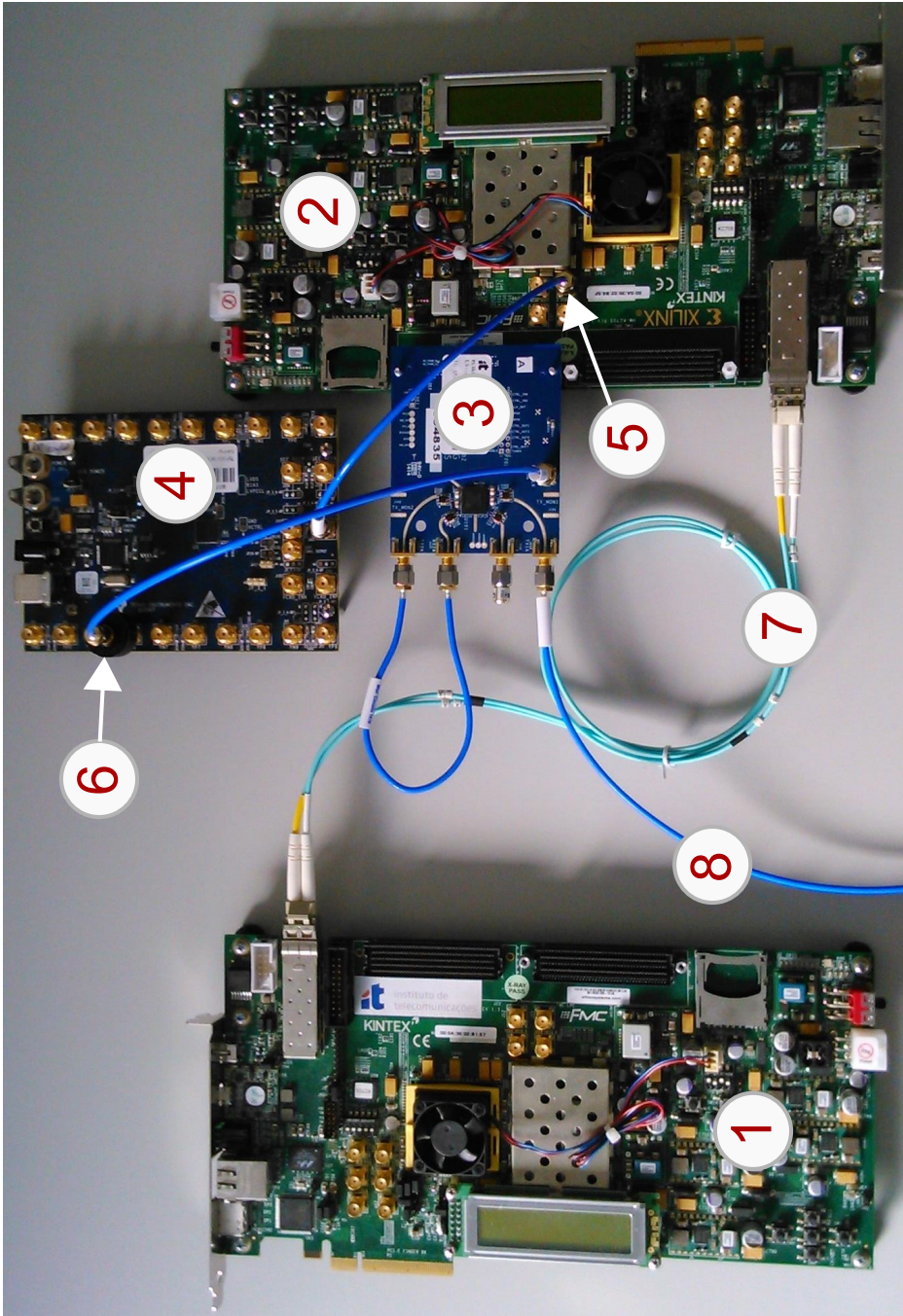


Figura 7.13: Fotografia do *setup* laboratorial do demonstrador C-RAN.

Item	Descrição
1	Placa KC705 na configuração de REC/BBU
2	Placa KC705 na configuração de RE/RRH
3	Front end AD-Fmcomms3-EBZ
4	Módulo PLL CDCE72010EVM
5	Relógio recuperado para referência à PLL do CDCE72010EVM
6	Relógio LVCMOS para o <i>front end</i> proveniente do módulo CDCE72010EVM
7	Cabo de fibra ótica
8	Canal 1 de transmissão do <i>front end</i> para ligação ao equipamento de medida (VSA)

Tabela 7.3: Legenda dos elementos constituintes do *setup* laboratorial que serviu de base à implementação do demonstrador.

Com a implementação dos módulos REC/BBU e RE/RRH, ficou concluído o desenvolvimento do demonstrador C-RAN, cuja montagem laboratorial é apresentada na figura 7.13. Deste modo, no próximo capítulo, segue-se a apresentação os resultados conseguidos que visam demonstrar o correto funcionamento em laboratório dos sistemas desenvolvidos.

Capítulo 8

Resultados Experimentais

Neste capítulo apresentam-se os resultados experimentais obtidos relativamente à validação e avaliação laboratorial dos módulos implementados. Começa-se por expor as medidas de qualidade efetuadas ao nível dos sinais LTE gerados em banda base. São ainda apresentadas as medições efetuadas, de modo a caracterizar o comportamento do *transceiver* RF do *front end* rádio, para algumas das bandas de frequência mais utilizadas no LTE. Posteriormente, são mostrados os resultados obtidos na medição da qualidade de um conjunto de sinais LTE após o andar de RF. Da mesma forma, são também avaliados os mesmos sinais mas agora aplicados ao demonstrador C-RAN desenvolvido.

8.1 Qualidade dos Sinais LTE

As medidas que permitem caracterizar a qualidade dos sinais LTE em banda base, foram obtidas através de uma versão *trial* (v18.7) da aplicação 89600 VSA *Software* disponibilizada pela Keysight [Key14]. Este *software*, juntamente com um sistema de aquisição e formatação de dados amostrados é capaz de realizar funções de análise vetorial e de modulação. Nesta secção, o método usado é apresentado na figura 8.1 e consiste na leitura das amostras I/Q armazenadas na memória SDRAM da placa KC705 com a ajuda de um *script* em MATLAB[®]. Estas amostras são depois formatadas e armazenadas num ficheiro reconhecido pelo VSA *software*.

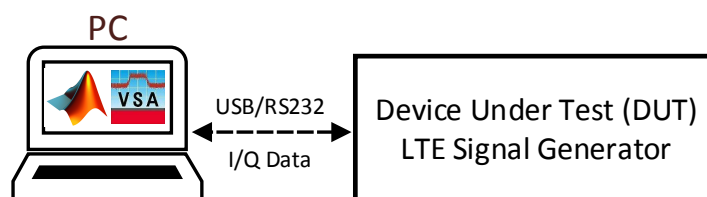


Figura 8.1: *Setup* laboratorial utilizado na medição dos sinais LTE.

8.1.1 Avaliação de Sinais de Teste

Nesta subsecção, são apresentadas algumas medidas que permitem analisar um sinal LTE *downlink*, em termos da sua largura de banda, da desmodulação dos símbolos OFDM e dos indicadores de EVM. Para cada um dos sinais considerados, é feita uma breve descrição das

principais características, tais como o número de *subframes* ou a duração do sinal, a largura de banda, o modo de transmissão, o tipo de modulação utilizada no canal de dados (PDSCH), a configuração do CP, o identificador da célula que transmite o sinal e ainda o modo de transmissão MIMO usado. São de seguida mostrados os resultados obtidos para os sinais considerados.

Sinal de Teste A

Tomando o exemplo da tabela 8.1, este sinal é caracterizado por estar configurado para o modo de transmissão FDD com um CP normal. Este sinal é composto por 10 *subframes* que corresponde a um período de 10 ms. A largura de banda da portadora é de 10 MHz (que corresponde a 50 RBs, tal como especificado na tabela 3.4) e está mapeada numa única antena. Por último, o identificador da célula é o 164 e o esquema de modulação em que o canal PDSCH é modulado é o QPSK.

Parâmetro	Configuração
Número de <i>Subframes</i>	10
Largura de Banda	10 MHz
Modo de Transmissão	FDD
Modulação (PDSCH)	QPSK
Configuração CP	Normal
Número da Célula	164
Configuração MIMO	PORT0 (1 antena)

Tabela 8.1: Parâmetros de configuração do ficheiro do modelo C para um sinal LTE 10 MHz de largura de banda.

Da análise aos resultados obtidos na figura 8.2 é possível verificar a presença dos canais e dos sinais físicos de *downlink* na janela **Ch1 Frame Summary**. Nesta mesma janela são indicados ainda, os valores de EVM, os tipos de modulação e o número de RBs reservados a cada canal e sinal físico na *frame* rádio LTE. Verifica-se que o esquema de modulação detetado no canal PDSCH, QPSK, está de acordo com a configuração inicial do sinal LTE, presente na tabela 8.1.

O **Error Summary** contém informação relativa à qualidade do sinal que está a ser analisado. Alguns dos parâmetros que se destacam são: o valor do EVM, que é calculado com base nos canais selecionados para análise e o identificador da célula (**Cell ID**), que se encontra de acordo com o especificado para este sinal. Por último, é ainda possível observar a constelação de cada canal e sinal físico, assim como o espectro do sinal.

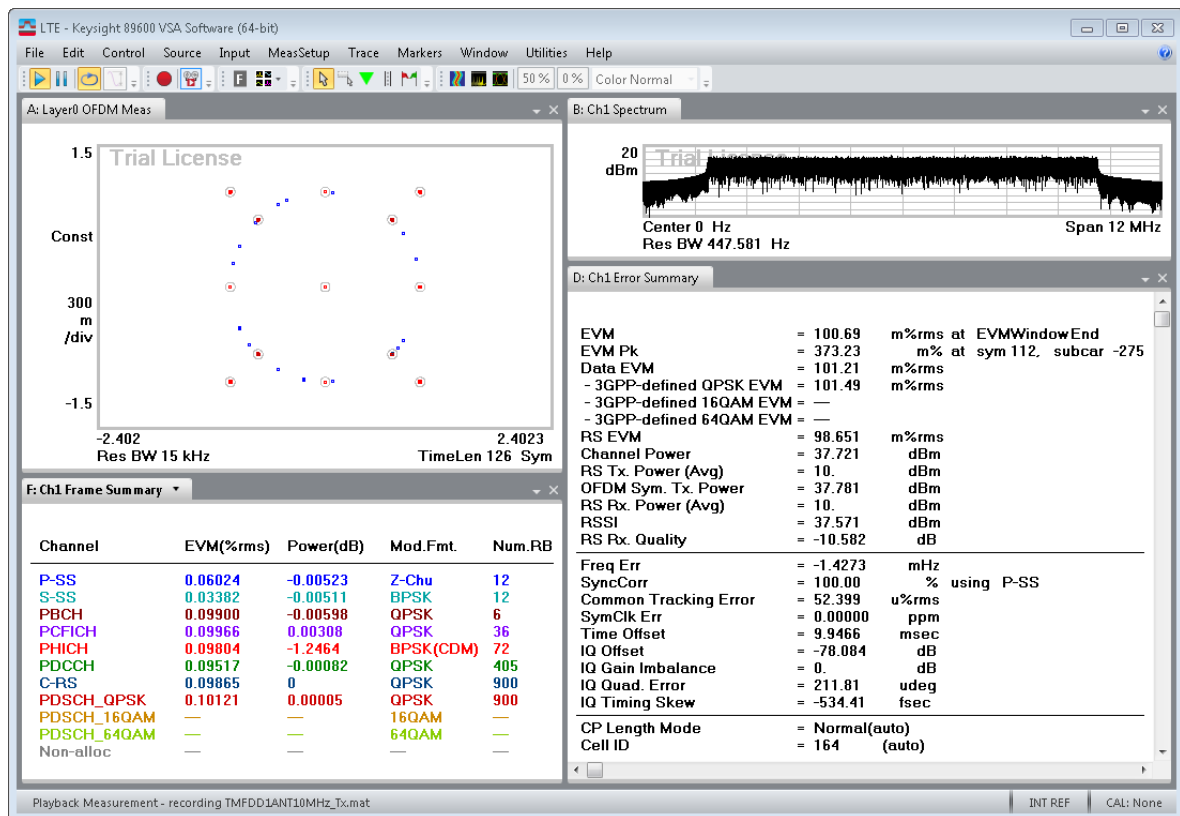


Figura 8.2: Análise do sinal LTE de 10 MHz, criado a partir dos valores da tabela 8.1.

Sinal de Teste B

Os parâmetros da tabela 8.2, especificam um sinal cuja portadora é de 20 MHz (ou 100 RBs) e contém 10 *subframes*. O modo de transmissão é, à semelhança do anterior, FDD com um CP normal. Este sinal não faz uso de diversidade, pelo que está mapeado a uma única antena. O tipo de modulação usado no PDSCH é o 64-QAM. O identificador da célula é o 24.

Parâmetro	Configuração
Número de <i>Subframes</i>	10
Largura de Banda	20 MHz
Modo de Transmissão	FDD
Modulação (PDSCH)	64-QAM
Configuração CP	Normal
Número da Célula	24
Configuração MIMO	PORT0 (1 antena)

Tabela 8.2: Parâmetros de configuração para um sinal LTE de 20 MHz de largura de banda.

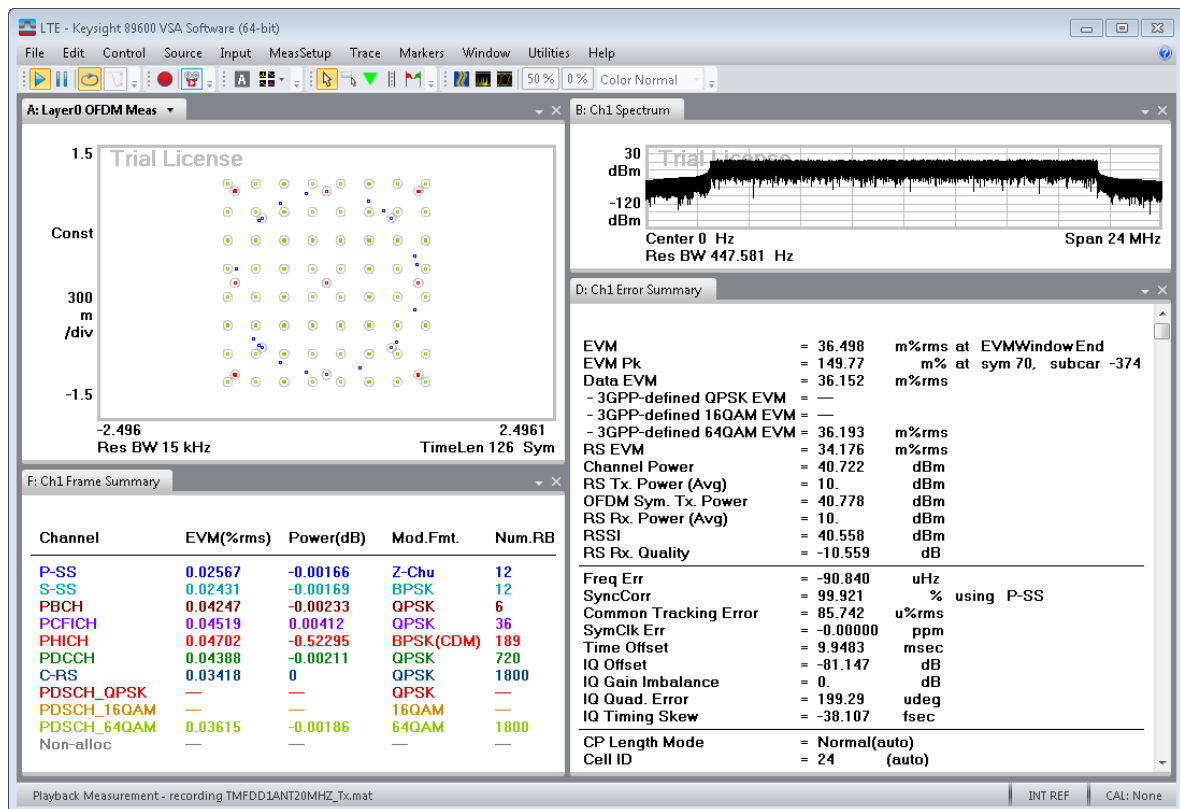


Figura 8.3: Análise do sinal LTE de 20 MHz, cujas características se encontram na tabela 8.2.

Analogamente ao sinal de teste anterior, a figura 8.3, apresenta os resultados obtidos da análise ao sinal cujos parâmetros se encontram na tabela 8.2. Também aqui é possível observar a presença dos canais e sinais físicos que constituem a *frame* rádio LTE. O esquema de modulação do canal PDSCH, obtido após a desmodulação, do sinal é o 64-QAM e o identificador da célula é o 24. Finalmente, é ainda possível observar o espectro do sinal e a constelação dos canais e sinais físicos.

Sinal de Teste C

Este sinal é muito idêntico aos anteriores, pois também ele usa, como modo de transmissão, o FDD com um CP normal, e consiste em 10 *subframes*. O identificador da célula é o 256 e o modo de transmissão MIMO é o primeiro, o que quer dizer que, não é usado qualquer tipo de diversidade. A largura de banda da portadora é de 75 RBs, o que perfaz um total de 15 MHz. O canal PDSCH neste sinal é modulado usando o esquema 16-QAM. Estes parâmetros encontram-se sumariados na tabela 8.3.

Parâmetro	Configuração
Número de <i>Subframes</i>	10
Largura de Banda	15 MHz
Modo de Transmissão	FDD
Modulação (PDSCH)	16-QAM
Configuração CP	Normal
Número da Célula	256
Configuração MIMO	PORTO (1 antena)

Tabela 8.3: Parâmetros de configuração de um sinal com 15 MHz de largura de banda.

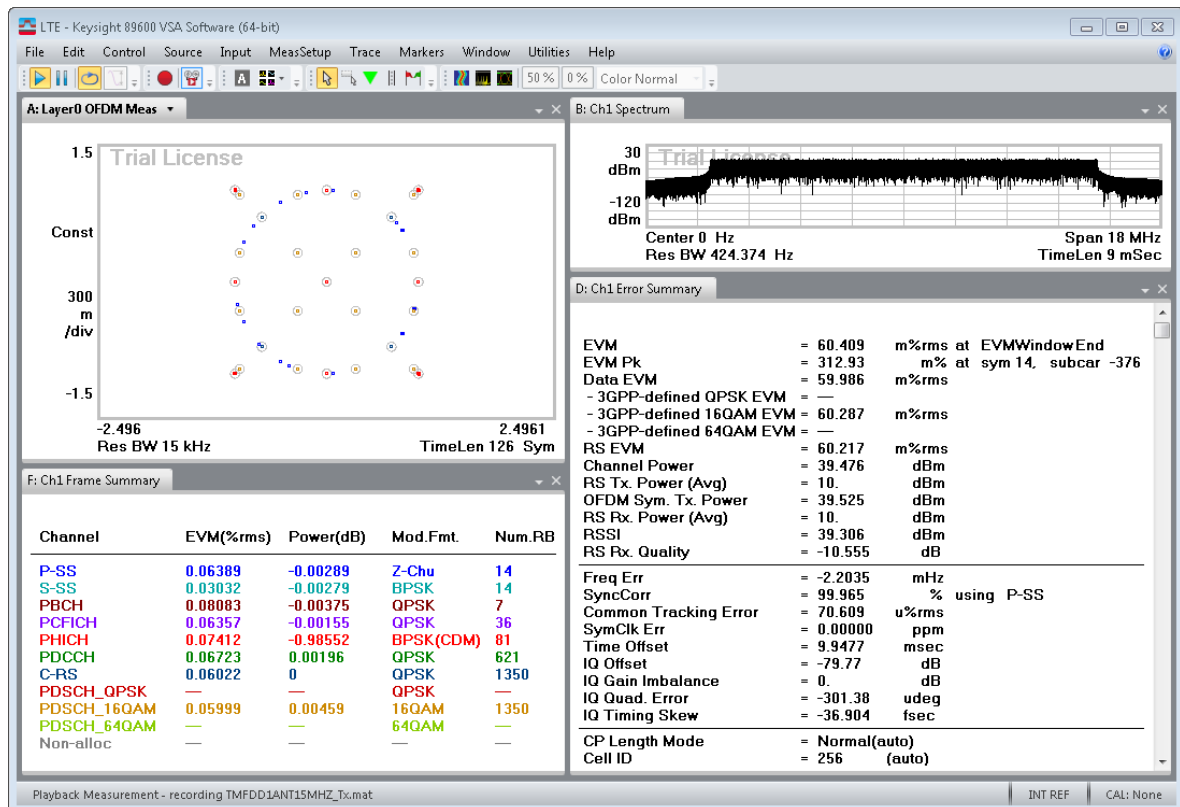


Figura 8.4: Resultados obtidos para o sinal LTE de 15 MHz gerado a partir dos parâmetros da tabela 8.3.

A figura 8.4 contém os resultados da análise ao sinal LTE com largura de banda 15 MHz. Após a desmodulação do sinal valida-se o identificador de célula com o número 256 e o esquema de modulação do canal PDSCH, 16-QAM. Estes resultados estão em conformidade com os parâmetros de configuração apresentados na tabela 8.3. Por último, incluem-se nos resultados, o espectro do sinal e a constelação dos canais e sinais físicos presentes na *frame* rádio LTE.

Sinal de Teste D

O objetivo deste sinal é explorar as capacidades do projeto de referência em termos da versatilidade e de configurações permitidas. As principais características deste sinal encontram-se indicadas na tabela 8.4. Observa-se que, relativamente aos anteriores, este opera em TDD e possui um CP normal. Está programado para uma largura de banda de 5 MHz ou 25 RBs e tem uma duração de 10 ms (ou 10 *subframes*). O esquema de modulação usado é o 64-QAM no PDSCH e o número da célula é o 323. O número de antenas está limitado a uma.

Parâmetro	Configuração
Número de <i>Subframes</i>	10
Largura de Banda	5 MHz
Modo de Transmissão	TDD
Modulação (PDSCH)	64-QAM
Configuração CP	Normal
Número da Célula	323
Configuração MIMO	PORTO (1 antena)

Tabela 8.4: Parâmetros de configuração de um sinal com modo de transmissão TDD com 5 MHz de largura de banda.

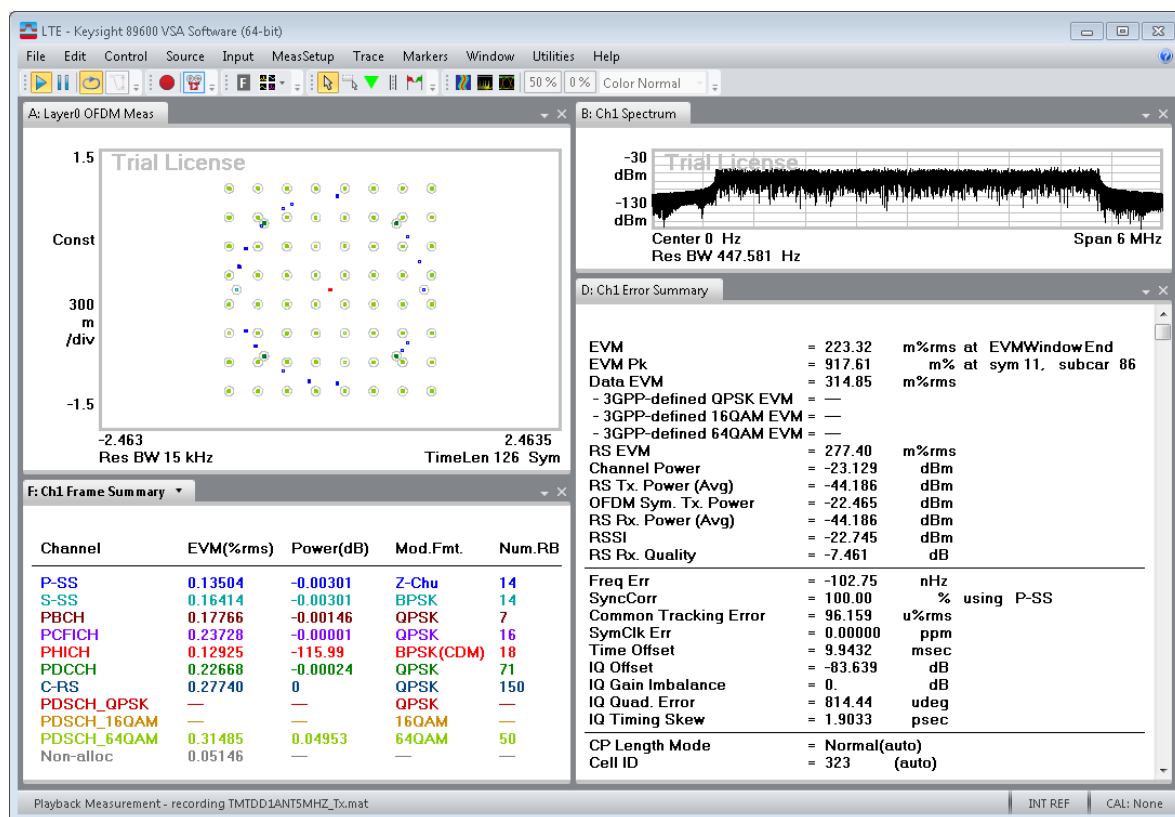


Figura 8.5: Sinal LTE TDD de 5 MHz obtido a partir dos parâmetros da tabela 8.4.

Da análise à figura 8.5, valida-se a capacidade de gerar sinais LTE com modo de transmissão TDD. Este sinal é semelhante aos sinais em modo FDD, sendo que a diferença se encontra ao nível da alocação dos recursos na *frame* rádio, o que poderá não ser possível de observar na figura anterior. Contudo, é possível verificar alguns dos parâmetros de configuração, tais como o esquema de modulação do canal PDSCH (64-QAM) e o identificador da célula (323).

Sinal de Teste E

Este sinal serve o propósito do anterior, pelo que é apenas analisado nesta parte do trabalho. Na tabela 8.5 encontram-se resumidos os parâmetros usados na geração deste sinal. A grande diferença face aos anteriores é o modo de transmissão MIMO usado, que especifica o uso de duas antenas. Este tipo de diversidade enquadra-se no modo 4/6, ou seja, num esquema de multiplexagem espacial, como referido na secção 3.5.2. Também este, é um sinal cuja portadora está definida para 10 MHz (50 RBs) e tem uma duração de 10 ms. O modo utilizado é o FDD com um CP normal e o identificador da célula é o 111. Por último o esquema de modulação do PDSCH é o 16-QAM.

Parâmetro	Configuração
Número de <i>Subframes</i>	10
Largura de Banda	10 MHz
Modo de Transmissão	FDD
Modulação (PDSCH)	16-QAM
Configuração CP	Normal
Número da Célula	111
Configuração MIMO	SPATIALMUX (2 antenas)

Tabela 8.5: Parâmetros de configuração para um sinal de multiplexagem espacial.

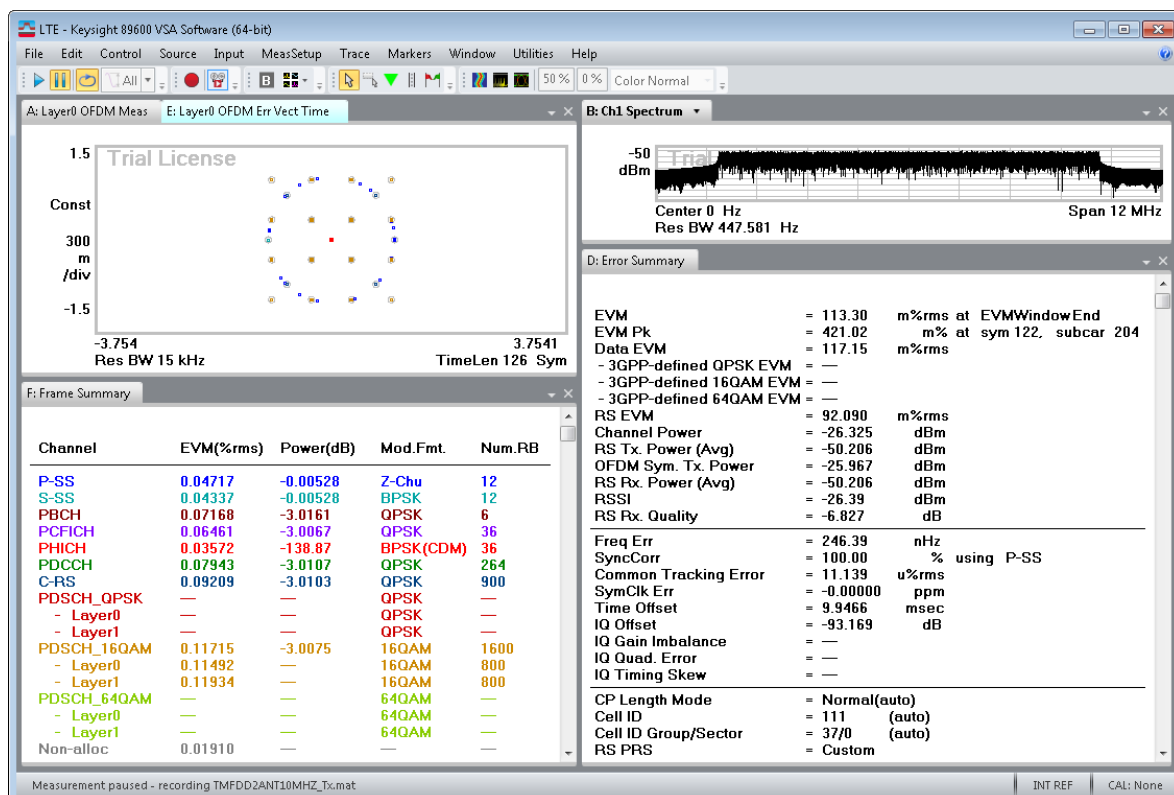


Figura 8.6: Análise do sinal LTE FDD de 10 MHz, com diversidade, obtido a partir dos parâmetros da tabela 8.5.

Por último, a análise deste sinal conclui esta secção, que diz respeito à análise de alguns dos sinais LTE em banda base. A figura 8.6, mostra os resultados obtidos após a desmodulação do sinal. A particularidade deste sinal está no tipo de configuração MIMO usado, denominado de multiplexagem espacial ou SPATIALMUX. Este facto é comprovado pela presença da Layer0 e da Layer1 no canal partilhado (PDSCH). Os restantes parâmetros de configuração também se encontram de acordo com a configuração do sinal LTE resumida na tabela 8.5.

Com base na análise aos resultados obtidos das medições anteriores é possível validar a configuração da *frame* rádio dos sinais LTE. O EVM obtido para cada uma das modulações usadas no canal PDSCH encontra-se de acordo com os requisitos especificados na tabela 3.7 do capítulo 3. Verifica-se também, a presença dos canais, sinais de referência e de sincronização assim como o tipo de modulação usada em cada um deles. Por último, é possível a visualização, sob a forma de constelação, dos símbolos OFDM após a desmodulação.

8.2 Análise dos Sinais LTE em RF

As medições apresentadas nesta secção permitem avaliar a forma do sinal na frequência, designadamente, a sua largura de banda, as componentes constituintes de um sinal LTE (sinais e canais físicos) e dos símbolos transmitidos após a desmodulação. Para avaliar o andar de RF, foram considerados os sinais A, B e C descritos na secção 8.1.1. Para além destes testes, são ainda medidos os indicadores de EVM e ACLR. O *setup* laboratorial é apresentado na figura 8.7.

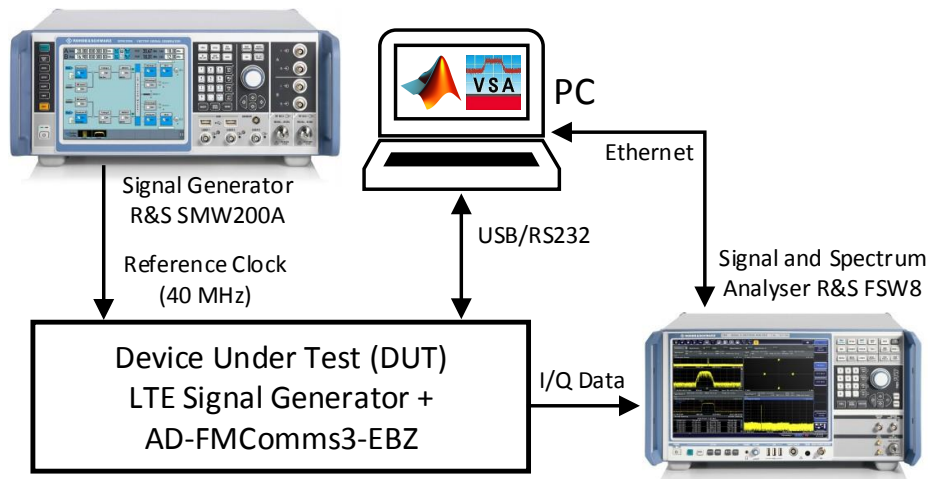


Figura 8.7: *Setup* laboratorial utilizado na medição dos sinais LTE em RF.

Nos pontos seguintes, foi definida a frequência central de 2.6 GHz, que corresponde à banda 7 dos sistemas E-UTRA. De seguida apresentam-se os resultados obtidos para os diferentes sinais considerados.

Sinal de Teste A

As medidas apresentadas na figura 8.8 foram obtidas para o sinal de 10 MHz de largura de banda, cujos parâmetros de configuração são especificados na tabela 8.1. Da tabela 3.3, verifica-se que a frequência de amostragem para este sinal é de 15.36 MHz. Ao definir este ritmo de amostragem no *transceiver* do *front end*, as funções da API calculam o grau de interpolação dos filtros digitais, que levam à máxima frequência de operação da DAC. Neste caso, a frequência de amostragem da DAC é configurada para 122.88 MSPS. De modo a obter-se esta frequência de amostragem, os filtros digitais interpolam o sinal por um fator de 8. Assim, cada um dos filtros digitais, o HB1, o HB2 e o HB3, interpolam o sinal transmitido por um fator de 2. O filtro PROG TX FIR é desativado. Por último, definiu-se uma largura de banda de 7 MHz para os filtros analógicos passa-baixo, após a DAC. As características destes filtros encontram-se descritas no apêndice B.1.

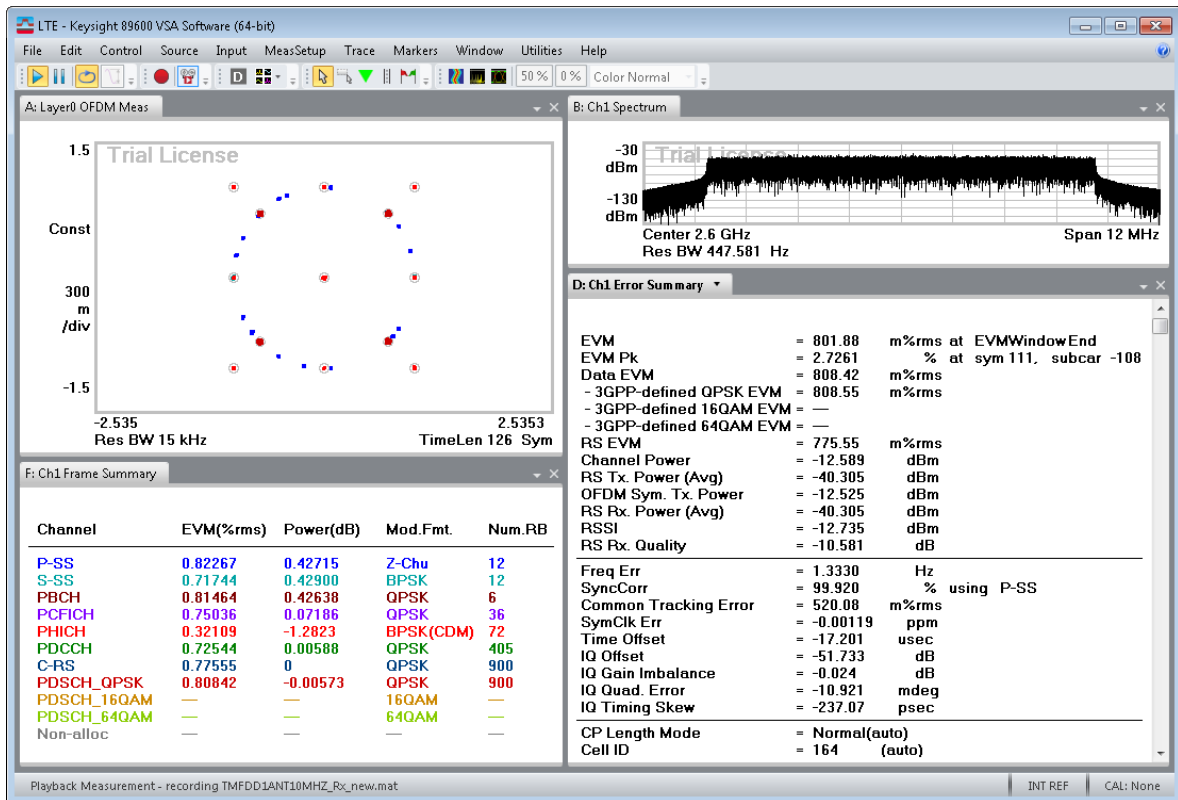


Figura 8.8: Análise do sinal LTE de 10 MHz à saída do *front end* analógico.

Após a captura das amostras I/Q do sinal transmitido no VSA, é possível desmodular e analisar o mesmo no *software* da Keysight, como mostra a figura 8.8. É de salientar o processo de desmodulação bem sucedido do sinal, pela presença dos canais e da respetiva modulação. Contudo, é possível concluir que houve uma degradação do EVM do sinal transmitido pelo *front end* (0.8 %) face ao mesmo sinal em banda base (0.1 %).

Recorrendo às funções de ACLR do VSA, foi ainda calculada a potência da banda central de -9.59 dBm e verificado que o *front end* cumpre com as especificações de ACLR, mencionadas na secção 3.7 e no documento [3GP13a]. Estes valores encontram-se na figura 8.9.

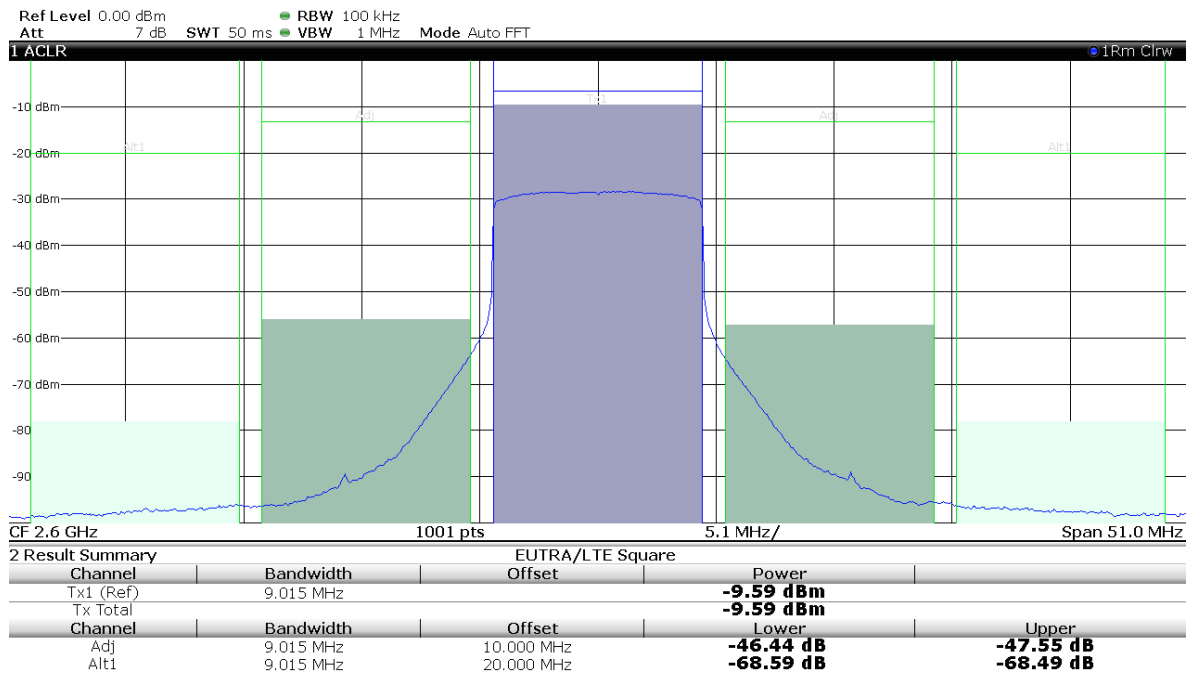


Figura 8.9: ACLR obtido do sinal LTE de 10 MHz em RF.

Sinal de Teste B

Os resultados obtidos da análise ao sinal de 20 MHz de largura de banda (ver tabela 8.2) encontram-se na figura 8.10. A especificação do E-UTRA define, para este sinal, uma frequência de amostragem de 30.72 MHz (tabela 3.3). Após definir o ritmo de amostragem do sinal para 30.72 MHz, as funções da API configuram a frequência de operação da DAC para 245.76 MSPS, onde os filtros digitais interpolam o sinal por um fator de 8. Neste cenário de teste, o filtro PROG TX FIR não é utilizado. A largura de banda dos filtros analógicos foi definida para 12 MHz. O resultado do EVM obtido após a desmodulação do sinal foi de 0.92 %.

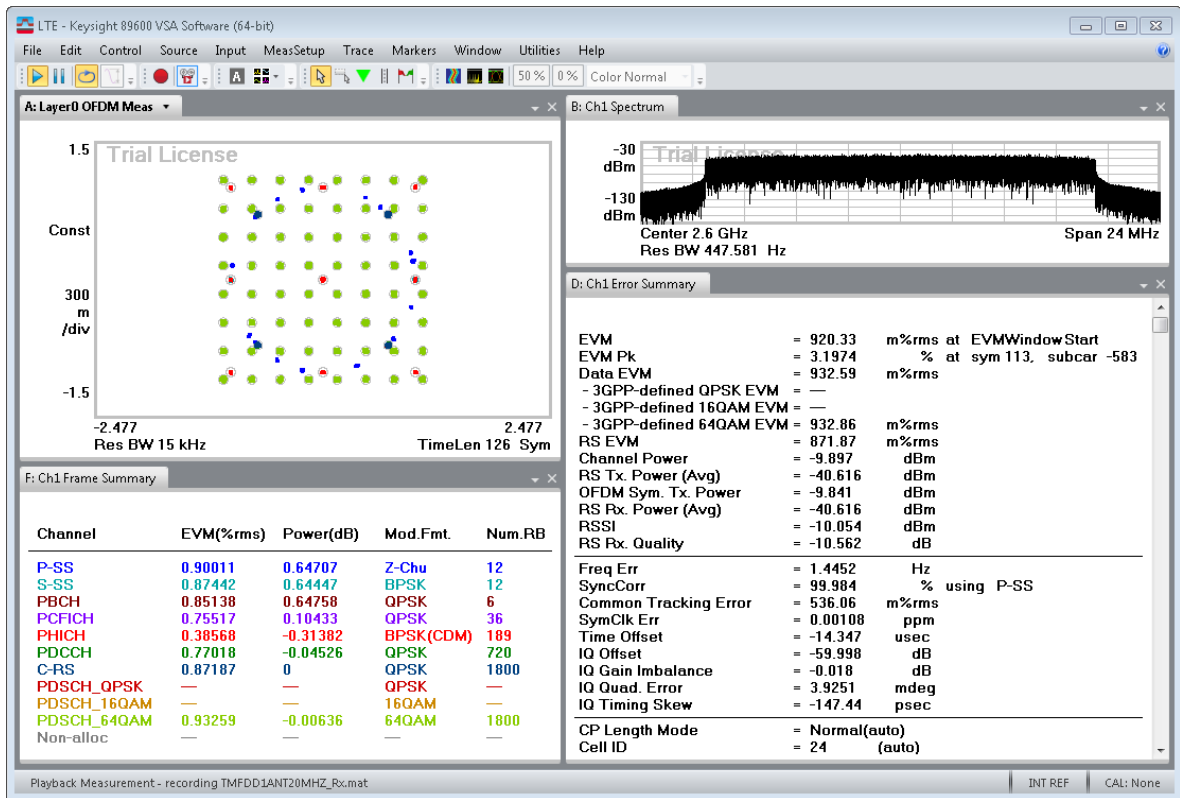


Figura 8.10: Análise do sinal LTE de 20 MHz à saída do *front end* analógico.

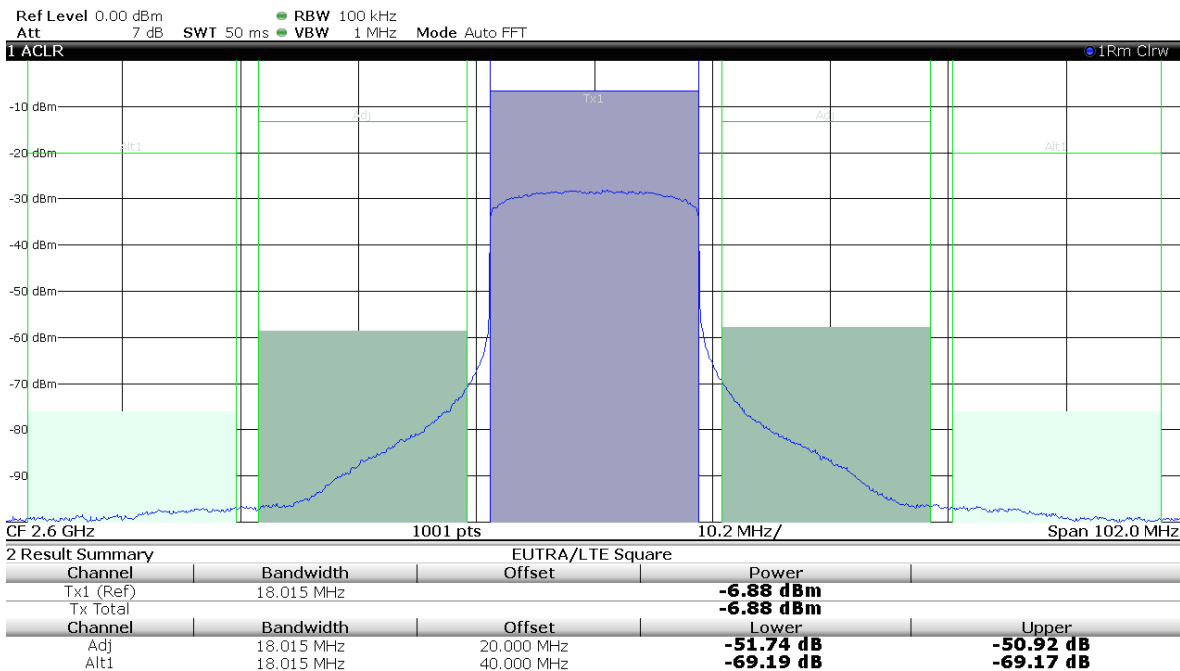


Figura 8.11: ACLR obtido do sinal LTE de 20 MHz em RF.

Recorrendo às funções de ACLR do VSA, calculou-se uma potência da banda central de -6.88 dBm . Observou-se igualmente que o *front end* cumpre com as especificações de ACLR de -45 dB . Estes valores são apresentados na figura 8.11.

Sinal de Teste C

As considerações feitas para os sinais anteriores também se aplicam neste caso. Deste modo, definiu-se a frequência de amostragem do sinal para 23.04 MHz (da tabela 3.3) e as funções da API do *transceiver*, configuraram o ritmo de amostragem da DAC para 184.32 MSPS. Para que a DAC opere a este ritmo, o sinal é interpolado pelos filtros digitais por um fator de 8, sendo que o filtro PROG TX FIR se encontra desativado. Consequentemente, definiu-se a largura de banda de 9.5 MHz para os filtros analógicos.

A figura 8.12 apresenta os resultados obtidos após a desmodulação do sinal capturado. Conseguiu-se um valor de 0.72 % para o EVM, o qual, está de acordo com as especificações da tabela 3.7.

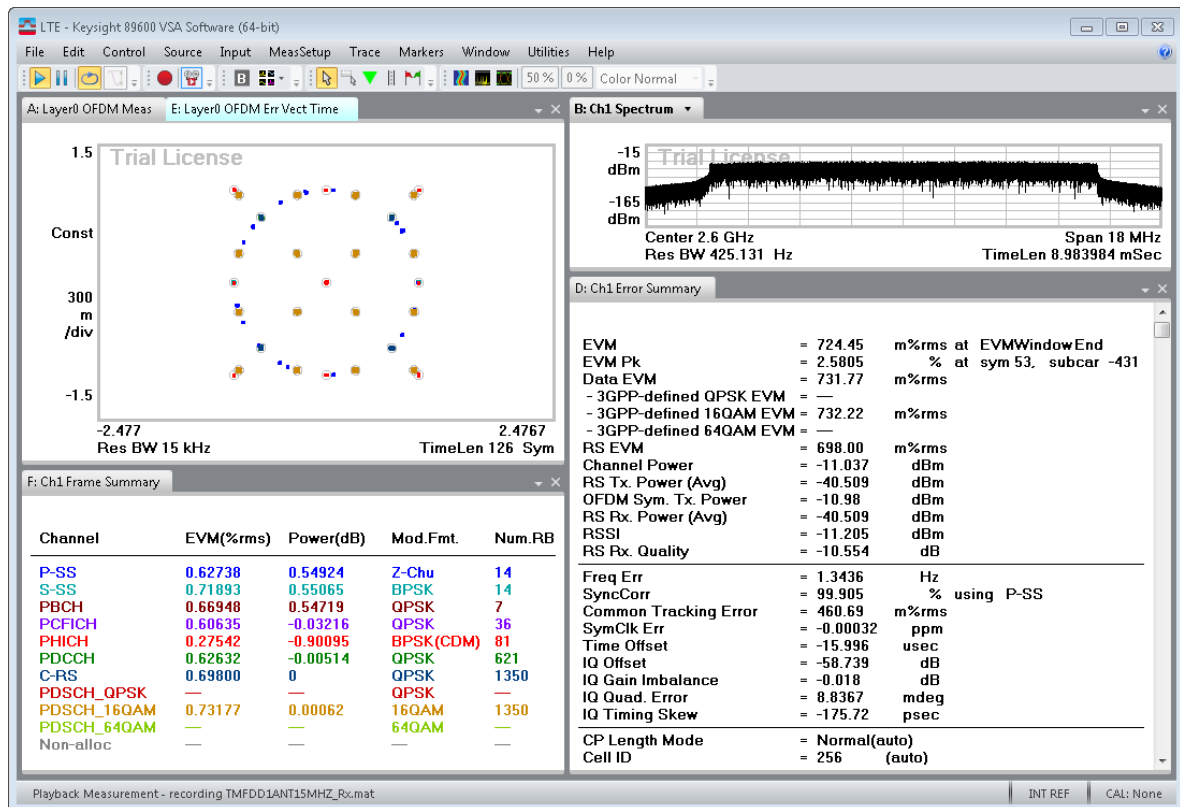


Figura 8.12: Análise do sinal LTE de 15 MHz à saída do *front end* analógico.

A partir das funções de ACLR do VSA, obteve-se uma potência da banda central de -7.98 dBm . Salienta-se ainda, o facto de o sinal cumprir com os parâmetros de ACLR, referidos na secção 3.7. Estes valores encontram-se na figura 8.13.

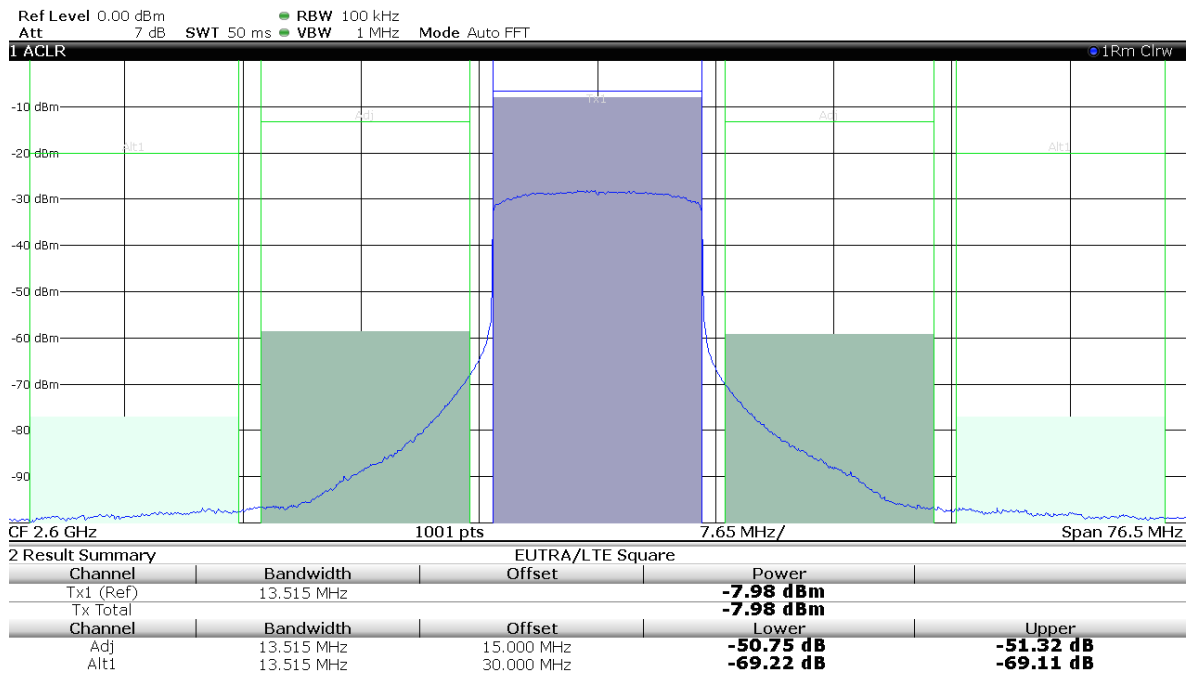


Figura 8.13: ACLR obtido do sinal LTE de 15 MHz em RF.

Dos sinais analisados nesta secção, foi possível analisar e verificar a configuração das *frames* rádio. Contudo, verifica-se uma pequena degradação do valor do EVM face aos resultados obtidos na subsecção 8.1.1. As amostras I/Q que constituem os sinais LTE são representados em complemento para dois utilizando 16 bits, contudo os dados de entrada da DAC suporta uma representação máxima em 12 bits, razão pela qual é necessário proceder à truncatura dos 4 bits menos significativos, perdendo-se granularidade na resolução, facto que contribui fortemente para a esta degradação. Outro aspeto importante a ter em conta é o da interpolação, seguida de filtragem na cadeia de filtros digitais, também afetarem a figura de mérito do EVM. Fatores como a diferença entre os caminhos dos sinais I e Q, ao nível da fase e ganho, também têm influência na transmissão de símbolos e, conseqüentemente, no EVM.

Analisando visualmente as diversas constelações, é possível observar que, para os diferentes sinais de teste, os pontos amostrados se encontram bem definidos, sendo que a sua localização é muito próxima dos pontos ótimos. Conseqüentemente, não se verifica interferência entre os símbolos, factos estes igualmente comprovados pelos baixos valores de EVM medidos.

Na secção seguinte apresentam-se os resultados experimentais obtidos para o demonstrador implementado.

8.3 Análise dos Sinais no Demonstrador C-RAN

As medições que permitem estimar a qualidade dos sinais RF transmitidos pelo RE/RRH, foram obtidas a partir dos dados capturados no VSA do laboratório e da respetiva análise no *software* da Keysight, como mencionado

Nesta secção, são estudados alguns dos sinais de teste LTE após o *front end* analógico. Deste modo, a análise recai sobre os sinais A, B e C, descritos na secção 8.1.1. Salienta-se que, para além dos testes efetuados em 8.1.1, é também realizada a medição do ACLR. O

setup laboratorial é apresentado na figura 8.14.

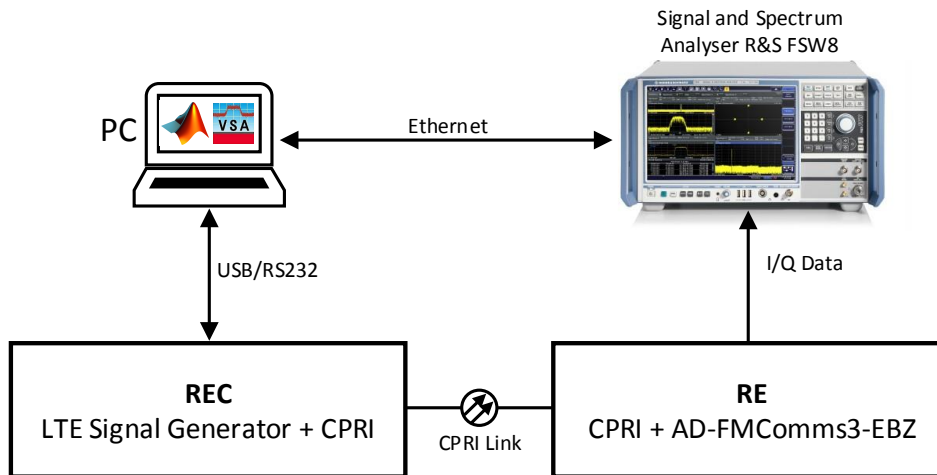


Figura 8.14: Setup laboratorial utilizado na medição dos sinais LTE no demonstrador.

À semelhança da secção anterior, nos pontos seguintes, foi definida a frequência central de 2.6 GHz (banda 7 do E-UTRA) e uma *line rate* de 3072.0 Mbit/s para o *link* CPRI. Nas subsecções seguintes expõem-se os resultados obtidos para os sinais considerados.

Sinal de Teste A

Os aspetos mais importantes como a frequência do sinal, o ritmo de amostragem da operação da DAC, assim como a interpolação realizada pelos filtros digitais e a largura de banda dos filtros analógicos, mantêm-se face aos da secção anterior. Contudo, ao ter em conta a largura de banda deste sinal (10 MHz), procedeu-se à modificação do número de amostras contidas em cada *basic frame*. Desta forma, o número de amostras definido foi de 4, ou seja, metade das 8 amostras para um sinal de 20 MHz de largura de banda. A figura 8.15 apresenta os resultados obtidos após a desmodulação do sinal. O valor do EVM obtido foi de 0.68 % comparado com o de 0.8 % calculado para o mesmo sinal, na secção anterior.

Recorrendo às funções de ACLR do VSA, obteve-se a potência da banda central de -9.54 dBm e verificou-se que o *front end* cumpre com as especificações de ACLR. A figura 8.16 mostra os resultados da figura de mérito do ACLR.

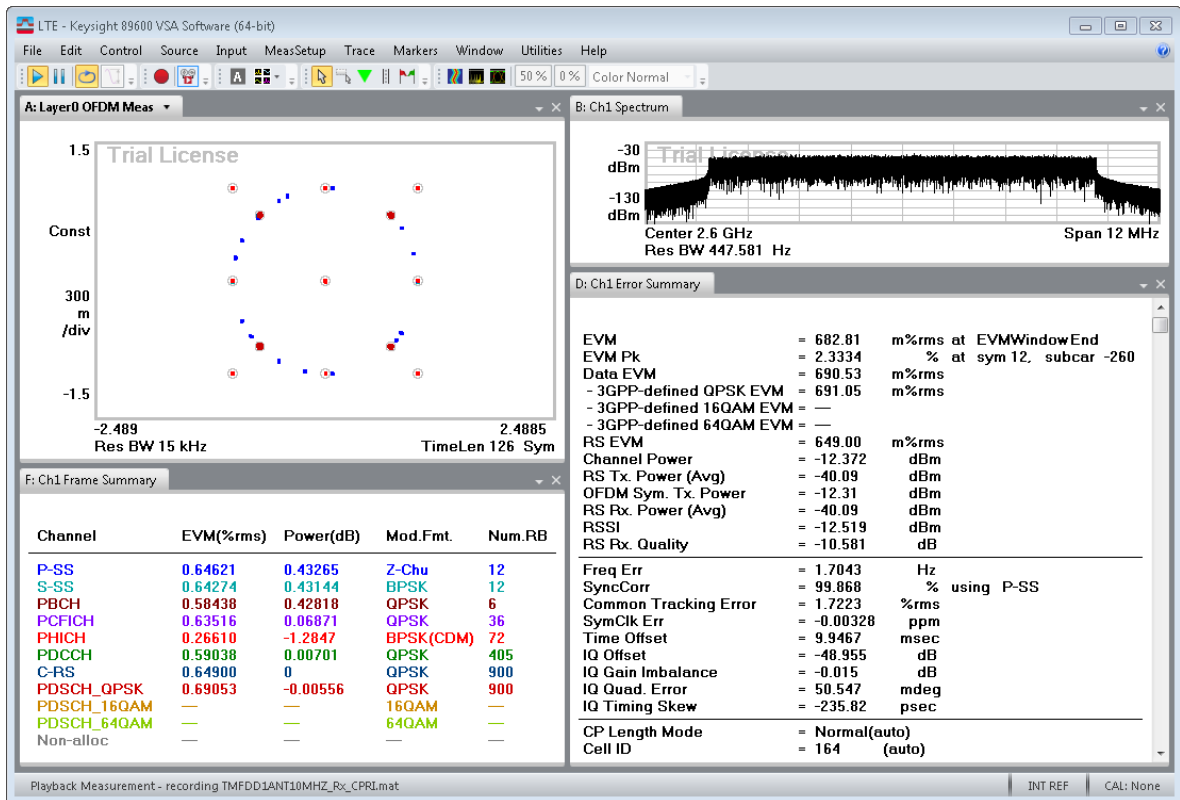


Figura 8.15: Análise do sinal LTE de 10 MHz no demonstrador C-RAN.

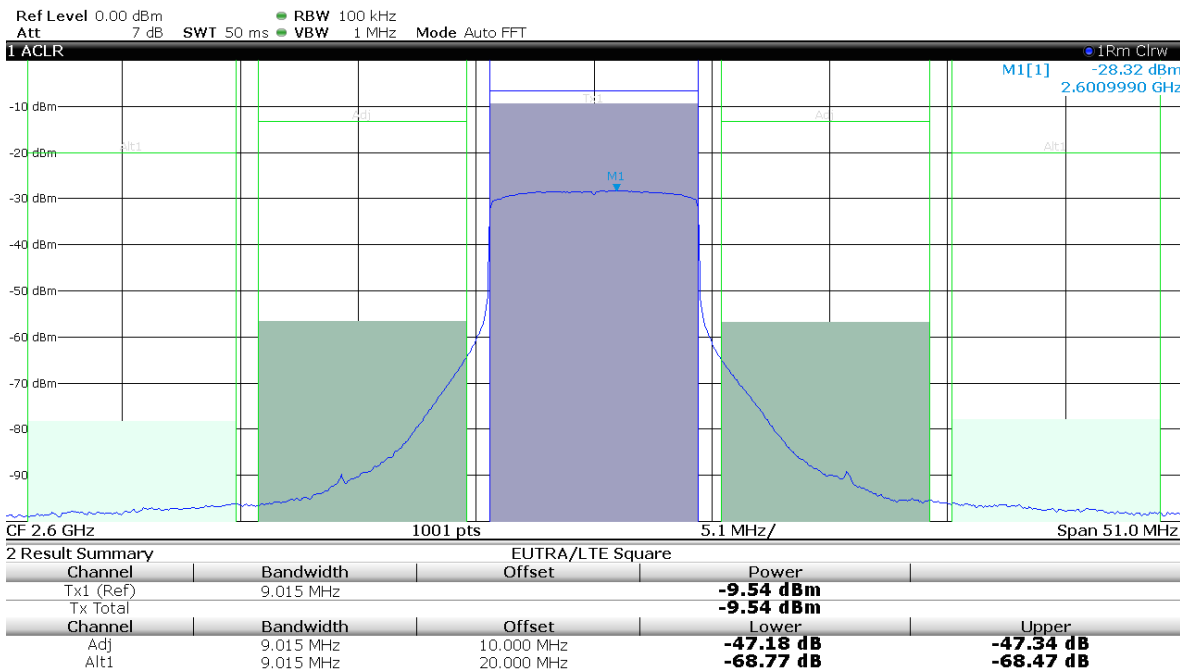


Figura 8.16: ACLR obtido do sinal LTE de 10 MHz no demonstrado C-RAN.

Sinal de Teste B

As medidas apresentadas na figura 8.17 foram obtidas para o sinal de 20 MHz de largura de banda. Os parâmetros de configuração do *transceiver* mantêm-se inalterados relativamente aos definidos na secção 8.2 para o mesmo sinal. Para este sinal, foi mantido o número de amostras I/Q na *basic frame* de 8. O resultado obtido para o EVM foi de 0.82 % face ao valor de 0.92 % conseguido na secção anterior.

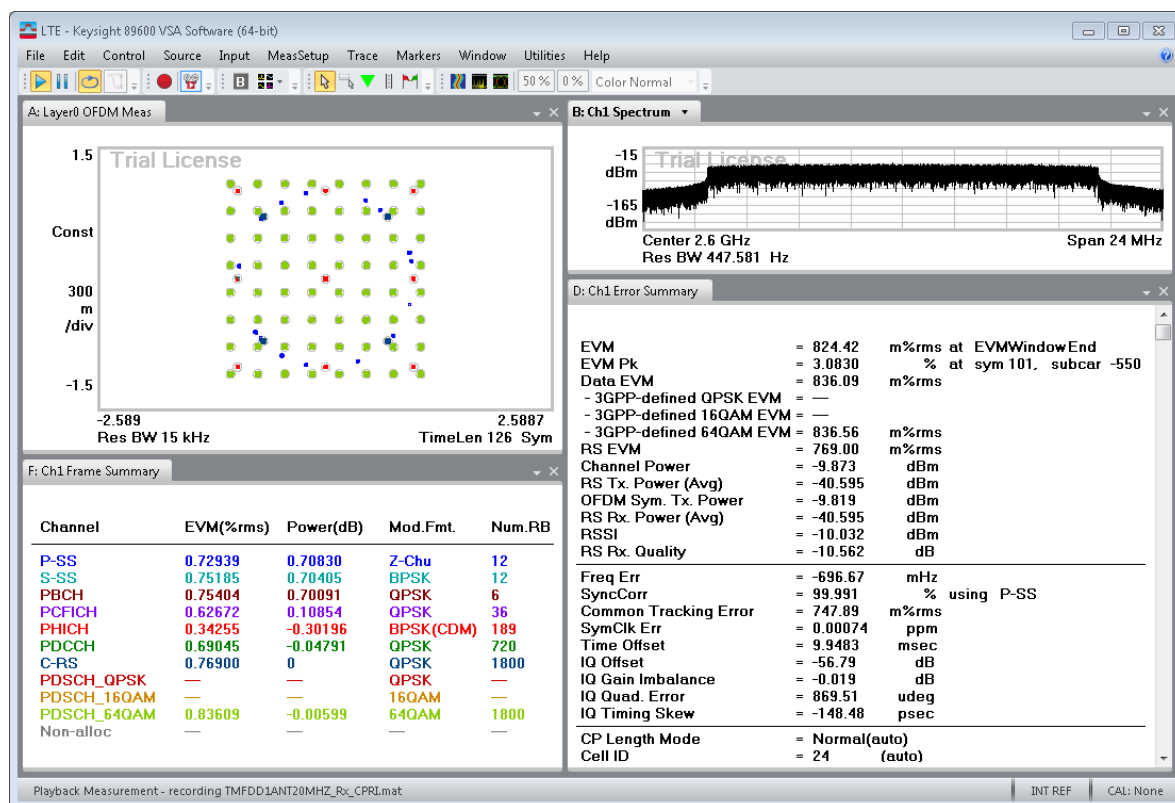


Figura 8.17: Análise do sinal LTE de 20 MHz no demonstrador C-RAN.

Recorrendo às funções de ACLR do VSA, foi ainda calculada a potência da banda central de -6.88 dBm e verificado que o *front end* cumpre com as especificações de ACLR, mencionadas na secção 3.7. Estes valores encontram-se na figura 8.18.

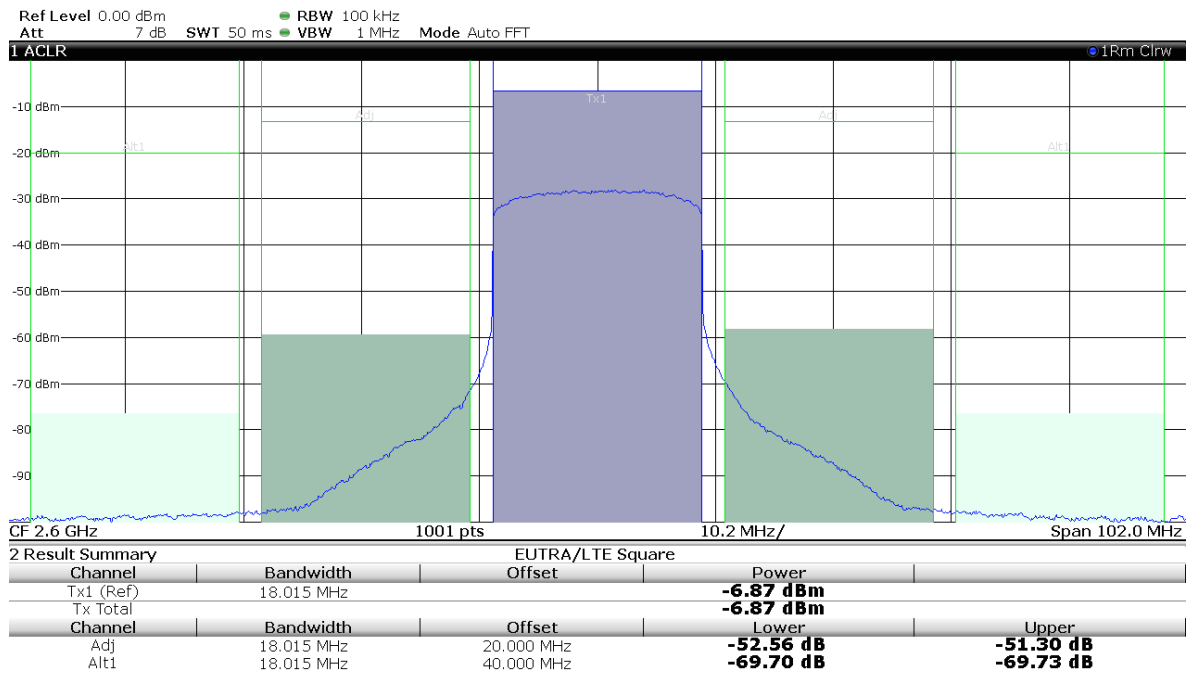


Figura 8.18: ACLR obtido do sinal LTE de 20 MHz no demonstrador C-RAN.

Sinal de Teste C

Finalmente, na figura 8.19, apresentam-se os resultados conseguidos após a desmodulação do sinal de 15 MHz de largura de banda. As configurações do *transceiver* foram mantidas, sendo que o número de amostras na *basic frame* do CPRI foi alterado para 6. Para este sinal, conseguiu-se um valor de EVM de 0.72 %, resultado este, muito próximo do medido na secção anterior de 0.73 %.

Por último, calculou-se a potência da banda central de -7.92 dBm e observou-se que o *front end* cumpre com as especificações de ACLR para os sistemas E-UTRA. Estes valores encontram-se na figura 8.20.

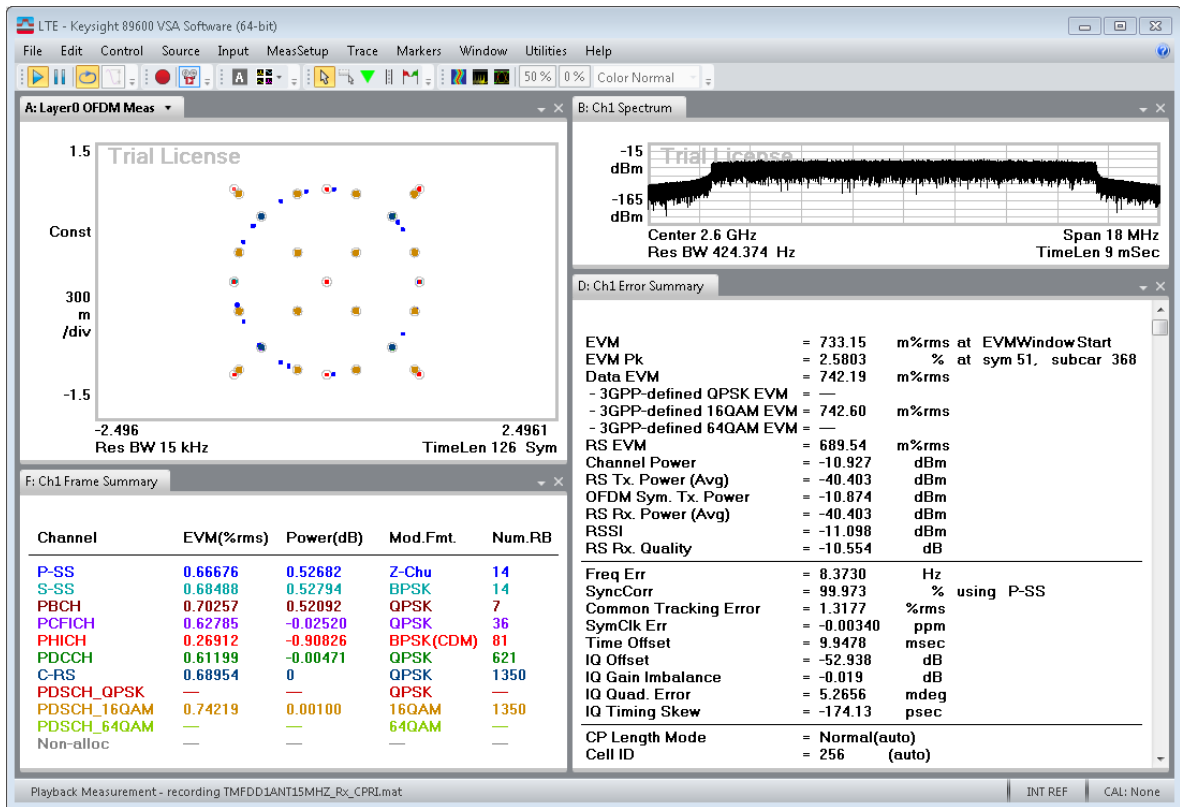


Figura 8.19: Análise do sinal LTE de 15 MHz no demonstrador C-RAN.

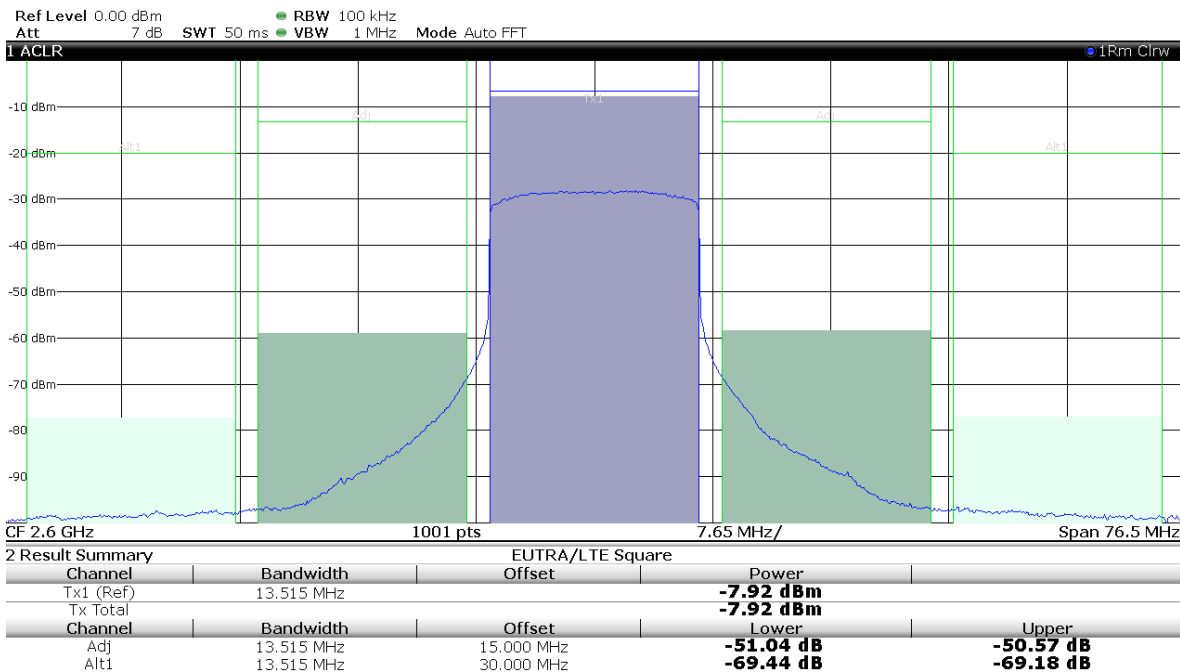


Figura 8.20: ACLR obtido do sinal LTE de 15 MHz no demonstrador C-RAN.

Da análise aos sinais testados nesta secção, conclui-se que os resultados alcançados se encontram de acordo com o esperado, quando comparados com os conseguidos na secção 8.2. Deste modo, alcançou-se com sucesso, o envio de sinais LTE em banda base através de um *link* de fibra ótica, com posterior conversão para o domínio analógico. Na secção seguinte, apresenta-se um resumo dos resultados obtidos para os diversos sinais analisados em cada uma das plataformas desenvolvidas.

8.4 Resumo dos Resultados Experimentais

Nesta secção pretende-se apresentar um sumário dos resultados experimentais obtidos nas secções anteriores deste capítulo. O resumo dos valores conseguidos para o EVM em cada um dos sistemas desenvolvidos encontra-se na tabela 8.6. Na tabela é ainda possível comparar os resultados medidos com os requisitos máximos impostos pela especificação do LTE, presentes em 3.7.

Sinais de Teste	Caraterísticas dos Sinais	Modulação do Canal PDSCH	Valor Máximo de EVM Recomendado [%]	EVM [%]		
				Gerador de Sinais LTE	Sinais em RF	Demonstrador C-RAN
A	10 MHz; FDD; CP normal; Cell ID 164; Port0	QPSK	17.5 %	0.1 %	0.8 %	0.68 %
B	20 MHz; FDD; CP normal; Cell ID 24; Port0	64-QAM	8 %	0.03 %	0.92 %	0.82 %
C	15 MHz; FDD; CP normal; Cell ID 256; Port0	16-QAM	12.5 %	0.06 %	0.72 %	0.73 %

Tabela 8.6: Sumário dos resultados experimentais obtidos para os vários sistemas implementados.

Os resultados expostos ao longo deste capítulo permitem retirar conclusões sobre as plataformas desenvolvidas. No próximo capítulo, apresentam-se as conclusões relativas ao trabalho desenvolvido no âmbito desta dissertação, assim como alguns aspetos a ter em conta para melhorar o mesmo e dotá-lo de maior versatilidade.

Capítulo 9

Conclusões e Trabalho Futuro

Este capítulo encerra esta dissertação e encontra-se dividido em duas partes: conclusões e trabalho futuro. Na primeira, faz-se um resumo geral do trabalho e dos resultados alcançados. Na última parte, apresentam-se alguns aspetos relacionados com possíveis melhorias para cada um dos sistemas desenvolvidos e algumas linhas de trabalho futuro.

9.1 Conclusões

O principal objetivo deste trabalho foi o desenvolvimento de um sistema de rádio digital, baseado em FPGA, para gerar sinais LTE. Neste documento, começou por fazer-se a abordagem a alguns conceitos essenciais para contextualizar o trabalho. Fez-se uma introdução às arquiteturas das RANs atuais e da sua evolução para 5G, em que o paradigma C-RAN poderá ter um papel importante. Abordou-se o protocolo CPRI e o conceito de SDR, bem como, as suas arquiteturas de transmissão e receção, encerrando assim esta secção. Posteriormente, deu-se especial atenção aos sistemas de quarta geração ou LTE, focando a arquitetura da rede, camada física, esquemas de modulação e conceitos MIMO, aspetos importante neste sistemas. Por último, introduziram-se ainda alguns dos aspetos mais importantes dos sistemas LTE-*Advanced* face aos sistemas LTE atuais.

Efetou-se uma descrição da arquitetura dos sistemas desenvolvidos, à qual se seguiu uma explicação de todos os detalhes da implementação em sistemas reconfiguráveis. O objetivo do primeiro sistema é o de criar sinais LTE em banda base. Para isso, recorreu-se ao projeto de referência **LTE Downlink Transmitter Subsystem** da Xilinx, cuja atualização permitiu dispor das suas funcionalidades numa versão mais recente da ferramenta de desenvolvimento. A lógica desenvolvida para a interface com este módulo mostra a capacidade do sistema gerar sinais LTE em que a estrutura das *frames* rádio se encontra de acordo com as especificações do *standard*. Relativamente aos resultados deste sistema, estes comprovam que os objetivos foram alcançados, pois conseguiu-se desenvolver uma plataforma flexível no que diz respeito à geração de sinais LTE para as várias larguras de banda, modos de transmissão, assim como para diversas configurações MIMO permitidas pelo *standard*.

Neste documento, apresentou-se ainda um demonstrador aplicável ao paradigma C-RAN. Para tal, foram considerados dois módulos principais, desenvolvidos em sistemas reconfiguráveis, que procuraram representar a interação entre a BBU e a RRH, através de ligação por fibra ótica. O objetivo de enviar o sinal em banda base a partir de um *link* de fibra ótica com posterior conversão no domínio analógico foi conseguido com sucesso. A lógica desenvolvida

para interface entre domínios de relógio, assim como a interface CPRI, ao nível do *U-Plane*, mostraram a fiabilidade na transferência de dados I/Q e *Vendor Specific*. Do mesmo modo, a interface de C&M permitiu a configuração de parâmetros como a *line rate* e a largura de banda do sinal no *link*. Foi ainda possível, a leitura de indicadores de estado do RE/RRH a partir do REC. Esta última característica assume especial importância em situações que requerem uma monitorização e controlo das unidades remotas. Assim, foram comprovadas as potencialidades da interface CPRI no desenvolvimento de equipamentos interoperáveis para estações base.

Explorou-se o AD-FMComms3-EBZ na conversão do sinal em banda base em RF. Para o sistema anterior, o *front end* implementou, de forma simples e configurável, o andar de RF, com a amostragem feita em banda base.

Os resultados apresentados no capítulo anterior permitiram avaliar e validar o desempenho das soluções desenvolvidas em termos da qualidade do sinal transmitido. No que diz respeito ao espectro do sinal e ACLR, observou-se que cumpriam com os requisitos propostos para este tipo de sistemas.

9.2 Trabalho Futuro

Os sistemas desenvolvidos apresentam flexibilidade em termos da frequência da portadora, largura de banda dos sinais, modos *duplex* e modos de transmissão MIMO na cadeia de *downlink*. No entanto, seria interessante desenvolver um sistema que implementasse também a cadeia de *uplink*, de forma a obter um sistema completo. Contudo, a ausência de um PA na cadeia de transmissão leva à necessidade da introdução de um andar de amplificação.

Os sinais LTE possuem um elevado PAPR ou *crest factor*. Estes impõem restrições significativas no PA. De modo a processar estes picos, o modo de operação do amplificador afasta-se do ideal. Para aumentar a eficiência, os algoritmos de CFR podem ser usados de forma a reduzir o PAPR do sinal a transmitir, antes de este entrar no PA. Ao fazê-lo, o PA pode operar numa região de operação mais próxima do ideal e assim aumentar a sua eficiência. Outro método para aumentar a eficiência dos PAs consiste no uso de DPD. Ao invés de se usar o processamento digital de sinal para reduzir a gama dinâmica do sinal a transmitir como no CFR, o DPD é usado como técnica de linearização do PA. Assim, na componente digital, a inclusão destes mecanismos poderia beneficiar a qualidade do sinal transmitido, estando, contudo, dependentes das características do PA escolhido para amplificação do sinal transmitido.

Ainda relativamente à componente digital, seria interessante incluir um filtro à saída da cadeia IFFT do LTE, de forma a cumprir com as máscaras de SEM. Contudo, o *standard* LTE não especifica qual o tipo de filtro a usar, pelo que a escolha do filtro recai sobre quem implementa o sistema. Com a integração deste filtro consegue-se reduzir a distorção fora da banda do sinal.

Apêndices

Apêndice A

Kit de Desenvolvimento em FPGA

A.1 Xilinx KC705 Evaluation Board

Neste apêndice é dado a conhecer a placa de desenvolvimento KC705 da Xilinx. Esta placa é baseada numa FPGA Kintex-7 XC7K325T, *speed grade -2* e *package FFG900C*. Na figura A.1 é apresentada uma vista superior da placa onde é possível encontrar a marcação dos componentes que dela fazem parte e a respetiva descrição na tabela A.1.

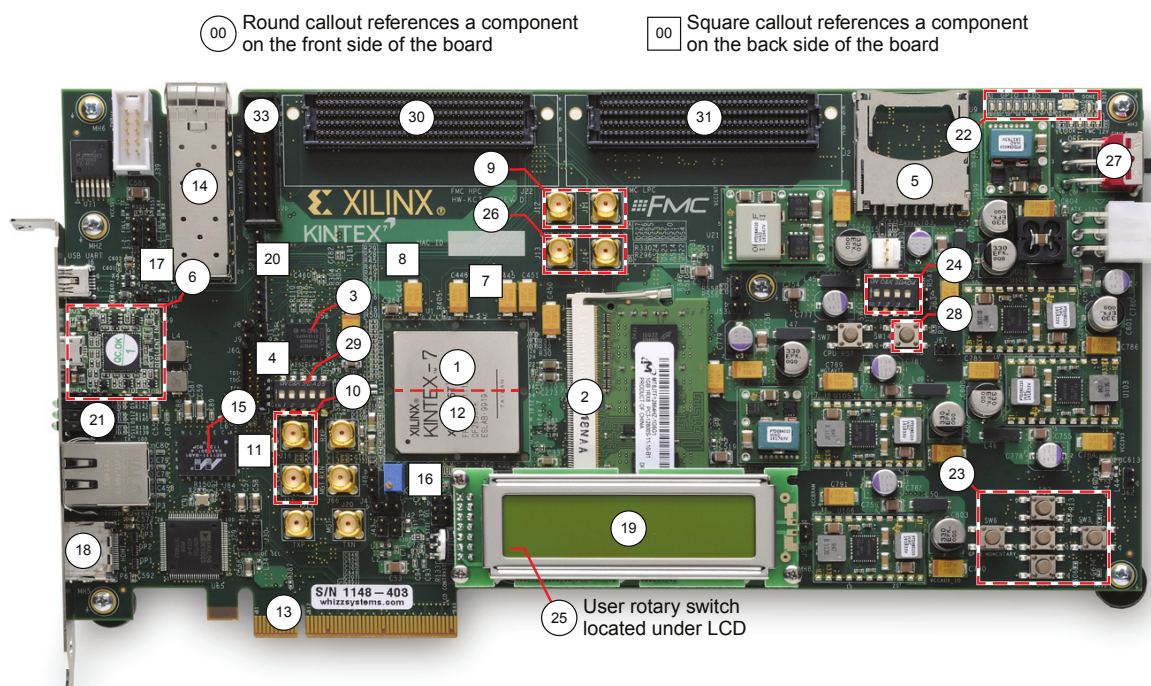


Figura A.1: Fotografia da placa de desenvolvimento Xilinx KC705 com os respetivos componentes que a compõem numerados (retirado de [Xil14c]).

Componente	Descrição
1	Kintex-7 FPGA
2	Módulo de memória SDRAM
6	Módulo Digilent USB JTAG
7	Relógio de referência para o <i>System Clock</i>
9	SMA para relógio externo
10	Entrada de relógio para o SMA GTX
11	Relógio com reduzido <i>jitter</i>
12	<i>Transceivers</i> GTX (embutidos na FPGA)
14	Conectores SFP/SFP+
17	Conversor USB-UART
22	GPIO LEDs
31	Conector LPC J2

Tabela A.1: Descrição dos componentes usados na implementação dos sistemas, e que se encontram marcados na figura A.1.

Apêndice B

Front End RF

B.1 Placa de expansão FMC AD-FMComms3-EBZ

A FMC AD-FMComms3-EBZ é uma *evaluation board*, da Analog Devices, desenvolvida para mostrar as capacidades do AD9361, numa configuração MIMO 2×2 . Este *transceiver* oferece uma vasta extensão de configurações e é usado para aplicações RF, não só 3G e 4G assim como de SDR. Neste apêndice, é dado a conhecer de uma forma detalhada o *front end* analógico, usado como andar RF nas arquiteturas desenvolvidas. Na figura B.1 está uma fotografia da *evaluation board*.

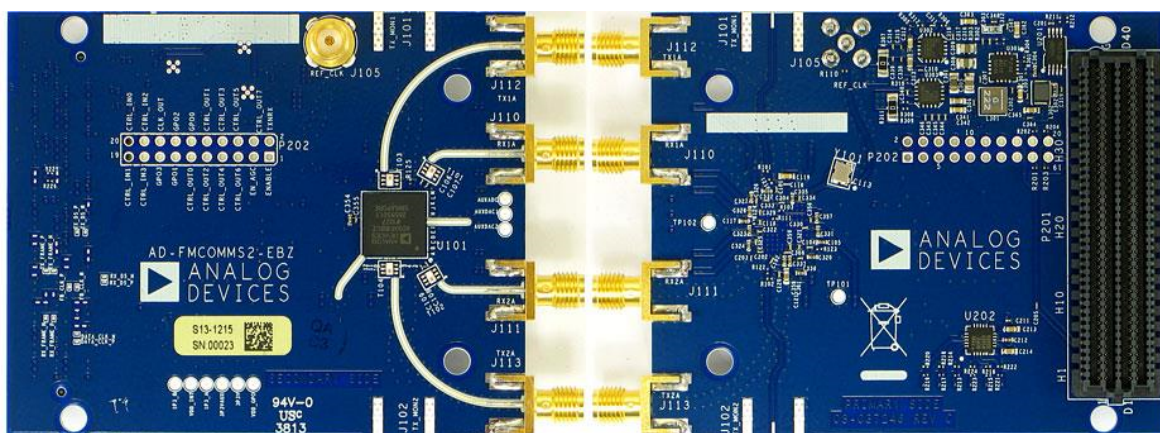


Figura B.1: Fotografia da placa de expansão AD-FMComms3-EBZ (adaptado de [Ana14a]).

B.2 *Transceiver* AD9361

Este apêndice inclui, na figura B.2, o diagrama de blocos funcional completo do *transceiver* AD9361. Este diagrama vem incluído com a aplicação de exemplo da *Analog Devices* referida como IIO *Oscilloscope* [Ana14c].

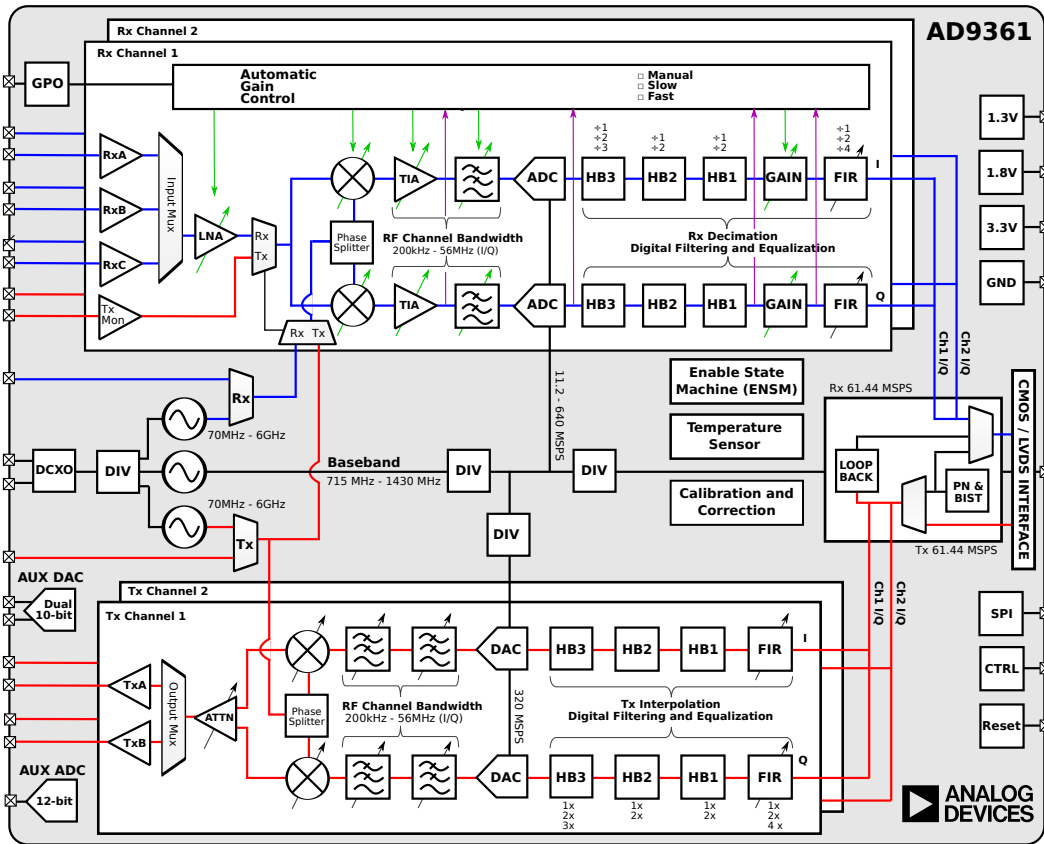


Figura B.2: Diagrama de blocos funcional completo do *Transceiver* AD9361 (retirado de [Ana14c]).

Nas subsecções seguintes deste apêndice, detalham-se alguns dos aspetos mais importantes da cadeia de transmissão e receção implementados no *transceiver*.

B.2.1 Caminho de Transmissão

Internamente o caminho de transmissão é constituído por dois canais idênticos que são controlados de forma independente, estes fornecem a cadeia de processamento digital, misturadores de sinal e de blocos RF necessários para implementar um sistema de conversão direta que usa um sintetizador de frequências comum.

A cadeia de transmissão recebe dados da interface digital, que chegam codificados com 12 bits em complemento para dois, no formato I/Q e cada canal (I ou Q) passa através de quatro filtros interpoladores digitais para uma DAC de 12 bits do tipo sigma-delta ($\Sigma - \Delta$). Quando convertidos para sinais analógicos em banda base os canais I e Q são filtrados por dois filtros passa-baixo para reduzir os espúrios e remover as frequências imagem resultantes da conversão para o domínio analógico. Os sinais I/Q são posteriormente recombinados e modulados à frequência da portadora de transmissão e enviados para o andar de saída. A figura B.3 mostra um diagrama de blocos do caminho de transmissão do AD9361, de notar que ambos os canais I e Q são esquematicamente idênticos.

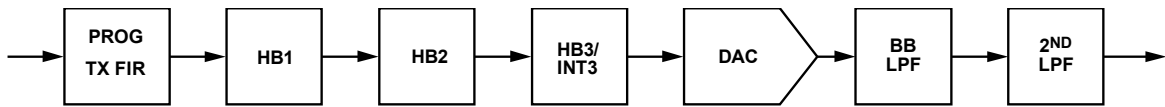


Figura B.3: Caminho de transmissão do *transceiver* AD9361 (retirado de [Ana13]).

Em baixo é feita uma descrição da filtragem analógica e digital disponível no caminho de transmissão do AD9361, com base na figura B.3.

Blocos de Filtros Digitais

O primeiro filtro digital é um filtro *Finite Impulse Response* (FIR) polifásico programável. Este filtro pode interpolar por um fator de 1, 2 ou 4. O número de coeficientes do Tx FIR é programável, no mínimo com 16 e máximo com 128 coeficientes. A definição do seu ganho também é variável entre os 0 dB e os -6 dB.

O Tx HB1 implementa um filtro *half-band* de coeficientes fixos, que pode interpolar por um fator de 2. Posteriormente, o Tx HB2 é semelhante ao anterior exceto os valor dos seus coeficientes. Por último, na cadeia de filtros digitais, o Tx HB3/INT3 é composto por dois filtros interpoladores diferentes de coeficientes fixos. Cada um destes filtros pode ser ignorado se necessário.

Blocos de Filtros Analógicos

O Tx BB LPF é um filtro passa-baixo, do tipo *Butterworth* de terceira ordem, com frequência de canto, a 3 dB, ajustável por *software*. A gama de frequências pode ir dos 625 KHz ao 32 MHz, tipicamente calibrado para 8/5 da largura de banda do canal em banda base. O Tx LPF secundário é um filtro passa-baixo com um único pólo, com frequência de canto programável, ao longo da gama dos 2.7 MHz aos 100 MHz. Este filtro está tipicamente calibrado para 5 vezes a largura de banda do canal em banda base.

B.2.2 Caminho de Receção

A cadeia de receção contém todos os blocos necessários para receber os sinais RF e convertê-los em sinais digitais que posteriormente podem ser enviados para um *base band processor*. Existem dois canais controlados separadamente que podem receber sinais de diferentes fontes, permitindo o uso do *transceiver* em sistemas MIMO, enquanto partilham o mesmo sintetizador de frequências, à semelhança do caminho de transmissão.

O recetor é um sistema de conversão direto que contém um LNA, seguido de amplificadores I e Q adaptados, misturadores e filtros de modulação de banda, que faz o *down-conversion* para banda base dos sinais recebidos.

A cadeia de receção é composta por dois filtros analógicos passa-baixo programáveis, uma ADC de 12 bits ($\Sigma - \Delta$) e por quatro filtros digitais decimadores. A figura B.4 mostra um diagrama de blocos do caminho de receção do AD9361.

A filtragem analógica antes da ADC reduz os níveis de espúrios do sinal removendo as harmónicas através de filtros passa-baixo antes da translação do sinal para banda base.

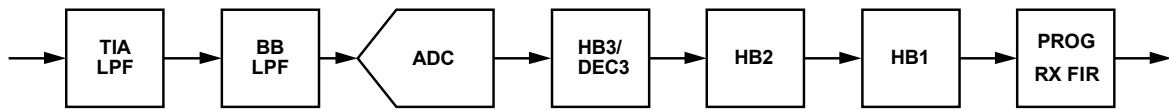


Figura B.4: Caminho de recepção do *transceiver* AD9361 (retirado de [Ana13]).

Os pontos seguintes contêm uma descrição da filtragem analógica e digital disponível no caminho de recepção do AD9361, com base na figura B.4.

Blocos de Filtros Analógicos

O Rx TIA LPF é um filtro passa-baixo com um único pólo e com frequência de canto programável, na gama dos 1 MHz aos 70 MHz. Este filtro encontra-se, normalmente, calibrado para $5/2$ da largura de banda do canal em banda base. O Rx LPF é um filtro passa-baixo do tipo *Butterworth* de terceira ordem, com frequência de canto, a 3 dB , ajustável. A gama de frequências pode ir dos 200 KHz ao 39.2 MHz, tipicamente calibrado para $7/5$ da largura de banda do canal.

Blocos de Filtros Digitais

O Rx HB3/DEC3 é composto por dois filtros de coeficientes fixos e que podem decimar por um fator de 3. O segundo e primeiro filtro, Rx HB2 e Rx HB1 respetivamente, são ambos de coeficientes fixos e que permitem decimar por um fator de 2. O último filtro decimador Rx FIR, é semelhante ao Tx FIR, referido em B.2.1, exceto no facto de permitir valores de ganho ajustáveis de -12 dB , -6 dB , 0 dB ou 6 dB .

B.2.3 Relógio de Referência

A cadeia de transmissão e recepção do *transceiver* AD9361 utiliza como referência um cristal dedicado ou um relógio externo. Na primeira opção o cristal tem que ter uma frequência entre os 19 MHz e os 50 MHz. Se for utilizado um gerador de relógio externo, a frequência pode variar entre os 10 MHz e os 80 MHz. Este relógio de referência tem como objetivo alimentar o bloco de sintetizadores que gera todos os relógios de dados, amostragem e osciladores locais dentro do dispositivo AD9361. Por esta razão, é extremamente crítico que o cristal ou a fonte de relógio tenham um baixo ruído de fase. Assim, a especificação recomendada para o ruído de fase dos relógios de referência encontra-se na figura B.5.

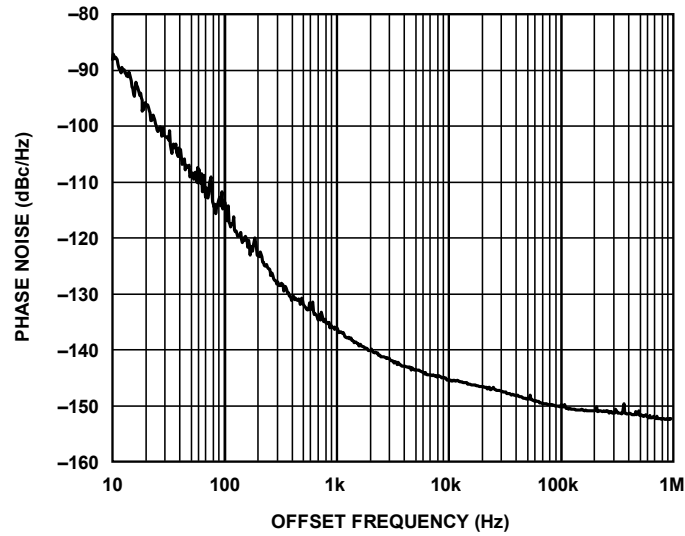


Figura B.5: Ruído de fase em função do *offset* de frequência (retirado de [Ana14b]).

B.2.4 AD9361 *Filter Design Wizard*

O AD9361 *Filter Design Wizard* é uma pequena aplicação MATLAB[®], que pode ser usada para desenhar os filtros FIR da transmissão e recepção, tendo em conta a resposta de magnitude e fase dos restantes filtros, digitais e analógicos, presentes na cadeia de filtragem. A sua interface gráfica é mostrada na figura B.6.

Esta ferramenta oferece não só uma forma genérica de desenhar filtros passa-baixo, mas também de equalização de magnitude e fase para os restantes andares no caminho do sinal.

Com esta aplicação é possível realizar as seguintes tarefas:

- Escolher os filtros digitais corretos para o transmissor e recetor.
- Desenhar os filtros FIR programáveis, obter os coeficientes do filtro.
- Analisar a resposta independente de cada filtro, e a resposta conjunta de todos os filtros, incluindo tanto os filtros digitais como os analógicos.

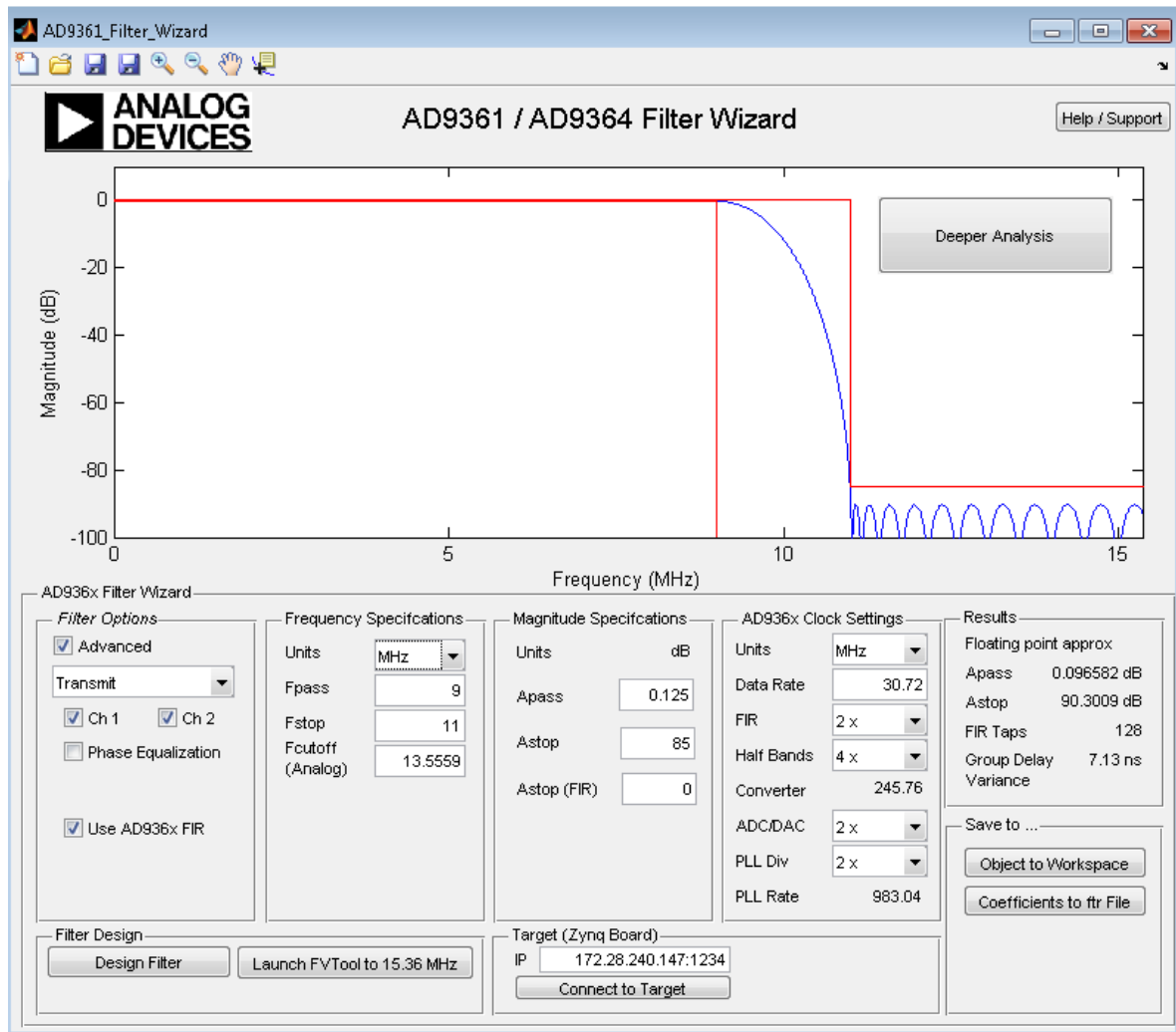


Figura B.6: Interface gráfica do AD9361 *Filter Design Wizard*.

B.3 Comportamento do *Front End* nas Bandas E-UTRA

Para além dos resultados mencionados em 6.3.2, neste apêndice são apresentadas algumas medidas efetuadas para as bandas E-UTRA mais frequentes. Na tabela B.1 estão dispostas as bandas de operação testadas.

Banda de Operação E-UTRA	<i>Downlink</i> (MHz)	Modo <i>Duplex</i>	Largura de Banda dos Canais (MHz)	Banda de Frequência (MHz)
1	2110 - 2170	FDD	5, 10, 15, 20	2100
3	1805 - 1880	FDD	1.4, 3, 5, 10, 15, 20	1800
7	2620 - 2690	FDD	5, 10, 15, 20	2600
20	791 - 821	FDD	5, 10, 15, 20	800

Tabela B.1: Bandas de frequências E-UTRA mais comuns (retirado de [3GP13a]).

Banda 1

Este teste é semelhante ao efetuado na subsecção 6.3.2 e considera o envio de um sinal dos DDSs com uma frequência nula, de modo a se obter a portadora transmitida pelo *front end*. A frequência da banda 1 do E-UTRA é definida em $f_{B1} = 2.1 \text{ GHz}$. Na figura B.7 é possível observar o espectro do sinal.

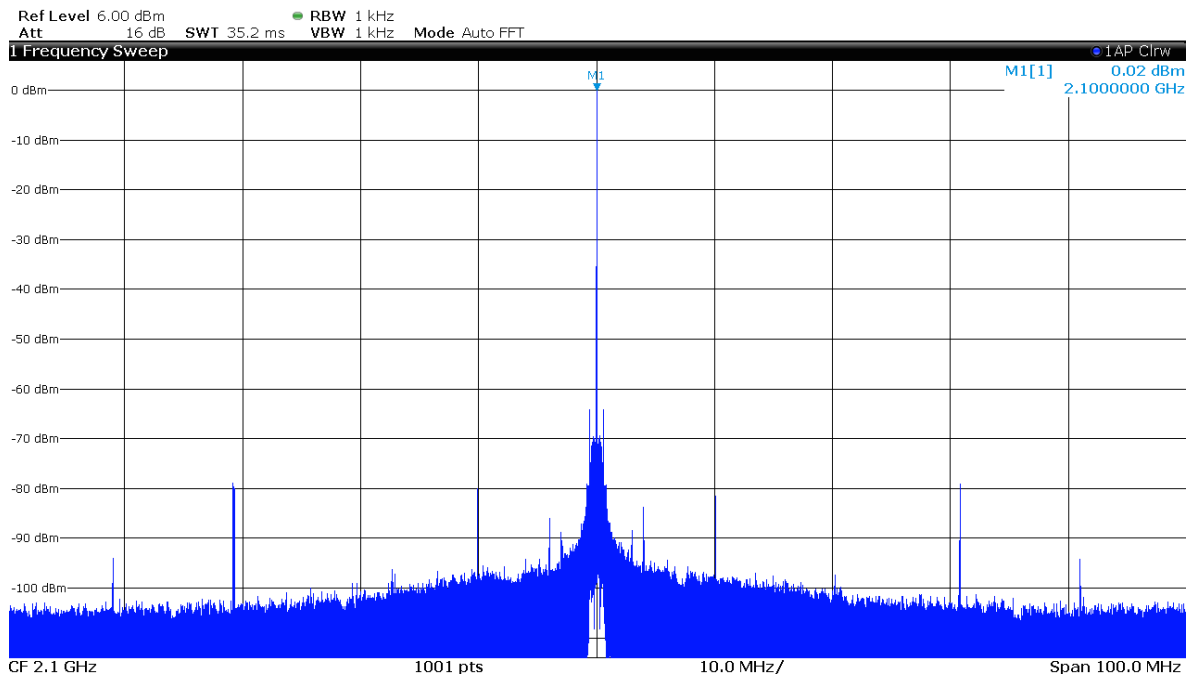


Figura B.7: Espectro da portadora de 2.1 GHz (banda 1) transmitida pelo *front end*.

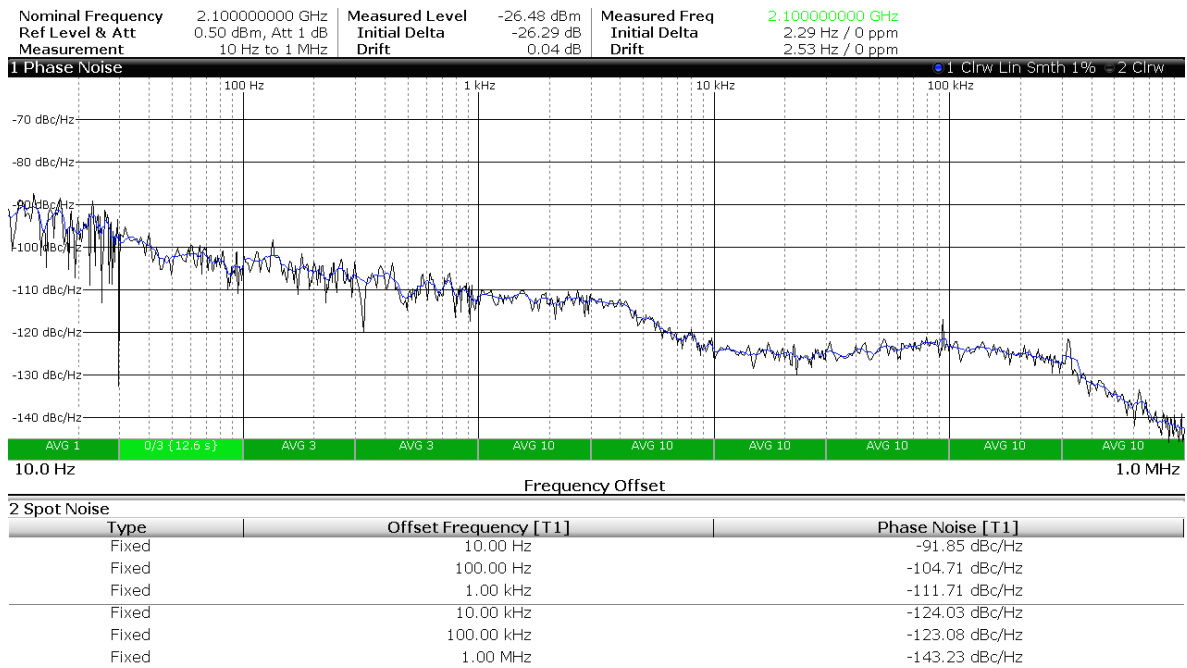


Figura B.8: Ruído de fase medido em torno da portadora de 2.1 GHz.

É possível verificar que não existe qualquer desvio na frequência face à frequência da portadora definida. Foi ainda, medido uma potência máxima de saída de 0.02 dBm . Por último, encontra-se na figura B.8 o resultado obtido para o ruído de fase relativamente à portadora.

Banda 3

Neste teste, considerou-se a frequência da banda 3 do E-UTRA, $f_{B3} = 1.8 \text{ GHz}$. A figura B.9, mostra o espectro do sinal transmitido nas mesmas condições do teste anterior.

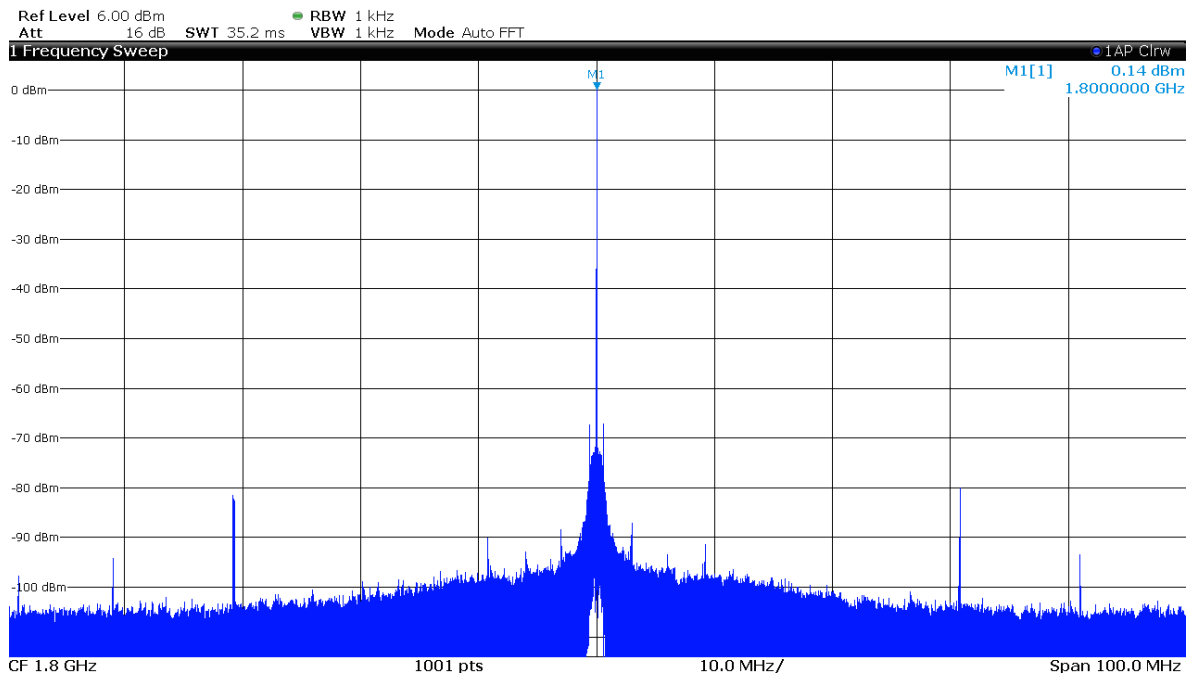


Figura B.9: Espectro da portadora de 1.8 GHz transmitida pelo *front end*.

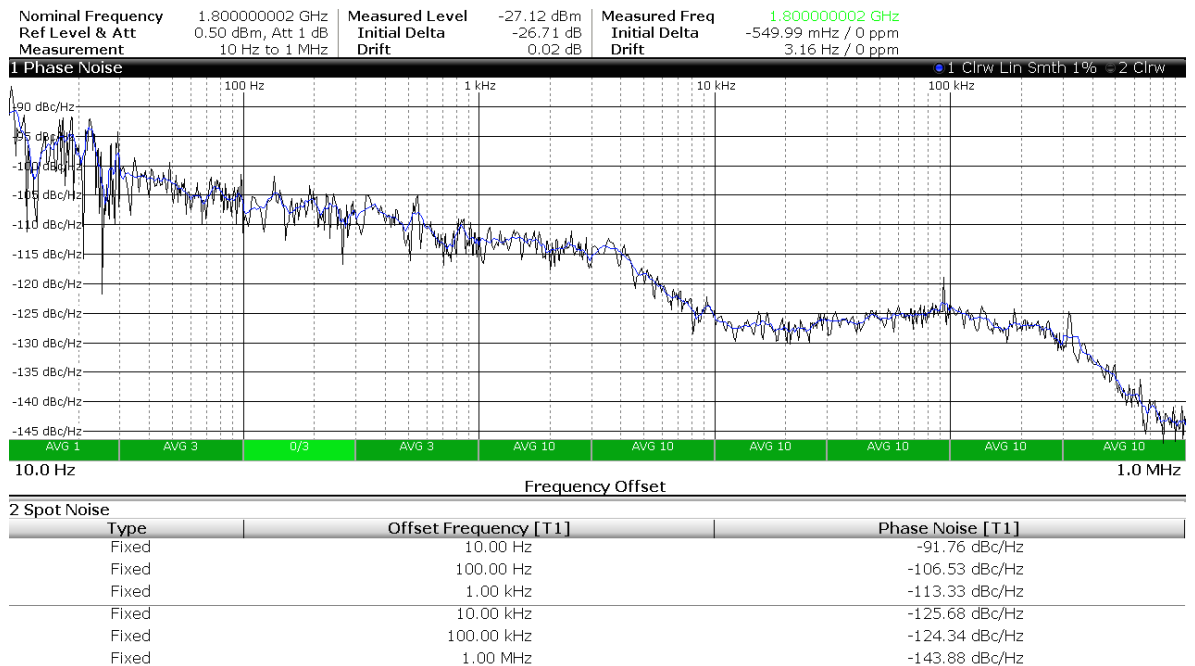


Figura B.10: Ruído de fase medido para uma portadora de 1.8 GHz.

À semelhança do teste anterior, conclui-se que a portadora se encontra na frequência pretendida. A potência máxima medida foi de 0.14 *dBm*. Na figura B.10, é apresentado o resultado obtido para o ruído de fase da portadora.

Banda 7

Este teste tem como finalidade testar o comportamento do *front end* para a frequência da banda 7 do E-UTRA, $f_{B7} = 2.6 \text{ GHz}$. O espectro do sinal obtido está presente na figura B.11.

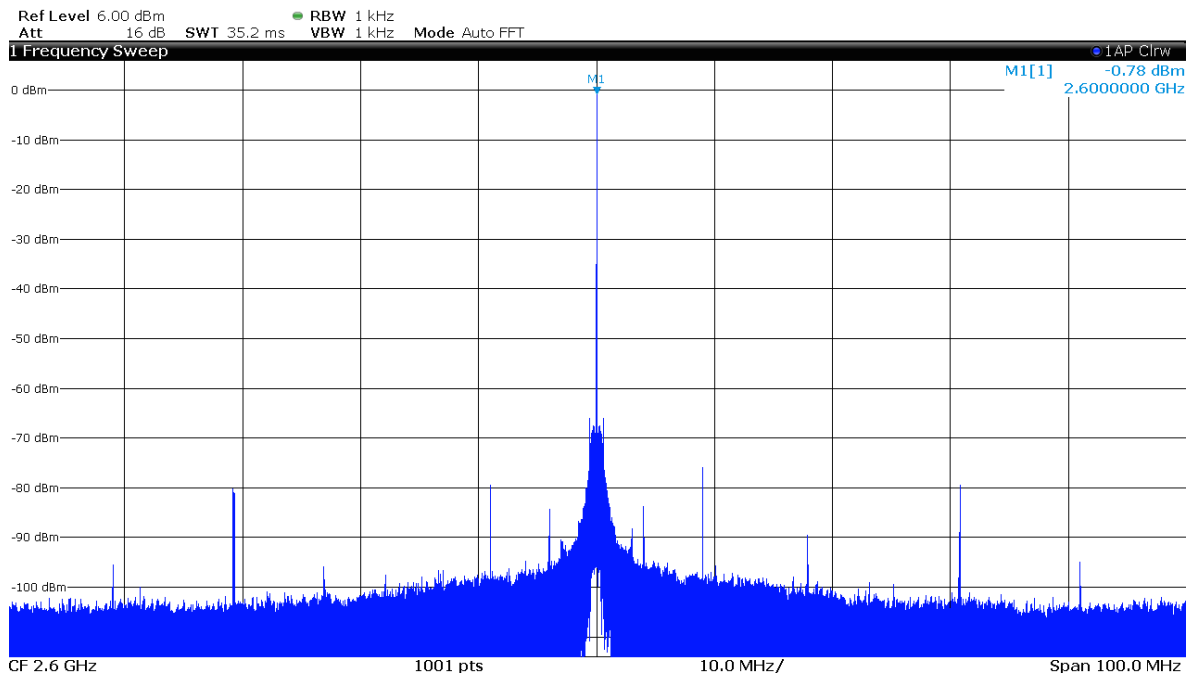


Figura B.11: Espectro da portadora da banda 7 do E-UTRA transmitida pelo *front end*.

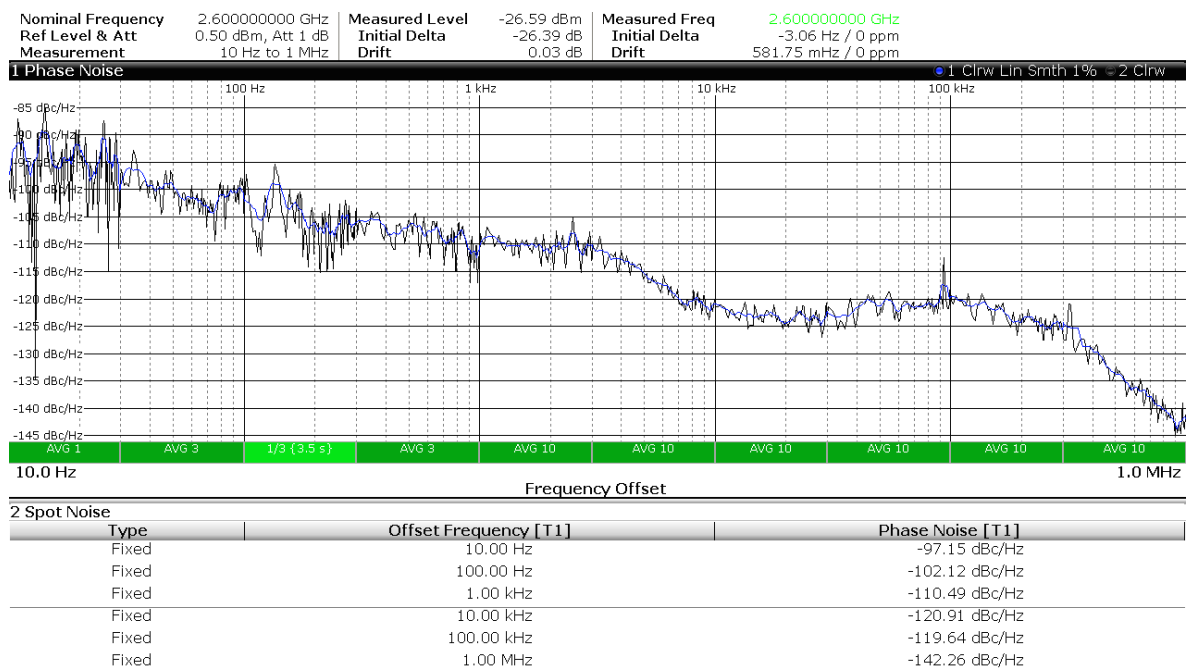


Figura B.12: Ruído de fase medido em torno da portadora de 2.6 GHz.

Do espectro confirma-se a precisão da frequência da portadora nesta banda. Tendo em conta o resultado obtido, a potência de saída medida é de -0.78 dBm . Por último, na figura B.12 encontra-se a medição do ruído de fase da portadora na banda 7.

Banda 20

Neste caso configurou-se uma frequência da portadora de $f_{B20} = 800 \text{ MHz}$, que corresponde à banda 20 do E-UTRA. A figura B.13 mostra o espectro do sinal transmitido.

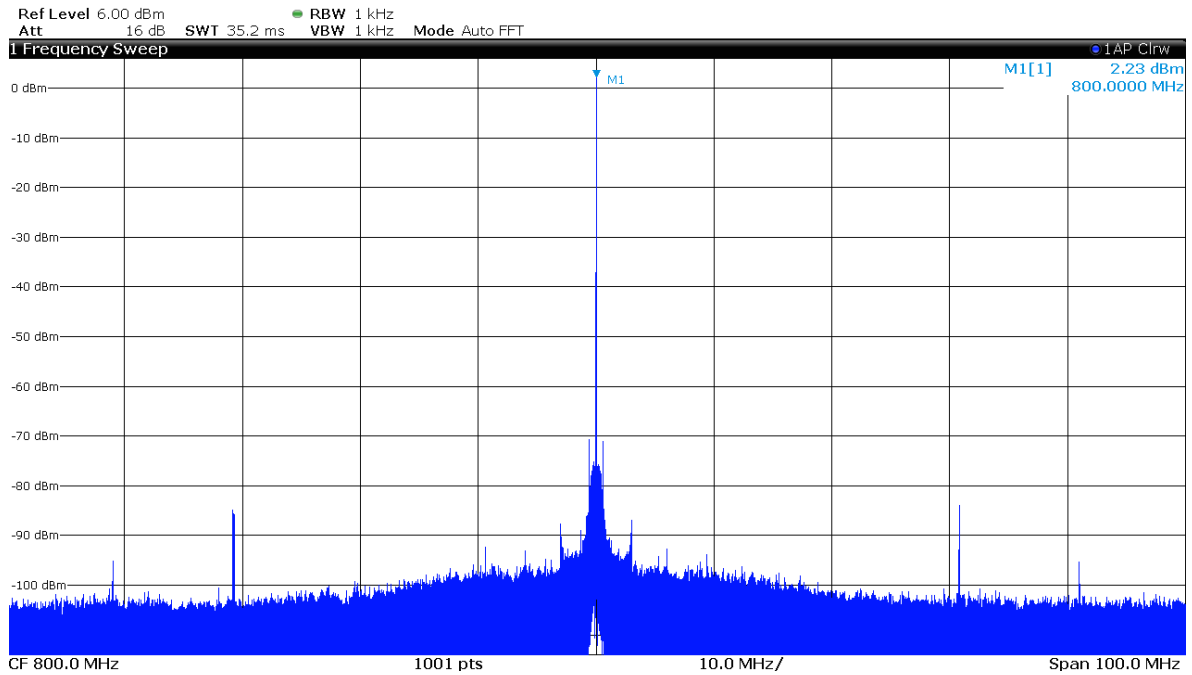


Figura B.13: Espectro da portadora na banda 20 do E-UTRA.

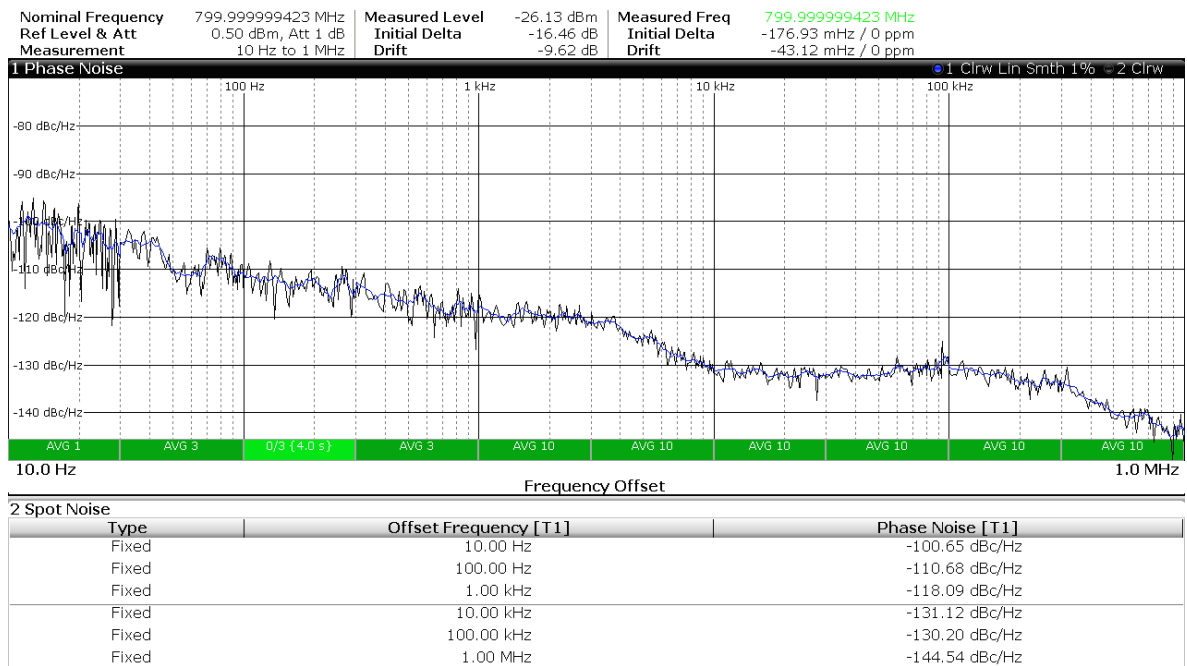


Figura B.14: Ruído de fase medido em torno da portadora de 800 MHz.

Da figura B.13, conclui-se a presença da portadora transmitida na frequência desejada (800 MHz). Consequentemente, mediu-se a potência do sinal à saída do *front end* obtendo um valor de 2.23 *dBm*. O ruído de fase obtido está presente na figura B.14.

Apêndice C

Módulo de Avaliação CDCE72010EVM da Texas Instruments

Neste apêndice é apresentado o CDCDE72010EVM, um módulo de avaliação da Texas Instruments do CDCD72010, um sincronizador de relógios de baixo *jitter*. A figura C.1 apresenta a vista superior do módulo. Este módulo foi usado como relógio de referência externo para a *front end* analógico AD-FMComms3.

O CDCDE72010 pode ser programado por SPI através de uma GUI, que é apresentada na figura C.2.

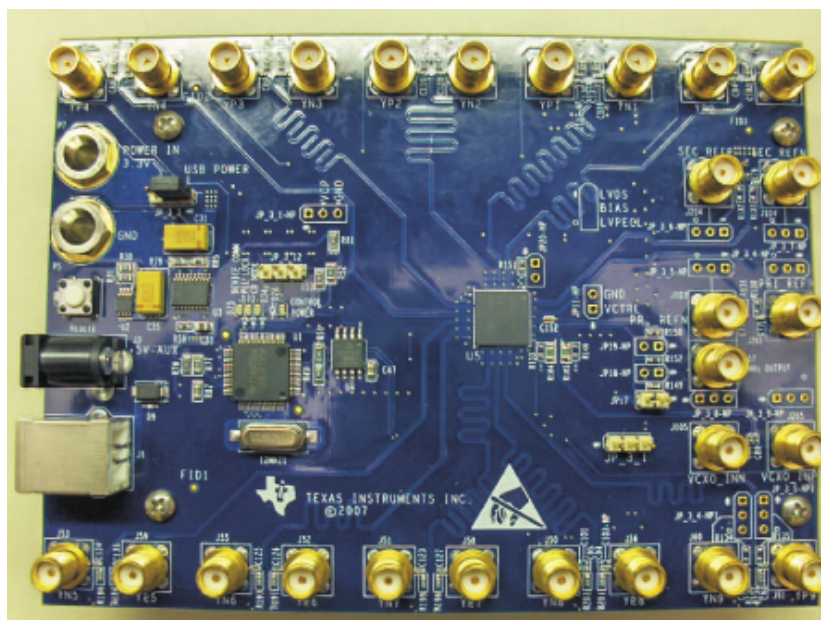


Figura C.1: Módulo de avaliação CDCE72010EVM da Texas Instruments (retirado de [Tex08a]).

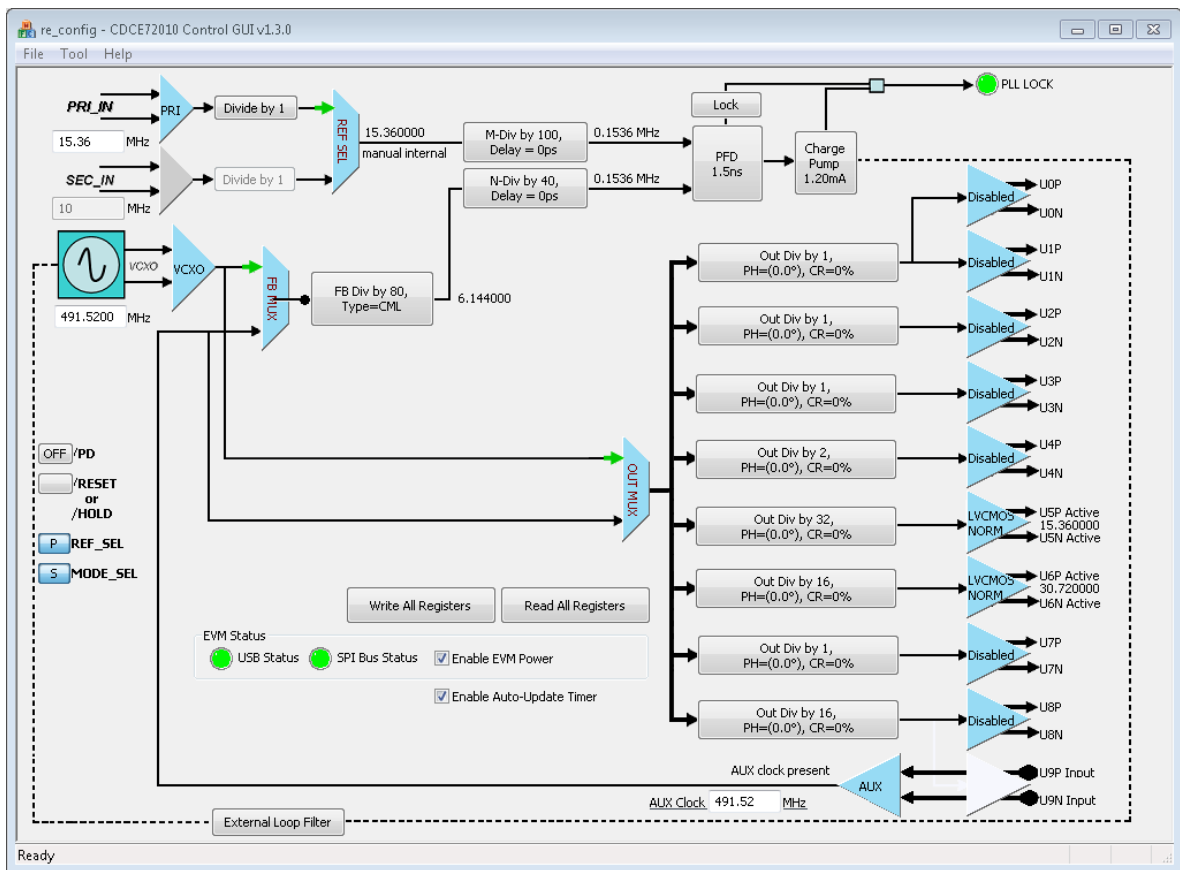


Figura C.2: Interface gráfica para controlo das configurações do CDCE72010.

C.1 Análise ao Ruído de Fase do Módulo CDCDE72010

Na figura C.3, é apresentado o resultado obtido para o ruído de fase do módulo CDCDE72010. Este resultado permite avaliar o comportamento do módulo de avaliação face aos requisitos impostos para o relógio de referência externo do *front end* analógico (apêndice B.2.3).

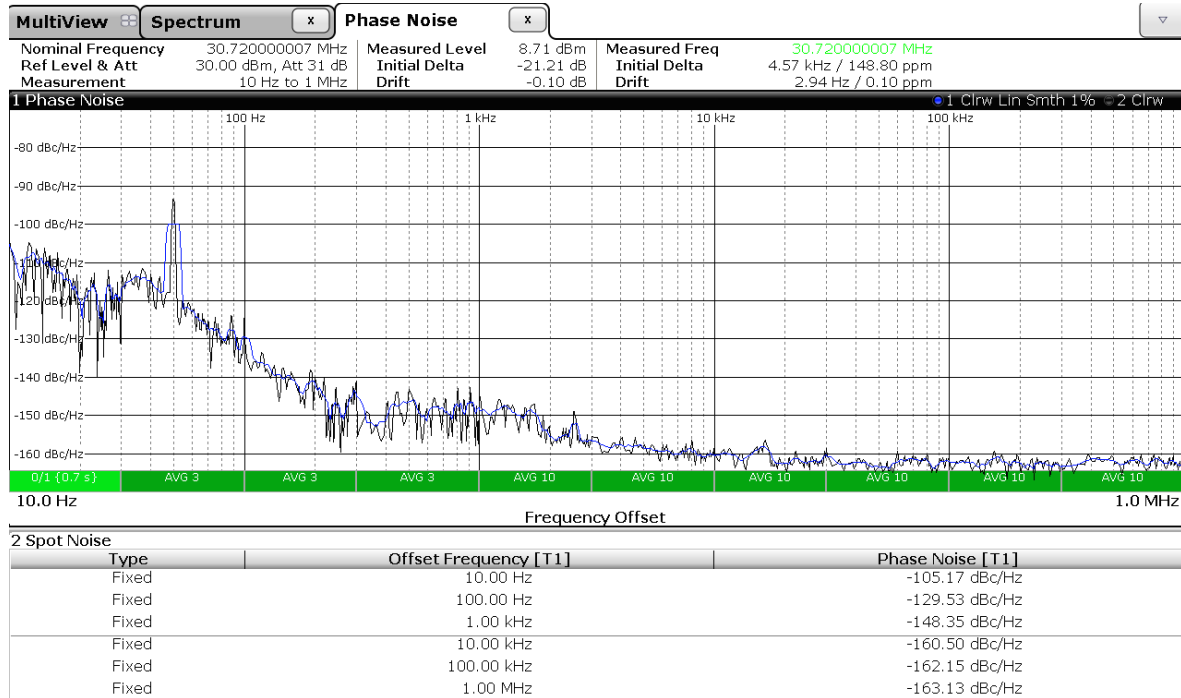


Figura C.3: Ruído de fase da PLL CDCE72010.

Bibliografia

- [3GP11a] 3GPP TS 36.201, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); LTE physical layer; General description,” Janeiro 2011, Release 10.
- [3GP11b] 3GPP TS 36.322, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Radio Link Control (RLC) protocol specification,” Janeiro 2011, Release 10.
- [3GP12] 3GPP, “LTE; Requirements for further advancements for Evolved Universal Terrestrial Radio Access (E-UTRA) (LTE-Advanced),” Novembro 2012, Technical Report.
- [3GP13a] 3GPP TS 36.104, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Base Station (BS) radio transmission and reception,” Julho 2013, Release 10.
- [3GP13b] 3GPP TS 36.211, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Physical channels and modulation,” Abril 2013, Release 10.
- [3GP13c] 3GPP TS 36.212, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Multiplexing and channel coding,” Julho 2013, Release 10.
- [3GP13d] 3GPP TS 36.300, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA) and Evolved Universal Terrestrial Radio Access Network (E-UTRAN); Overall description; Stage 2,” Setembro 2013, Release 10.
- [3GP14a] 3GPP TS 36.321, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Medium Access Control (MAC) protocol specification,” Janeiro 2014, Release 10.
- [3GP14b] 3GPP TS 36.323, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Packet Data Convergence Protocol (PDCP) specification,” Julho 2014, Release 10.
- [3GP14c] 3GPP TS 36.331, “LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Radio Resource Control (RRC); Protocol specification,” Julho 2014, Release 10.
- [AGER10] I.F. Akyildiz, D.M. Gutierrez-Estevez, and E.C. Reyes, “The evolution to 4G cellular systems: LTE-Advanced,” *Physical Communication*, vol. 3, no. 4, pp. 217–244, 2010.
- [Agi08] “3GPP LTE: Introducing Single-Carrier FDMA,” Application Note, Agilent, Janeiro 2008.
- [Agi09] “3GPP Long Term Evolution: System Overview, Product Development, and Test Challenges,” Application Note, Agilent, Setembro 2009.

- [Agi11] “Introducing LTE-Advanced,” Application Note, Agilent, Março 2011.
- [All13] Alliance, NGMN, “Suggestions on Potential Solutions to C-RAN,” *White Paper, Version*, vol. 4, 2013.
- [Ana13] Analog Devices. (2013) RF Agile Transceiver AD9361 Data Sheet Rev. D. Acedido em 22 de Novembro de 2014. [Online]. Disponível em: <http://www.analog.com/en/rfif-components/rfif-transceivers/ad9361/products/product.html>
- [Ana14a] Analog Devices. (2014) AD-FMCOMMS3-EBZ User Guide. Acedido em 22 de Novembro de 2014. [Online]. Disponível em: <http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms3-ebz>
- [Ana14b] Analog Devices, *AD9361 Reference Manual*, Março 2014, User Guide.
- [Ana14c] Analog Devices. (2014) ADI IIO Oscilloscope Example Application. Acedido em 22 de Novembro de 2014. [Online]. Disponível em: http://wiki.analog.com/resources/tools-software/linux-software/iio_oscilloscope
- [Ari13] Aricent. (2013) Cloud RAN. White Paper. Acedido em 21 de Setembro de 2014. [Online]. Disponível em: <http://www.aricent.com/sites/default/files/whitepapers/Aricent-Cloud-RAN-Whitepaper.pdf>
- [ARM12] ARM, *AMBA 4 AXI4, AXI4-Lite, and AXI4-Stream Protocol Assertions*, Julho 2012, User Guide.
- [CCR10] P. Cruz, N.B. Carvalho, and K.A. Remley, “Designing and testing software-defined radios,” *Microwave Magazine, IEEE*, vol. 11, no. 4, pp. 83–94, 2010.
- [Chi13] “C-RAN The Road Towards Green RAN,” White Paper, China Mobile Research Institute, Setembro 2013.
- [Cis13] Cisco. (2013) Pluggable Optical Modules: Transceivers for the Cisco ONS Family. Acedido em 13 de Novembro de 2014. [Online]. Disponível em: http://www.cisco.com/c/en/us/products/collateral/optical-networking/ons-15454-series-multiservice-provisioning-platforms/brochure_c02-452560.pdf
- [Cis14] Cisco. (2014) Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2013–2018. White Paper. Acedido em 11 de Novembro de 2014. [Online]. Disponível em: http://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/white_paper_c11-520862.pdf
- [Com13] Common Public Radio Interface (CPRI). (2013) Interface Specification, v6.0. Acedido em 28 de Novembro de 2014. [Online]. Disponível em: <http://www.cpri.info/>
- [CPLC⁺13] P. Chanclou, A. Pizzinat, F. Le Clech *et al.*, “Optical Fiber Solution for Mobile Fronthaul to Achieve Cloud Radio Access Network,” in *Future Network and Mobile Summit (FutureNetworkSummit)*, 2013. IEEE, 2013, pp. 1–11.
- [DPS13] E. Dahlman, S. Parkvall, and J. Skold, *4G: LTE/LTE-advanced for mobile broadband*. Academic Press, 2013.

- [ETS14] ETSI. (2014) Open Radio Equipment Interface. Acedido em 13 de Novembro de 2014. [Online]. Disponível em: <http://www.etsi.org/images/files/ETSITechnologyLeaflets/OpenRadioEquipmentInterface.pdf>
- [Fre07] “Overview of the 3GPP Long Term Evolution Physical Layer,” White Paper, Freescale, Julho 2007.
- [GSX⁺12] L. Guangjie, Z. Senjie, Y. Xuebin *et al.*, “Architecture of GPP based, scalable, large-scale C-RAN BBU pool,” in *Globecom Workshops (GC Wkshps), 2012 IEEE*. IEEE, 2012, pp. 267–272.
- [HDC⁺14] J. Huang, R. Duan, C. Cui *et al.*, “Recent Progress on C-RAN Centralization and Cloudification,” Setembro 2014.
- [Hel08] Helen Tarn, Ed Hemphill and David Hawke, “3GPP LTE Digital Front End Reference Design,” Application Note, Xilinx, Outubro 2008.
- [HF02] T. Hentschel and G. Fettweis, *The Digital Front-End – Bridge Between RF and Baseband-Processing*. Chichester, UK: Wiley, 2002.
- [HT09] H. Holma and A. Toskala, *LTE for UMTS – OFDMA and SC-FDMA Based Radio Access*. West Sussex, UK: John Wiley & Sons, 2009.
- [ITU08] ITU-R M.[IMT-TECH], “Requirements related to technical performance for IMT-Advanced radio interface(s),” Agosto 2008, Report.
- [J.] J. Wannstrom (masterltefaster.com) and K. Mallinson (WiseHarbor). Het-Net/Small Cells. Acedido em 6 de Novembro de 2014. [Online]. Disponível em: <http://www.3gpp.org/hetnet>
- [Key14] Keysight Technologies, *89600 VSA Software*, Agosto 2014, Technical Overview.
- [Kha09] F. Khan, *LTE for 4G Mobile Broadband: Air Interface Technologies and Performance*. New York, US: Cambridge University Press, 2009.
- [Lig14] Light Reading Webinar, “Cloud RAN: The impact of base station virtualization on low latency, high bandwidth front hauling,” *Light Reading, Heavy Reading and Xilinx*, Março 2014.
- [Luo11] F.L. Luo, *Digital Front-End in Wireless Communications and Broadcasting: Circuits and Signal Processing*. Cambridge University Press, 2011.
- [LYC⁺13] C. Lim, T. Yoo, B. Clerckx *et al.*, “Recent Trend of Multiuser MIMO in LTE-Advanced,” *Communications Magazine, IEEE*, vol. 51, no. 3, pp. 127–135, 2013.
- [Mit95] J. Mitola, “The software radio architecture,” *Communications Magazine, IEEE*, vol. 33, no. 5, pp. 26–38, 1995.
- [Mor08] Moray Rumney, “3GPP LTE: Introducing Single-Carrier FDMA,” *Agilent Measurement Journal (Issue: 3)*, Janeiro 2008.

- [Nie13] Nieman, Karl F and Evans, Brian L, “Wireless Networking and Communications Group, The University of Texas at Austin, USA,” in *Global Conference on Signal and Information Processing (GlobalSIP), 2013 IEEE*. IEEE, 2013, pp. 1198–1201.
- [Nok11] Nokia Siemens Networks. (2011) 2020: Beyond 4G – Radio Evolution for the Gigabit Experience. White Paper. Acedido em 11 de Novembro de 2014. [Online]. Disponível em: <http://networks.nokia.com/file/15036/2020-beyond-4g-radio-evolution-for-the-gigabit-experience>
- [R+13] M. Rumney *et al.*, *LTE and the Evolution to 4G Wireless: Design and Measurement Challenges*. John Wiley & Sons, 2013.
- [Rib11] D.C.A. Ribeiro, “Sistema de Medida Analógico-Digital para Software-Defined Radios,” Tese de Mestrado, Departamento de Eletrónica, Telecomunicações e Informática, Universidade de Aveiro, 2011.
- [Roh09] “Introduction to MIMO,” Application Note, Rohde & Schwarz, Julho 2009.
- [Roh12] “UMTS Long Term Evolution (LTE) - Technology Introduction,” Application Note, Rohde & Schwarz, Julho 2012.
- [Roh14a] “LTE Transmission Modes and Beamforming,” White Paper, Rohde & Schwarz, Maio 2014.
- [Roh14b] “Testing LTE-Advanced,” Application Note, Rohde & Schwarz, Setembro 2014.
- [Sma] Small Cell Forum. What is a small cell? Acedido em 6 de Novembro de 2014. [Online]. Disponível em: <http://www.smallcellforum.org/aboutsmallcells-small-cells-what-is-a-small-cell>
- [STB09] S. Sesia, I. Toufik, and M. Baker, *LTE – The UMTS Long Term Evolution: From Theory to Practice*. West Sussex, UK: Wiley Online Library, 2009.
- [Tel14] Tellumat. (2014) Application Examples Microwave Point to Point Links. Acedido em 12 de Novembro de 2014. [Online]. Disponível em: <http://www.tellumat.com/communications/wireless-solutions/micro-p-to-p-links.htm>
- [Tex] Texas Instruments. CDCE72010EVM Evaluation Module. Acedido em 22 de Novembro de 2014. [Online]. Disponível em: <http://www.ti.com/tool/cdce72010evm>
- [Tex08a] Texas Instruments, *1.5-GHz Low-Phase Noise Clock Evaluation Board User Guide*, Maio 2008.
- [Tex08b] Texas Instruments. (2008, Maio) Using the CDCE72010 as a Frequency Synthesizer. Acedido em 22 de Novembro de 2014. [Online]. Disponível em: <http://www.ti.com/lit/an/scaa090/scaa090.pdf>
- [Xil10] Xilinx, *Targeted Reference Design for 3GPP LTE Uplink Receiver (XAPP1072)*, Abril 2010, Application Note.

- [Xil12] Xilinx, *AXI Reference Guide*, Novembro 2012, Reference Guide.
- [Xil13] Xilinx, *LTE Downlink Transmitter Subsystem (XAPP1115)*, Maio 2013, Application Note.
- [Xil14a] Xilinx. (2014) CPRI Hardware Demonstration Design. Acedido em 4 de Setembro de 2014. [Online]. Disponível em: http://www.xilinx.com/member/cpri_eval/
- [Xil14b] Xilinx, *FIFO Generator v12.0*, Outubro 2014, LogiCORE IP Product Guide.
- [Xil14c] Xilinx, *KC705 Evaluation Board for the Kintex-7 FPGA*, Julho 2014, User Guide.
- [Xil14d] Xilinx, *LogiCORE IP AXI DMA v7.1*, Abril 2014, Product Guide.
- [Xil14e] Xilinx, *LogiCORE IP AXI Ethernet v6.1*, Abril 2014, Product Guide.
- [Xil14f] Xilinx, *LogiCORE IP AXI Interconnect v2.1*, Outubro 2014, product Guide.
- [Xil14g] Xilinx, *LogiCORE IP CPRI v8.2*, Junho 2014, Product Guide.
- [Xil14h] Xilinx, *Vivado Design Suite User Guide: Embedded Processor Hardware Design*, Maio 2014, User Guide.
- [Xil14i] Xilinx, *Zynq-7000 AP SoC and 7 Series Devices Memory Interface Solutions v2.2*, Outubro 2014, User Guide.
- [Zar14] H. Zarrinkoub, *Understanding LTE with MATLAB: From Mathematical Modeling to Simulation and Prototyping*. John Wiley & Sons, 2014.

